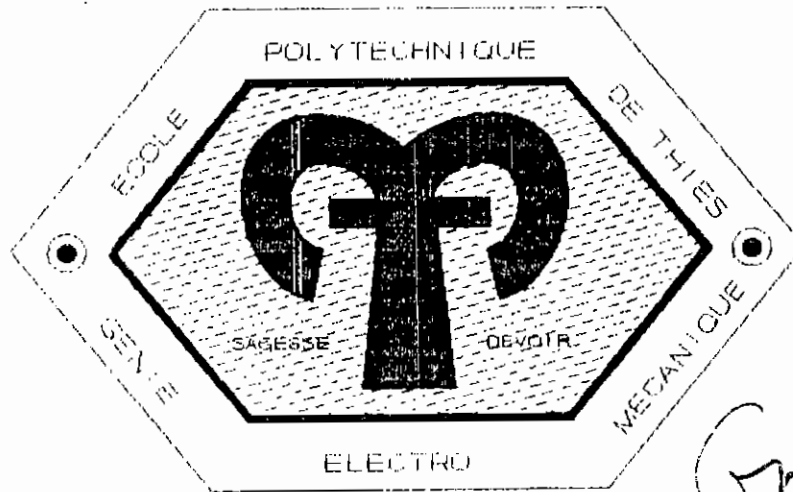


REPUBLIQUE DU SENEGAL

UNIVERSITE CHEIKH ANTA DIOP



Gm. 0663

PROJET DE FIN D'ETUDES

en vue de l'obtention du diplôme d'ingénieur en conception

SYSTEME 'INTELLIGENT' POUR LA SUPERVISION DE PROCESSUS INDUSTRIELS PAR VOIES RADIOELECTRIQUES

Auteur : **Simplice GAGA**
Directeur : **Claude LISHOU**
Co-Directeur : **Adama DIARRA**
Date : **Juillet 1993**

*Seule l'innovation peut aujourd'hui,
après tant de rapetassages sortir l'AFRIQUE
de son état de musée technologique actuel.*

*Tel doit être, maintenant et à jamais
l'idéal des ingénieurs africains.*

Simplice GAGA

*Aimer c'est mourir en soi pour vivre en celui
qu'on aime.*

*Toi qui m'a beaucoup aimé mais qui aujourd'hui
n'est plus, tu vivra en moi qui ai fait ce
travail surtout pour toi mon cher père.*

Je me souviendrai de toi, toujours !!!

REMERCIEMENTS

Lorsqu'un événement heureux survient dans la vie d'un individu, ceux qui l'aiment sont heureux et applaudissent à grands cris et dans le cas d'un événement déplorable, ils sont tristes mais pourtant essayent de le consoler.

Je tiens à remercier tous ceux-là qui m'aiment et qui m'ont aidé à être aujourd'hui là où je suis et qui je suis. Tous ceux-là que je ne puis nommer ici et qui, par temps chaud ou temps froid n'ont point hésiter à m'apporter leur aide dans la réalisation de ce projet qui n'est que la consécration d'une oeuvre qui a commencé depuis si longtemps.

Je ne terminerai pas sans adresser de façon quand même particulière mes remerciements à :

- tous mes professeurs du lycée technique Coulibaly de Cotonou
 - l'Agence Canadienne de Développement International pour avoir financé mes études supérieures
 - tous les professeurs et techniciens de l'E.P.T dont
 - * M^R Igor SABATIN pour le soutien moral qu'il m'a apporté tout au long de ma formation.
 - * M^R Roger FAYE , Ingénieur Technicien au laboratoire d'électronique dont la compétence pratique m'a été d'un grand recours dans la réalisation de ce projet .
 - mes directeurs de projet pour leur dévouement et leur disponibilité en un moment où ce qui fait le plus défaut est surtout le temps. Il s'agit de :
 - * M^R Adama DIARRA , Professeur à l'EPT.
 - * M^R Claude LISHOU , Professeur à l'ENSUT.
 - A tous ceux qui par la force de leur parole m'ont évité le dérapage à chacun des virages de ma vie. Il s'agit
 - * de ma mère, de mes frères, de mes soeurs et de mes amis dont les GAGA, les CARRENA, les ALAPINI, les VIHO etc..
 - * M^R Gilbert SANTOS, son frère et ses soeurs
 - * M^{ME} Suzanne KPAKPO née De Souza et ses enfants.
- A vous tous, je voudrais témoigner mes vives reconnaissances.

Sim.

TABLE DES MATIERES

	Page
Dédicace	i
Remerciements	ii
Liste des figures	vi
Liste des tableaux	vii
Liste des annexes	viii
Sommaire	ix

CHAPITRE 1 INTRODUCTION GENERALE

Origine de la communication	1
Définition du problème : Cahier de charges	2
Vue synoptique de la solution recherchée	3

CHAPITRE 2 THEORIES ET TECHNIQUES DE LA TRANSMISSION DE DONNEES

Généralités	4
A/ Théories de la télécommunication	
2.1 La source d'informations	5
2.2 Le récepteur	6
2.3 Le canal de transmission	7
2.4 Les voies radioélectriques	8
2.4.1 Les défauts des voies radioélectriques	8
2.4.1.a Le bruit de fond	8
2.4.1.b Les bruits atmosphériques	9
2.4.1.c Les bruits industriels et brouillages	9
2.4.1.d Bruits dûs aux défauts des équipements	9
2.4.1.e Le Fading	10
B/ Techniques de la modulation et de la démodulation	
2.5 La modulation de fréquence	12
2.6 La démodulation en fréquence	14
2.7 La synchronisation	15

CHAPITRE 3 CONCEPTION DES MODULES D'EMISSION ET DE RECEPTION

A/ L'émission	
3.1 Le modulateur	18
3.2 L'émetteur FM	21

B/ La réception

- 3.3 Le récepteur FM 28
 - 3.3.1 Le circuit intégré NE-605 28
 - 3.3.2 Le dimensionnement du récepteur 29
- 3.4 Le démodulateur 33
- 3.5 Réalisation pratique
 - du système de transmission. 35
 - 3.5.1 Principe de la communication DUPLEX . . . 35
 - 3.5.2 Choix des fréquences
 - d'émission et de réception 35

CHAPITRE 4 INTRODUCTION AUX SYSTEMES A MICROPROCESSEUR

- 4.1 Le microprocesseur 6809 39
- 4.2 L'horloge 42
 - 4.2.1 Adressage des registres du 6840 44
 - 4.2.2 Présentation du registre de
 - contrôle du 6840 44
 - 4.2.3 Les modes de fonctionnement
 - de l'horloge 45
- 4.3 Les mémoires. 45
 - 4.3.1 Les mémoires statiques 45
 - 4.3.2 Les mémoires dynamiques 46
- 4.4 Les circuits d'interface. 47
 - 4.4.1 Les circuits d'interface parallèle. 48
 - 4.4.2 Les circuits d'interface série. 49
- 4.5 Les organes de fonctionnement 51
 - 4.5.1 Les bus 51
 - 4.5.2 Le décodeur d'adresses. 52

CHAPITRE 5 CONCEPTION DU MICROSYSTEME POUR LA SUPERVISION DE PROCESSUS INDUSTRIELS

A/ Partie matérielle

- 5.1 La configuration utile 53
- 5.2 La cartographie mémoire du système 55
 - 5.2.1 Décodage d'adresses 55
 - 5.2.2 Cartographie mémoire 56
- 5.3 La synchronisation 57

B/ Partie logiciel

- 5.4 Le programme moniteur 59
 - 5.4.1 L'initialisation du Timer 59
 - 5.4.2 L'initialisation des ACIA 61
 - 5.4.3 L'initialisation du PIA 61
 - 5.4.3 L'établissement de la communication . . . 62
 - 5.4.5 Le prog. principal d'initialisat° 63

5.5	Les programmes d'émission et de réception . . .	65
5.5.1	Les sous prog.d'interruption.	
5.5.2	Le sous programme d'émission.	
5.5.3	Le programme principal de gestion	
5.6	La structure de la ROM	70
<u>CHAPITRE 6</u>	APPLICATIONS, LIMITES ET PERSPECTIVES DU SYSTEME ER-H27	
6.1	Applications	71
6.1.1	Le mode télécommande	71
a°	Comptage de godets à la CSPT.	71
b°	Commande de moteurs ou de robots.	72
c°	Commande de portails ou d'appareils électroménagers	72
6.1.2	Le mode MODEM sans fils	73
a°	Liaison radio pour ordinateurs.	73
b°	Liaison Ordinateur-imprimante	73
c°	Utilisation pour enregistrement sur cassette	73
6.2	Limites et perspectives	74
<u>CHAPITRE 7</u>	CONCLUSION GENERALE	75
<u>LISTE BIBLIOGRAPHIQUE</u>112

LISTE DES FIGURES

Figure N°	Pages
#1 Vue globale du système	3
#2 Système de transmission.	5
#3 Effet du FADING sur la transmission	10
#4 Conversion TTL en fréquence Audio	12
#5 Schéma du modulateur	13
#6 Schéma du démodulateur	14
#7 Format de transmission Start-Stop.	16
#8 Schéma de montage du modulateur.	19
#9 Diagrammes des signaux d'entrée et sortie.	21
#10 Circuit de montage de l'émetteur	22
#11 Schéma du circuit d'entrée de l'émetteur FM.	24
#12 Tension d'entrée de l'émett. selon sa fréq	26
#13 Entrée du NE-605	29
#14 Schéma de montage de l'oscillateur du récep.	31
#15 Circuit de montage du récepteur FM	32
#16 Schéma de montage du démodulateur.	33
#17 Schéma du syst. de trans. de données	34
#18 Schéma de liaison des modules de transmission.	36
#19 Structure de base d'un syst. à microprocesseur	39
#20 Organisation interne du μ P 6809.	41
#21 Les registres internes du 6809	42
#22 Organisation des registres internes du 6840.	43
#23 Aspect du registre de contrôle du 6840	45
#24 Organisation interne du PIA.	47
#25 Les registres internes de l'ACIA	50
#26 Configuration minimale du système.	54
#27 Cartographie mémoire du système.	57
#28 Configuration finale du système.	58
#29 Ordinogramme du programme moniteur	64
#30 Application au comptage de godets.	72
#31 Liaison Radio pour ordinateurs	73

LISTE DES TABLEAUX

Tableaux N°	Pages
#1 Correspondance Etat logique-Fréq. audio18
#2 Listes des composantes du modulateur.20
#3 Liste des composantes de l'émetteur FM.26
#4 Caractéristiques fonctionnelle de l'émetteur.27
#5 Adresses relatives des registres du 6840.44
#6 Structure d'adressage du 682149
#7 Adressage des registres de l'ACIA51
#8 Sortie validée selon états à l'entrée du 74138.52
#9 Adresse de base des périphériques55
#10 Lignes de sélection des périphériques56
#11 Programme d'initialisation du TIMER60
#12 Programme d'initialisation des ACIA61
#13 Programme d'initialisation du PIA62
#14 Programme d'établissement de la communication63
#15 Programme moniteur.65
#16 Programme de réception sur ACIA1.66
#17 Programme de réception sur PIA.67
#18 Programme d'émission, source ACIA1.67
#19 Programme d'émission, source PIA68
#20 Programme d'interruption pour réception69
#21 Programme d'interruption pour émission.69
#22 Programme principal de gestion du système70

LISTE DES ANNEXES

	Page
- A - Tableau d'analyse du signal d'entrée de l'émetteur FM76
- B - Caractéristiques fréquentielles à la sortie de l'émetteur79
- C - Tableau des valeurs des composantes du récepteur FM80
- D1- Détermination du mot de commande de l'ACIA82
- D2- Mot d'état de l'ACIA82
- D3- Détermination du mot d'état et de commande du PIA.83
- D4- Détermination du mot de commande du TIMER.83
- E - Spécifications du microprocesseur 680984
- F - Eléments d'émission et de réception.99
- G - Plage d'influence des bruits	111

SOMMAIRE

La télé informatique est aujourd'hui l'un des domaines où se concentrent beaucoup de recherches et cela en raison de la diversité des services qu'elle rend à l'humanité. En outre, l'automatisation de procédés industriels est l'une des techniques les plus optimales pour la rentabilité des unités de production. Il est donc normal de penser à associer ces deux domaines pour une plus grande rentabilité et une meilleure ergonomie.

Le but de cette étude est alors la conception puis la réalisation d'un prototype de système "intelligent" pour la supervision de processus industriels par voies radioélectriques.

Pour y arriver, il a fallu dans un premier temps, concevoir puis réaliser un système fiable de transmission de données par modulation de fréquence et dans un deuxième temps, concevoir le système à microprocesseur qui par sa programmation est sensé superviser les opérations .

Les logiciels MICROCAP III et EMAT nous ont été d'un grand recours même si nul part dans ce rapport il n'apparaît des signes visibles de leur utilité.

Le présent rapport comporte donc les éléments essentiels à la compréhension de l'objectif du projet et des solutions que nous avons pu y apporter. Certes, il est quelques passages assez difficiles à comprendre par un profane en raison du caractère très scientifique du texte, cependant, la structure générale de la rédaction est simple et se présente comme suit:

- Une introduction aux théories et techniques de la transmission de données.
- Les éléments de calculs pour la conception du système de transmission de données.
- Un exposé des éléments de base du système à microprocesseur à concevoir.
- La conception et la programmation du système à microprocesseur chargé de superviser les opérations.
- Enfin, en annexe, des graphiques et tableaux expérimentaux étayent les aspects peu développés dans le texte.

Introduction générale

L'une des activités les plus primitives de l'Homme est la communication. Aussi a-t-il très vite senti le besoin de se faire entendre à des distances où ne pouvait atteindre sa voix . C'est justement ce besoin qui l'a poussé à améliorer ses méthodes de communication depuis les temps anciens jusqu'à nos jours. En effet, la communication qui n'est autre qu'une transmission d'informations est passée de la simple propagation acoustique à la propagation d'énergie électromagnétique. Aujourd'hui, on retrouve une multitude de formes de transmission d'informations à des niveaux divers de la vie humaine. Les télégraphes, le téléphone, la radio et la télévision sont bien de preuves tangibles de cette évolution de l'Homme dans le domaine de la communication.

Enfin, avec l'apparition récente des micro-systèmes, on assiste à une nouvelle activité reliée à la communication qui est la commande automatique de processus (ou mécanisme) à distance. Les télécommandes pour téléviseurs et pour robots élucident bien cet état de chose. La conséquence directe d'une telle évolution sur les industries s'est manifestée par l'acquisition et le traitement des données industrielles en vue d'un contrôle automatique de ces unités de production.

Cependant, on constate que les ingénieurs se sont souvent limités à la transmission des informations par voies filaires pour le contrôle de processus et cela parce que, pensons-nous

dans toute transmission, il apparaît des perturbations introduisant des erreurs qui détériorent l'information et que les câbles se sont révélés les moins exposés à ce genre de perturbations sans pour autant être très dispendieux.

C'est un peu pour élargir les voies de communication actuellement utilisées que nous nous sommes écartés des voies filaires pour essayer de concevoir un système intelligent pour la supervision de processus industriels par voies radio électriques. Le travail sera fait en suivant les prescriptions du cahier de charges que voici:

CAHIER DE CHARGES

Concevoir un système constitué de deux modules identiques pouvant communiquer entre eux par liaison radio et permettant:

- * d'actionner un engin à distance.
- * d'acquérir les informations concernant l'état de l'engin en question et de les communiquer au système maître .
- * La communication qui se fera par modulation de fréquences, doit être stable et protégée contre les bruits de toute sorte.
- * La portée de la communication ne doit pas dépasser quelques centaines de mètres (500m maximum) .
- * Le système de commande sera construit autour d'un microprocesseur.
- * la mémoire morte de ce système à microprocesseur doit être programmée de façon à gérer tous les événements possibles à savoir :
 - démarrage - appel - émission - réception - commutation

Notez que le système est utilisé dans un milieu pourvu de perturbations industrielles et atmosphériques.

Nul doute qu'il existe des systèmes à peu près similaires mais ils sont peu répandus et à y voir de près, on se rend compte qu'ils sont trop faibles (télécommande pour téléviseurs) ou trop gigantesques (Satellite - Station terrienne - faisceaux herziens) pour commander des unités de production à dimensions intermédiaires. Sans études préalables et en considérant la communication dans un seul sens, on peut schématiser notre système comme suit .

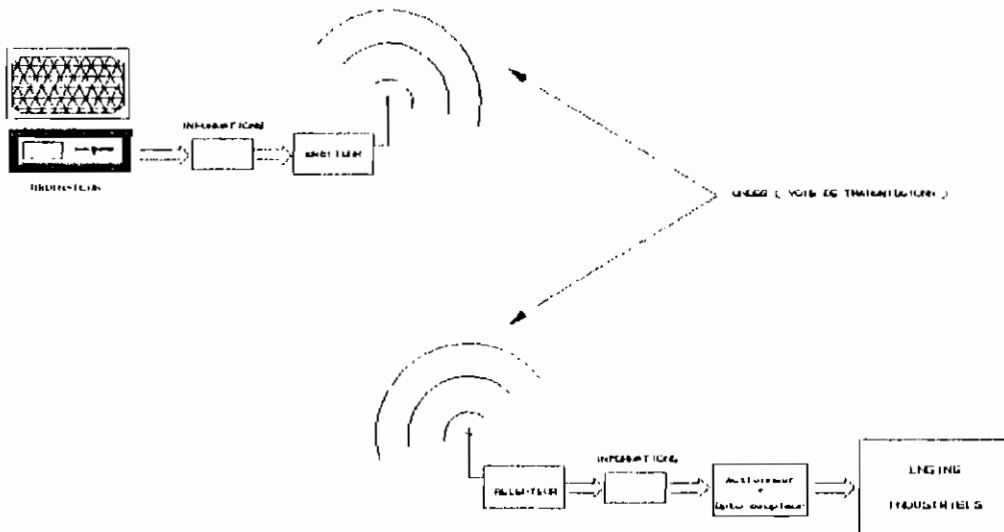


Figure 1 : Vue globale du système.

2

Théories et techniques de la transmission de données

L'information n'a d'utilité que dans la mesure où elle permet un échange de connaissances entre au moins deux correspondants.

Le problème principal est alors le "transport" de ces connaissances entre les correspondants ce qui revient à la transmission de l'information.

La transmission de l'information met donc en action un correspondant appelé source, un autre appelé destinataire ou récepteur, le canal de transmission qui peut tant bien être un support matériel (câble coaxial ou guide d'onde) qu'une portion de l'espace où se déplace l'énergie de l'onde et enfin l'interprétation physique ou matérielle de l'information qui est le signal. Le long du canal de transmission, sont introduits des signaux parasites appelé bruits qui perturbent la transmission.

On peut donc grossièrement essayer de représenter un système permettant la transmission de l'information par la figure ci-après.

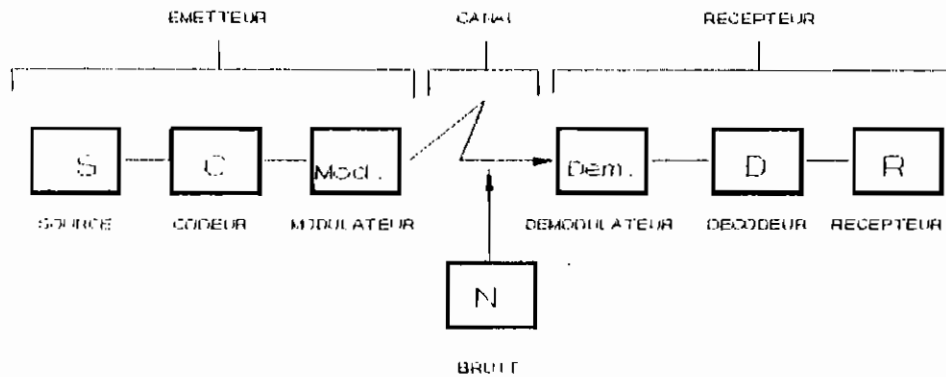


Figure 2 : Système de transmission

A°/ THEORIES DE LA TELECOMMUNICATION

2.1 La source d'informations

Une source d'information est une représentation scientifique d'un processus susceptible d'engendrer l'information. La source est définie par son alphabet de symboles $S = (S_1, S_2 \dots S_m)$ et l'ensemble des probabilités P_i liées à l'apparition des symboles S_i ($i= 1 \dots m$).

On peut donc calculer la quantité moyenne d'informations fournie par symbole de la source. A l'apparition du symbole S_i correspond la quantité d'informations :

$$I(S_i) = \log_b \frac{1}{P_i}$$

La quantité moyenne d'informations par symbole est alors :

$$\sum_{i=1}^m P_i * I(S_i) = \sum_{i=1}^m P_i * \log_b \frac{1}{P_i} = H_b(S)$$

Pour une source binaire dont les P_i sont tous égaux à 0,5 on aura :

$$H_b(S) = P_1 \log_b \frac{1}{P_1} + P_2 \log_b \frac{1}{P_2} \text{ or } P_1 = P_2 = P$$

$$\Rightarrow H_b(S) = 2 * P * \log_b \frac{1}{P}$$

$$= 2 * 0,5 * \log_2 2 = 1$$

$H_b(S) = 1$ bit en moyenne par symbole pour un système à 2 symboles.

Le bit est alors l'unité du système de base 2 (Binaire) .

Une source est caractérisée par son taux d'informations, qui est le débit d'informations qu'elle peut délivrer durant une période donnée. Nous le noterons C_s .

2.2 Le récepteur

Le récepteur est pour sa part caractérisé par la quantité d'informations qu'elle peut recevoir en un intervalle de temps donné. Soit C_r cette quantité, intuitivement on peut voir que pour qu'il y ait une transmission correcte et sans perte d'informations entre la source et le récepteur, il faut une

certaine relation entre C_x et C_s . Soit naturellement

$$C_R > C_S$$

Mais il faut ajouter à ceci l'influence du canal de transmission qui sans contredire l'inégalité ci-dessus y ajoute bien d'autres contraintes.

2.3 Le canal de transmission

Nous appelons canal de transmission, la voie individuelle qui permet la transmission d'une seule communication alors que la voie de transmission est le chemin suivi par l'onde depuis l'émetteur jusqu'au récepteur. Un canal est surtout caractérisé par sa capacité , laquelle est fortement influencée par le bruit qui est un signal parasite.

Dans la réalité, les canaux sont soumis à divers défauts tels que (distorsions d'amplitude, de phase, Perturbations, affaiblissements intenpestisf) mais **SHANNON** a démontré que dans le cas d'une transmission de signaux d'énergie moyenne S , de largeur de bande W et soumis à divers bruits de puissance N , la capacité est déterminée par l'expression :

$$C = W \log_2 \left(1 + \frac{S}{N} \right) \text{ en bit/S}$$

2.4.1.b - Les bruits atmosphériques

Les voies radioélectriques sont sensibles mêmes à des ondes créées à grandes distances par des orages ou d'autres phénomènes dûs à l'atmosphère. Ces ondes se manifestent par des impulsions de DIRAC. La statistique qui s'applique à ce genre de phénomènes est très différente de la traditionnelle loi de Poisson et les meilleurs résultats ne sont garantis que par des études expérimentales. Remarquons que ce bruit devient négligeable aux fréquences supérieures à 30 MHz.

2.4.1.c - Bruits industriels et brouillages

La fréquence des tensions d'alimentation (50 Hz en France et 60 Hz au Canada) est à l'origine de bien de parasites sur les équipements non blindés. De même les collecteurs de machines tournantes, les allumages de moteurs à explosion sont aussi des sources de parasites. Cependant, au delà de quelques MHz ces bruits sont peu ressentis. En télécommunication, on peut assister aussi à un brouillage dû à l'encombrement du spectre de fréquences. En effet, des émissions sur des fréquences voisines avec des équipements imparfaits peuvent aboutir à un brouillage.

2.4.1.d - Bruits dûs aux défauts des équipements

Ces bruits proviennent de la non stabilité des fréquences des équipements et sont à éviter à tout prix dans la transmission de données où la synchronisation est un élément essentiel.

2.4.1.e - Le fading

Le fading est dû à la multitude de chemins que peuvent suivre les ondes radio entre l'émetteur et le récepteur. Ces chemins multiples sont occasionnés par la réflexion sur l'ionosphère et la terre. Pour expliciter ce phénomène considérons une transmission de deux bits de valeurs binaires 10. Retenons, l'effet de la réflexion du 1er bit.

La modulation est faite de façon que le '0' binaire corresponde à la fréquence 2100 Hz et le '1' 1300 Hz.

On aura le schéma ci-après :

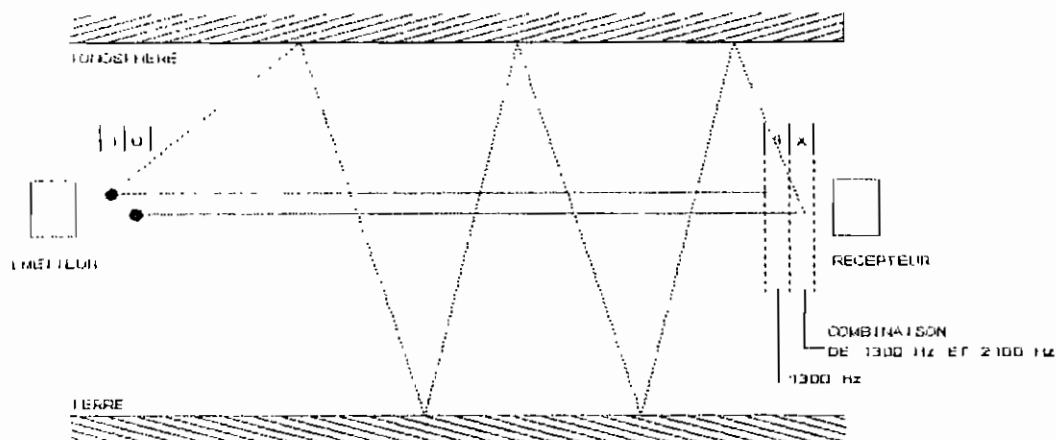


Figure 3 : Effet du fading sur la transmission

La combinaison de la fréquence de 1300 Hz et celle de 2100 Hz donnera une fréquence intermédiaire avec une amplitude qui sera la somme des amplitudes des signaux dépendamment des phases.

Ce qui est clair est que le résultat est un désastre pour la transmission de données et le pire est qu'il s'attaque plus aux hautes fréquences d'où l'importance du problème pour la transmission de données par modulation de fréquences.

En somme, on a pu constater que les voies radioélectriques sont beaucoup plus complexes que les voies filaires et que les théories qui soutendent les phénomènes ne sont pas souvent adaptables dans la réalité, ce qui nous amène à certaines techniques qui feront l'objet de la 2ème partie de ce chapitre.

B°/ TECHNIQUES DE LA MODULATION ET DE LA DEMODULATION

Théoriquement, on assimile l'information à une variable binaire ne pouvant prendre que les valeurs "0" ou "1" mais dans la pratique, ces variables binaires sont représentées par des niveaux de tension bien définis. Connaissant l'effet des chutes de tension d'une part et l'impossibilité de faire circuler une tension sous forme d'onde dans la nature d'autre part, on peut bien se poser des questions quant à la technique à utiliser pour transmettre l'information.

La réponse est effectivement donnée par le principe de la modulation et la démodulation. La modulation est en faite, la transformation des signaux continus représentant les données binaires en signaux complexes (saut de fréquences, de phase ou d'amplitude) et la démodulation la transformation inverse.

Dans le cas du projet, nous nous pencherons plus sur la modulation et la démodulation en fréquence.

2.5 LA MODULATION DE FREQUENCE

Dans ce procédé, c'est la fréquence instantanée qui varie linéairement avec le signal. Soit $F_i(t)$ la fréquence instantanée et $S(t)$ le signal au temps t , on aura comme modulation sinusoïdale en fréquence :

$$F_i(t) = k * S(t) \quad \text{avec } k = c^{1e}$$

On définit alors :

- l'excursion de fréquence par :

$$\frac{k * S_0}{2\pi} \quad \text{avec } S_0 = S(t_0)$$

- l'indice de modulation qui est inversement proportionnelle à la fréquence de modulation soit :

$$\frac{kS_0}{\Omega} \quad \Omega = \text{fréquence de modulation}$$

On peut donc représenter le modulateur comme une boîte noire ayant à l'entrée des tensions continues et à la sortie des fréquences.

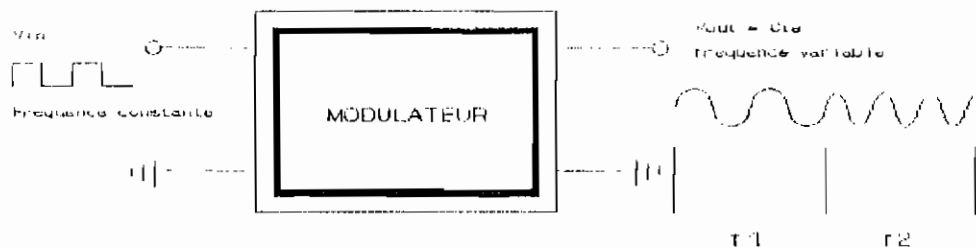


Figure 4 : Conversion des niveaux TPL en fréquences audio

Nous allons maintenant essayer de voir ce qui se passe dans cette boîte noire.

Dans un modulateur à saut de fréquence, on a un oscillateur variant d'une fréquence f_1 à une fréquence f_2 ou deux oscillateurs stables bien accordés sur les fréquences f_1 et f_2 et un commutateur qui sélectionne la fréquence requise au rythme de la manipulation c'est-à-dire la base de temps.

La fréquence sélectionnée après filtrage est mélangée à la porteuse générée par un oscillateur local.

A la sortie du mélangeur, un filtre passe-bande élimine les harmoniques et les produits d'intermodulation afin d'adapter le signal de sortie au canal.

Tout ceci nous amène à faire le schéma bloc ci-après pour le modulateur.

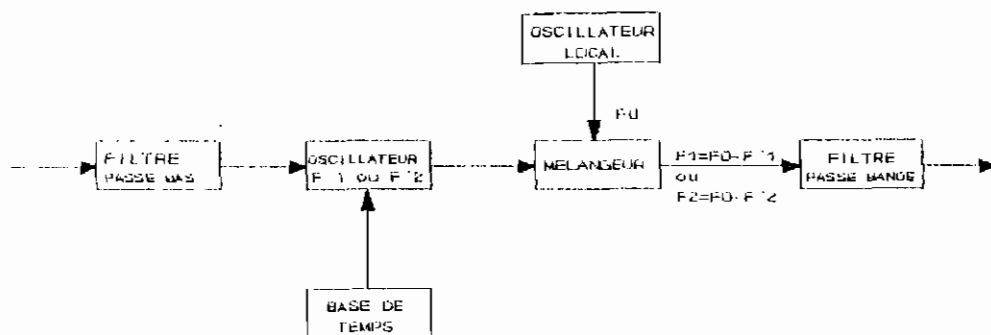


Figure 5 : Schéma du modulateur

2.6 LA DEMODULATION EN FREQUENCE

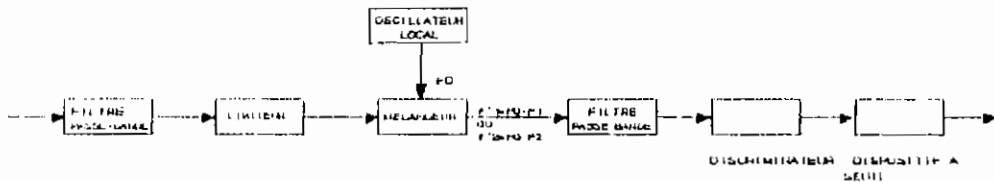
Processus inverse de la modulation, la démodulation consiste à la conversion en niveaux TTL, des fréquences reçues et sélectivement choisies. En raison de leur symétrie, on retrouve dans le modulateur comme dans le démodulateur les mêmes éléments qui doivent fonctionner dans les mêmes conditions pour assurer la compatibilité de la transmission.

Le démodulateur est la partie la plus critique d'un système de modulation-démodulation car c'est elle qui conditionne les performances du système. En effet, les performances d'un tel système dépendent du rapport signal sur bruit. Or la puissance à émettre est souvent limitée (soit par les normes soit par le matériel) , et par conséquent la diminution du taux d'erreurs reposera donc sur un bon traitement du signal permettant de minimiser l'effet du bruit. (Voir bruit de fond)

Equation de Shannon

Grossièrement, on peut donner un aperçu du démodulateur par la figure ci-après :

$\frac{C}{N} = 2^{W/B}$ bits/s



$C = W \log_2 \left(1 + \frac{S}{N} \right)$

Figure 6 : Schéma du démodulateur

2.7 LA SYNCHRONISATION

La synchronisation est une fonction très importante dans un système de transmission de données. En effet, nous avons vu que dans le modulateur comme dans le démodulateur, on avait un oscillateur qui servait de base de temps. La fonction synchronisation revient donc à accorder ces deux bases de temps sur la même fréquence.

Dans les systèmes de transmission par voie filaire, la base de temps du récepteur peut être générée par l'émetteur, ce qui assure une synchronisation plus ou moins parfaite mais dans le cas des communications radiophoniques, la base de temps est générée localement au niveau du récepteur.

Suivant le mode de synchronisation, on dit qu'on a une transmission synchrone ou asynchrone. La différence entre les deux est que pour la transmission synchrone, les deux bases de temps sont accordées au début de la transmission et le reste du temps elles sont supposées synchrones, alors que pour la transmission asynchrone, chaque caractère ou bloc émis est précédé par un signal de synchronisation. C'est ce dernier type de synchronisation qui est le plus utilisé dans la transmission de données en série. On l'appelle aussi transmission **START-STOP**, et elle est caractérisée par son format de transmission consacré par la norme RS 232 de l'EIA (Electric Industries Association) en 1969.

Le dit format est composé d'un un bit de start, 7 ou 8 bits de données, 1 bit de parité ou d'imparité et 1 à 2 bits de stop comme représenté ci-après:

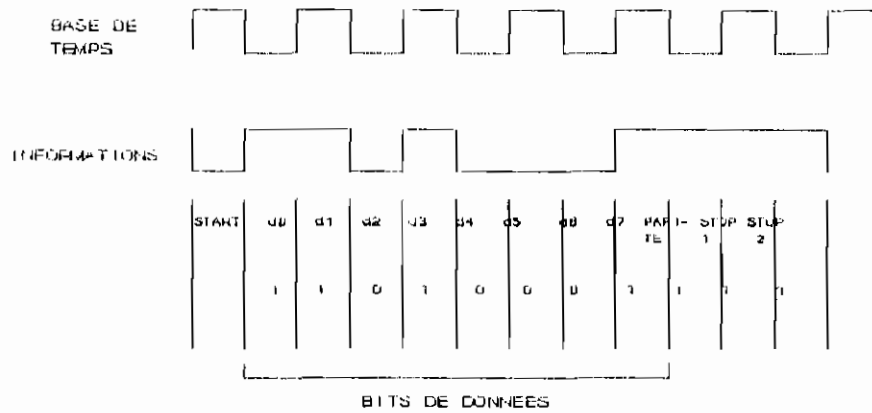


Figure 7 : Format de transmission START-STOP

Après avoir pris connaissance de toutes ces théories et techniques soutenant la télécommunication, nous allons concevoir les modules qui nous permettrons d'assurer la transmission de données d'un point à un autre avec à chaque extrémité un appareil digital. Ceci nous amène à résumer chronologiquement le travail à faire dans le prochain chapitre comme suit :

- conception du modulateur
- " de l'émetteur FM
- " du récepteur FM
- " du démodulateur

3

Conception des modules d'émission et de réception

L'émission et la réception de signaux dans la bande FM sont des techniques plus ou moins utilisées dans la transmission de données malgré les défauts inhérents à cette technique.

Nous allons essayer de calculer quelques montages permettant d'émettre et de recevoir des informations par la bande FM . Comme spécifié dans le chapitre II, nous aurons besoin d'un modulateur, d'un démodulateur, d'un émetteur et d'un récepteur. Il ne faudra pas confondre le modulateur interne de l'émetteur avec le modulateur servant de convertisseur TTL - Fréquence audio et la même chose pour le démodulateur interne du récepteur et le démodulateur (Convertisseur Fréquence audio - niveau TTL) .

Avant de passer à la réception qui est une activité passive, nous allons d'abord explorer les méandres de l'émission.

A°/ L'EMISSION

Il s'agira d'étudier les différentes méthodes de mise en forme des signaux TTL sous forme de fréquences audibles et de les émettre dans la bande FM. En ce sens, nous aurons avant tout à les moduler.

3.1 Le modulateur

La conversion des données numériques en signaux audio-fréquences relève du procédé FSK (Frequency - Shift Keying : Manipulation par variation ou saut de fréquence) et est utilisée dans tous les modems au niveau du modulateur. Nous allons donc partir des normes en vigueur dans la transmission de données pour construire nos modules et pour cela il nous faut énoncer quelques unes de ces normes. En effet, pour la transmission de données, l'avis V 23 du CCITT* recommande les correspondances ci-après :

Vitesse Normalisée 1200 bauds	
Valeurs binaires	Fréquences associées
0 : Etat bas	2100 Hz
1 : Etat Haut	1300 Hz

Tableau 1 : Correspondance Etat logique - Fréquence audio

Ces normes sont celles utilisées le plus couramment sur les MINITELS également.

Pour notre projet, il nous faudra :

- un VCO (oscillateur commandé par tension) et naturellement on pense au traditionnel 555.
- un élément capable de commuter deux fréquences distinctes et indépendantes par le biais d'une simple porte logique.

Les théories qui nous ont amené à ceci ont déjà été introduites au chapitre II.

Dans le commerce, il existe un circuit intégré qui convient à merveille à toutes ces exigences et nous allons essayer de l'adapter à notre système. Il s'agit du XR 2206 d'EXAR

* Commission consultatif international du télégraphe et du téléphone.

qui présente la particularité d'être muni de deux potentiomètres déterminant deux fréquences indépendantes dont le choix est laissé à l'utilisateur. Une fois les deux fréquences fixées, la sortie peut basculer instantanément entre celles-ci au rythme du niveau TTL à l'entrée.

Le schéma typique de son montage pour une telle application est donné par le constructeur comme le montre la figure ci-après:

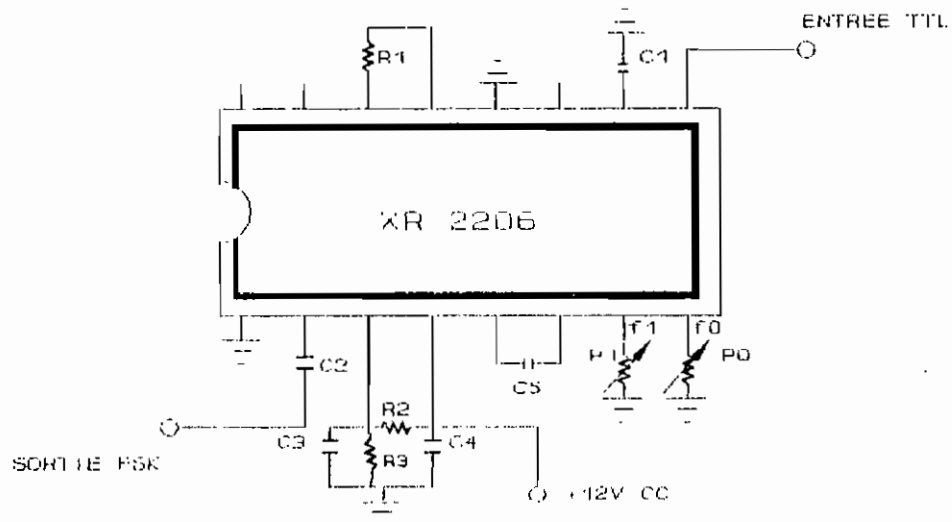


Figure 8 : Schéma de montage du modulateur

De la même manière, d'après les indications du catalogue, on sait que pour un fonctionnement à 1200 bauds, les composants doivent avoir les valeurs ci-après:

MODULES D'EMISSION ET DE RECEPTION

Nomenclature composantes	Valeurs indiquées	Observations
R1	220 Ω	Résistance
R2	47 k Ω	=R3 , modifiable
R3	47 k Ω	=R2, modifiable
P0	220 k Ω	Potent. ==> fréquence F0
P1	220 k Ω	Potent. ==> fréquence F1
C1	22 μ F	Capacitance
C2	22 μ F	Capacitance
C3	10pF	"
C4	22 μ F	"

Tableau 2 : Liste des valeurs des composantes du modulateur

La sortie FSK présentant une impédance de 600 ohms aura un niveau en tension efficace de 1.6 V environ. Pour atténuer cette tension nous pourrions diminuer la valeur des résistances R1 et R2 qui toutefois doivent rester égales. Les diagrammes des signaux à l'entrée et à la sortie, donnés par nos simulations sont représentés par la figure ci-après:

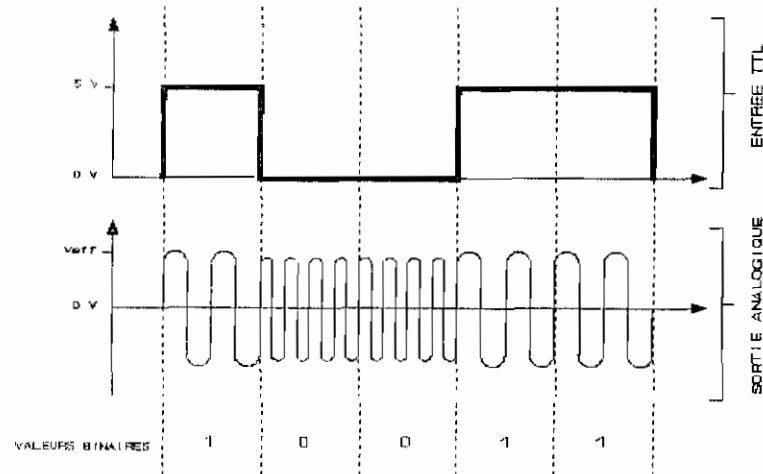


Figure 9 : Diagrammes des signaux d'entrée et sortie

Le signal de sortie peut être injecté sur une ligne téléphonique mais dans le cas de notre projet, il sera injecté à l'entrée d'un émetteur FM.

3.2 L'émetteur FM

On retrouve dans le commerce beaucoup d'émetteurs pouvant permettre la réalisation de notre montage mais en général, ils sont bien trop complexes et donc plus onéreux que ce dont nous avons besoin. En effet, la sortie de notre modulateur a déjà un niveau suffisamment élevé (1.6V eff) pour être injecté encore dans un pré-amplificateur comme tous les émetteurs du marché en disposent. Par ailleurs, on retrouve dans la bibliographie des montages d'émetteurs et le suivant a spécialement retenu notre attention pour ses performances malgré sa simplicité.

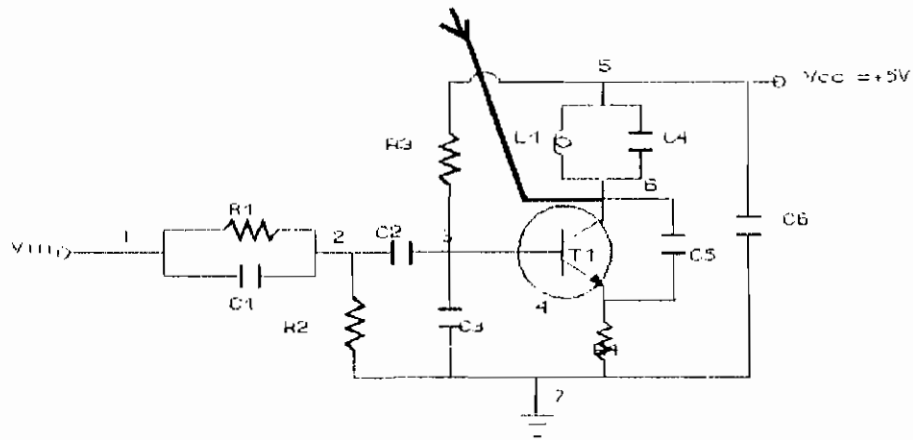


Figure 10 : Circuit de montage de l'émetteur FM

Les résistances R1 et R2 servent de pont diviseur pour le signal d'entrée et nous pouvons évaluer leur impact sur le système en faisant phi du condensateur.

Soit V_{out} la tension au point 2, on aura:

$$V_{out} = V_{in} * \frac{R2}{R1 + R2}$$

or $V_{in} = 1.6 \text{ V} \Rightarrow$

$V_{out} = \frac{1.6 * R2}{R1 + R2}$

D'autre part, nous voulons à l'entrée, une pré accentuation de 50ps (normalisée) et ceci est assurée par R1 et C1 d'où on a:

$$t = 50 \text{ } \mu\text{s} = R_1 * C_1 \Rightarrow R_1 = t/C_1$$

avec R1 en ohm, C1 en F et t en s on a :

$$R_1 = 50.10^{-6}/C_1 \quad (\Omega)$$

Pour éviter des distorsions, nous ne voulons pas injecter à la base du transistor un niveau de tension excédant de trop la valeur de 200 mV ce qui revient à :

$$V_{\text{out}} (\text{Max}) = 200 \text{ mV}$$

$$\rightarrow 0.2 = 1.6 * \frac{R_2}{R_1 + R_2}$$

$$\Leftrightarrow 0.2 (R_1 + R_2) = 1.6 * R_2 \Leftrightarrow 0.2R_1 = 1.4R_2$$

$$\Rightarrow R_1 = 7 * R_2$$

Soit C1 = 4.7 nF, on aura R1 = $50.10^{-6}/4.7 \cdot 10^{-9} = 10638.29 \Omega$

$$\Rightarrow R_2 = 10638.29/7 = 1519.75 \Omega$$

Donc théoriquement on obtient

R1 = 10.64 KΩ
R2 = 1.52 KΩ
C1 = 4.7 nF

Il nous faut choisir maintenant des valeurs normalisées proches de ces valeurs théoriques calculées et refaire les vérifications. D'après les tables de résistance, on a dans la série E12 :

$$R_1 = 10 \text{ k}\Omega$$

$$R_2 = 1.5 \text{ k}\Omega$$

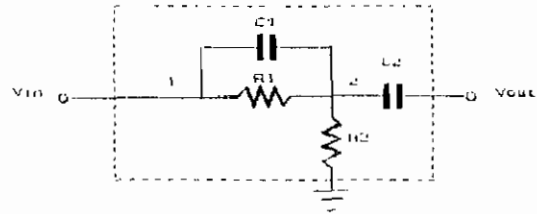
$$C_1 = 4.7 \text{ nF}$$

La vérification de V_{out} nous donne

$$V_{out} = 1.6 * 1.5 / (1.5 + 10) = 0.208 \text{ V}$$

$V_{out} = 208 \text{ mV}$ qui n'est pas très supérieur à 200 mV et de plus, cette valeur ne pourra être atteinte qu'à une fréquence supérieure à la plage de fréquences que nous utilisons (1300 Hz à 2100 Hz) ce que justifie le paragraphe ci-après.

Considérant la figure ci-contre, on peut écrire les équations ci-après:



$$V_2 = \frac{R_2}{R_2 + (R_1 \parallel C_1)} * V_{in}$$

or $V_{out} = V_2 \Rightarrow$

Figure 11 : Schéma du circuit d'entrée de

l'émetteur

$$V_{out} = \frac{R_2}{R_2 + (R_1 \parallel C_1)} * V_{in} \quad \text{avec } R_1 \parallel C_1 = \frac{R_1}{R_1 * C_1 * \omega + 1}$$

on a

$$V_{out} = \frac{R_2}{R_2 + \frac{R_1}{R_1 * C_1 * \omega + 1}} * V_{in}$$

ceci nous donne finalement

$$V_{out} = \frac{R_2 (1 + R_1 * C_1 * \omega)}{R_1 + R_2 (1 + R_1 * C_1 * \omega)} * V_{in}$$

et la fonction de transfert est donnée par l'expression :

$$T = \frac{V_{out}}{V_{in}} = \frac{R_2 (1 + R_1 \cdot C_1 \cdot \omega)}{R_1 + R_2 (1 + R_1 \cdot C_1 \cdot \omega)}$$

Par ailleurs, $t = R_1 \cdot C_1 = 50 \mu s$ et $\omega = 2\pi f \Rightarrow$

$$V_{out}(f) = \frac{R_2 (1 + 2\pi \cdot t \cdot f)}{R_1 + R_2 (1 + 2\pi \cdot t \cdot f)} \cdot V_{in}$$

$$T(f) = \frac{V_{out}}{V_{in}} = \frac{R_2 (1 + 2\pi \cdot t \cdot f)}{R_1 + R_2 (1 + 2\pi \cdot t \cdot f)}$$

Ces expressions déterminent un filtre passe haut ce qui permet d'éviter l'injection d'un signal continu ($f=0$) dans le dispositif car ceci serait la cause d'un bruit de fond effroyable. De plus le condensateur C_2 dont la valeur de $4.7 \mu F$ a été choisie arbitrairement empêche le retour du niveau de polarisation vers l'entrée.

L'analyse fréquentielle de cette portion du circuit nous a permis d'avoir le graphique ci-après et les valeurs de la tension de sortie calculées en fonction de la fréquence d'entrée sont consignées dans l'annexe A.

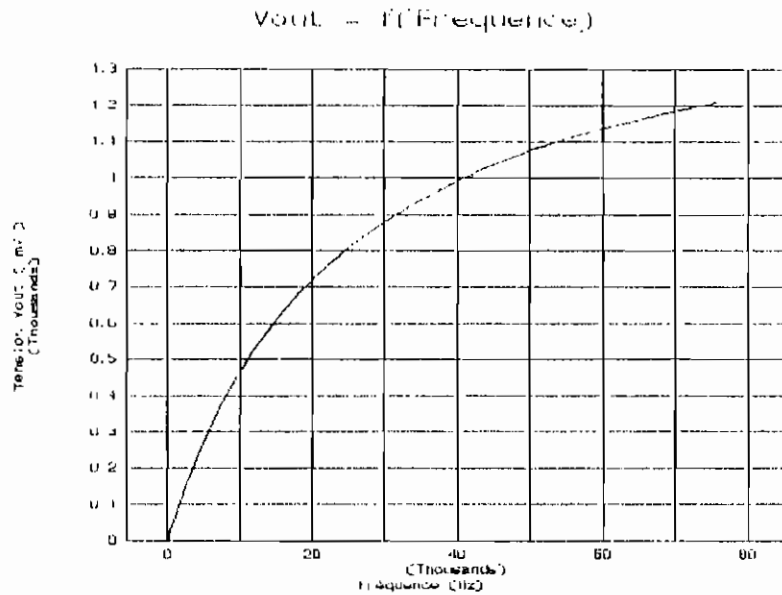


Figure 12 : Tension d'entrée selon la fréquence

Le calcul des autres composantes du circuit se fait de la même manière que ci-dessus en utilisant la transformation de Miller et le circuit équivalent R-Pi du circuit initial. On en arrive au tableau ci-après :

Nomenclature	Valeurs
R1	10 k
R2	1.5 k
R3	100 k
R4	.33 k
C1	4.7 nF
C2	4.7 µF
C3	2.2 nF
C4	15 pF
C5	4.7 pF
C6	47 µF
L	2.35µH
T1	2N 3053

Tableau 3 : Liste des composantes de l'émetteur

Les valeurs de L, C4, C5 déterminent la fréquence porteuse Fp de l'émetteur mais les expressions mathématiques soutenant ceci sont assez complexes à manipuler. Nous avons donc décidé de partir de notre montage déjà réalisé pour acquérir une série de valeurs pour en déduire spécifiquement le comportement de notre émetteur.

Avec 4 spires non jointives de 8 mm de diamètre, nous avons obtenu :

- une inductance L = 2.35µH qui, combinée avec les autres éléments du système a permis d'avoir une portée d'environ 400 mètres et les résultats qui suivent :

FP = Fréquence porteuse = fréquence d'émission

C4 =>	4.7pF		10pF		15pF		22pF	
C5	FP (MHz)		FP (MHz)		FP (MHz)		FP (MHz)	
4.7pF	94.4	98	91.4	98	91.5	98	91.3	98.2
10 pF	93.75	95.5	91.2	95.8	89	95.6	87.6	93.7
15 pF	92.8	93.3	90.7	93.5	88.3	94.2	88	92.1
22 pF	92.3	93	88	93.2	87.8	93	92.4	103.
47 pF	92	93.2	93.4	106.7	94.9	107.2	93.1	106.

Tableau 4 : Caractéristiques fonctionnelles de l'émetteur

Ces données nous permettront de choisir les valeurs adéquates de C₄, C₅ et L pour avoir une fréquence porteuse donnée. Les graphiques des caractéristiques fonctionnelles de l'émetteur sont donnés à l'annexe B. Dans la pratique et pour la réalisation

finale, nous garderons les valeurs de L et C_4 déterminées ici mais pour la capacité C_3 nous choisirons plutôt un condensateur variable ce qui permettra les réglages de finition pour le module d'émission en vue de le rendre compatible avec le module de réception.

B°/ LA RECEPTION

Le travail ici reviendra tout simplement à amplifier massivement la très faible tension créée au niveau d'une antenne et à en tirer l'information sous forme de fréquences audibles. Ces fréquences seront ensuite converties en niveaux de tension (TTL) par le démodulateur.

3.3 Le récepteur FM

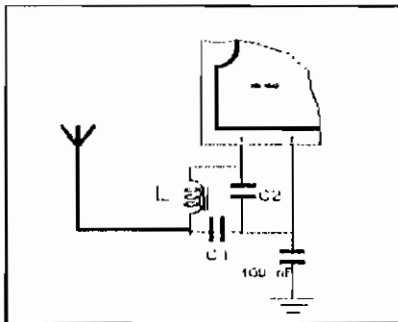
L'essentiel sera fait par un circuit intégré spécialisé dans le domaine de la transmission numérique. Il s'agit en effet du NE 605 de Philips qui permet la réception FM à simple changement de fréquences.

3.3.1 Le circuit intégré NE 605

Le NE 605 est un circuit intégré à 20 broches fonctionnant aux tensions de la plage 4.5V à 8V avec une consommation maximale de 6mA pour un échauffement allant de 0°C à 70°C . Il permet la réception de signaux modulés en fréquence jusqu'à 200 Mhz et par conséquent est doté de la plupart des éléments constituant un récepteur (voir chapitre 2) à savoir: le mélangeur, le démodulateur, le limiteur etc..

3.3.2 Le dimensionnement du récepteur FM

A°/ Le circuit d'entrée



Soit B la bande dans laquelle on veut recevoir l'émission, LB la largeur de bande (Bande passante à -3dB), la réactance de la bobine est donnée par : $X_L = 2\pi \cdot B \cdot L$ et soit Q_L le facteur de qualité de la bobine, on aura la résistance

ohmique de la bobine qui sera donnée par

Figure 13 : Entrée du NE-605

$$R_L = Q_L \cdot X_L = 2\pi \cdot B \cdot L \cdot Q_L$$

La résistance d'entrée de la NE-605 est $R_e = 4500$ ohms

==> la résistance totale à l'entrée sera :

$$R_{TOT} = R_e \parallel R_L = \frac{R_e \cdot R_L}{R_e + R_L}$$

$$\text{d'où } R_{TOT} = \frac{R_e (2\pi B \cdot L \cdot Q_L)}{R_e + 2\pi B \cdot L \cdot Q_L} = \frac{9000\pi \cdot L \cdot B \cdot Q_L}{4500 + 2\pi \cdot L \cdot B \cdot Q_L}$$

Le facteur de surcharge s'écrit :

$$Q_c = \frac{R_{TOT}}{X_L} = \frac{9000\pi \cdot L \cdot B \cdot Q_L}{4500 + 2\pi \cdot L \cdot B \cdot Q_L} \cdot \frac{1}{2\pi \cdot L \cdot B}$$

$$\text{d'où } Q_c = \frac{4500 \cdot Q_L}{4500 + 2\pi \cdot L \cdot B \cdot Q_L}$$

A partir de ceci, on peut déduire la valeur de L :

$$4500 \cdot Q_L = Q_c \cdot [4500 + 2\pi \cdot L \cdot B \cdot Q_L]$$

$$\Rightarrow 4500 \cdot Q_L = 4500 Q_C + 2\pi \cdot L \cdot B \cdot Q_L \cdot Q_C$$

$$\Rightarrow L = \frac{4500 \cdot (Q_L - Q_C)}{2\pi \cdot B \cdot Q_L \cdot Q_C}$$

Soit R_A la résistance de l'antenne, le rapport de la résistance totale d'entrée du NE-605 à R_A est donné par l'expression :

$$\frac{R_{TOT}}{R_A} = \left(\frac{C_1}{C_2} + 1 \right)^2 \rightarrow \frac{C_1}{C_2} + 1 = \sqrt{\frac{R_{TOT}}{R_A}}$$

Finalement on obtient :

$$\frac{C_1}{C_2} = \sqrt{\frac{R_{TOT}}{R_A}} - 1 = E$$

Par ailleurs, à la résonance on a $X_L = X_C$ ce qui nous permet d'écrire :

$$X_L = \frac{1}{2\pi \cdot B \cdot C_{TOT}} \rightarrow 2\pi \cdot B \cdot L = \frac{1}{2\pi \cdot B \cdot C_{TOT}}$$

d'où on a

$$C_{TOT} = \frac{1}{(2\pi \cdot B)^2 \cdot L}$$

De plus $C_{TOT} = C_1$ en série avec $C_2 \Rightarrow C_{TOT} = \frac{C_1 \cdot C_2}{C_1 + C_2}$

Ce qui nous amène donc à deux équations en C_1 et C_2 :

$$\#1 \quad \frac{C1}{C2} = E \quad \Rightarrow \quad C1 = E * C2$$

$$\#2 \quad \frac{C1 * C2}{C1 + C2} = C_{TOT} \quad \Rightarrow \quad \frac{C2 * E * C2}{C2 * E + C2} = C_{TOT}$$

Finalement on obtient pour C1 et C2 les expressions suivantes :

$$C_2 = \frac{E+1}{E} * C_{TOT} = \frac{\sqrt{\frac{R_{TOT}}{R_A}}}{\sqrt{\frac{R_{TOT}}{R_A} - 1}} * \frac{1}{(2\pi * B)^2 * L}$$

$$C_1 = \frac{\sqrt{\frac{R_{TOT}}{R_A}}}{(2\pi * B)^2 * L}$$

B°/ L'oscillateur interne

Plusieurs configurations sont proposées par le constructeur mais nous avons choisi celle qui s'adapte le mieux à notre conception. Elle se présente comme suit :

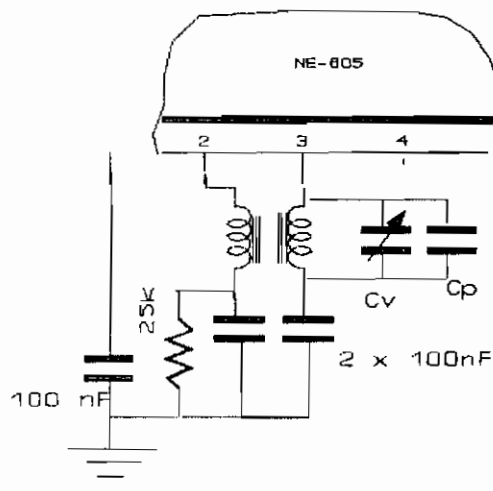


Figure 14 : Schéma de montage de l'oscillateur du récepteur

D'après le constructeur, la fréquence peut varier de F_1 à F_2 pour une variation de la capacitance C_v de la valeur $C_{v_{MIN}}$ à $C_{v_{MAX}}$ de telle sorte qu'on ait

$$\frac{F_1}{F_2} = \sqrt{\frac{C_{v_{MAX}}}{C_{v_{MIN}}}}$$

De plus, on dit que plus C_p croit et moins l'excursion de fréquence $|F_1 - F_2|$ est grande. Les condensateurs de couplage C_c et la résistance R prendront respectivement les valeurs de 100nF et 25 Kohms.

Le calcul des autres composantes du circuit se fait de la même manière ce qui nous donne le tableau et les graphiques en annexe C pour les valeurs des composantes selon la fréquence porteuse choisie pour une même largeur de bande.

La figure suivante donne la configuration finale de notre récepteur.

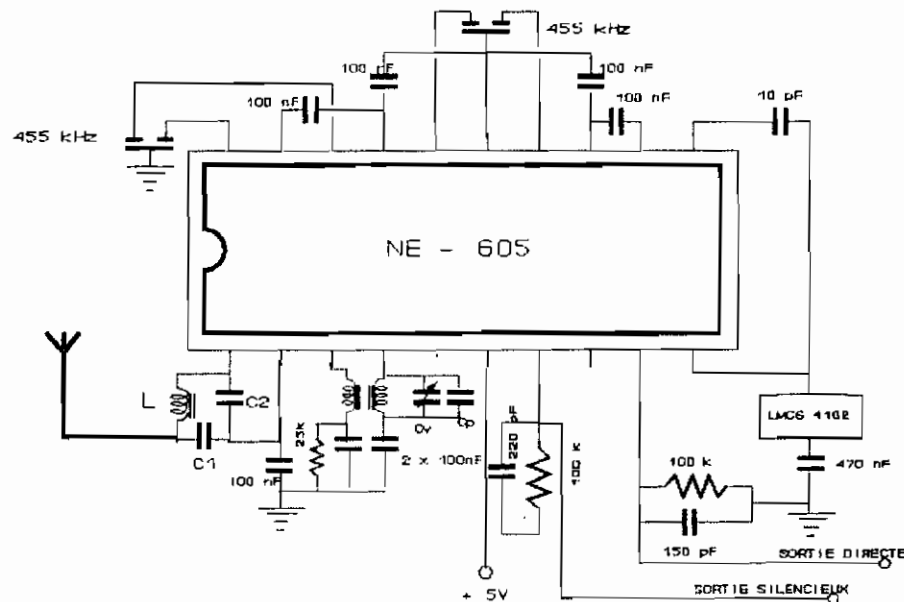


Figure 15 : Circuit de montage du récepteur FM

Il s'agira maintenant d'adapter la sortie TTL du démodulateur au système final qui devra traiter l'information et actionner une commande donnée.

De la même manière, nous aurons à adapter le récepteur au démodulateur ce qui, après analyse de tout le système de transmission de données et en se rappelant de ce qui avait été dit sur l'adaptation du modulateur à l'émetteur, nous permet de présenter l'étude de cette partie du système par la figure ci-après.

Nul doute que ces adaptations peuvent faire appel à des isolations galvaniques d'où l'utilisation d'optocoupleurs entre les différents modules.

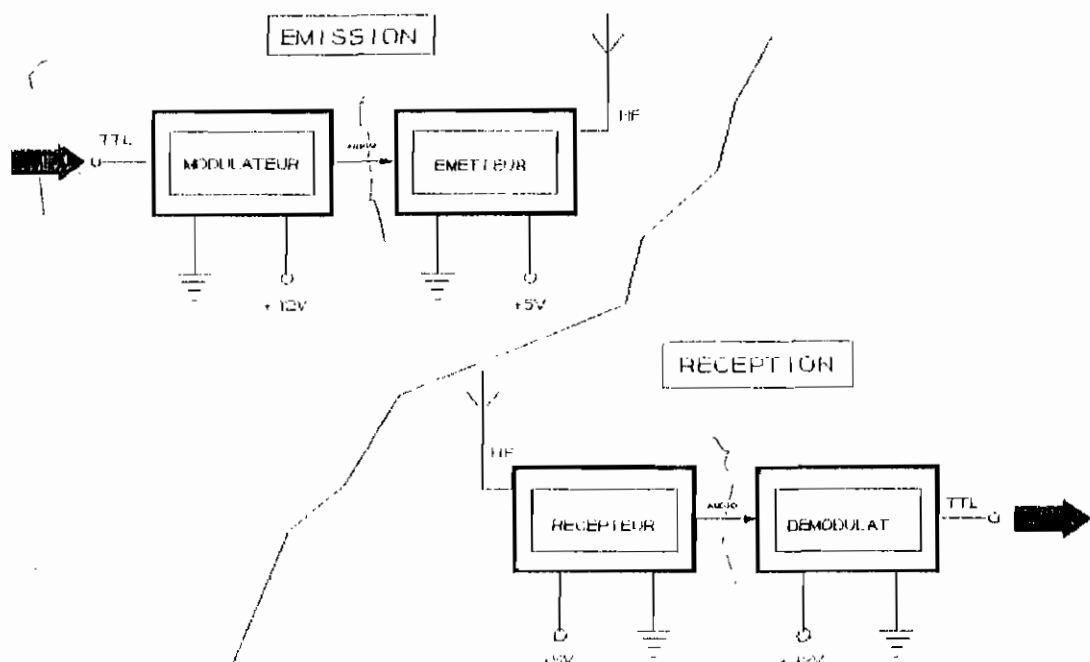


Figure 17 : Schéma du système de transmission de données

De part et d'autre de ce système qui n'est là que pour assurer la transmission de l'information nous aurons à introduire le système de commande à base de microprocesseur pour parachever les fonctionnalités préétablies.

3.5 Réalisation pratique du système de transmission

L'objectif premier de notre étude est de concevoir deux modules pouvant communiquer entre eux par liaison RADIO et simultanément. De tout ce que nous avons fait jusque là, on peut retenir que chacun des deux modules aura tous les éléments décrits par la figure 17. Toutefois, cela n'explique pas comment nous pourrions avoir la communication en Duplex.

3.5.1 Principe de la communication DUPLEX

On parle de communication en mode FULL DUPLEX lorsque chacun des correspondants est indépendant vis-à-vis de l'autre. Plus clairement le premier correspondant peut émettre pendant que le second aussi est en train d'émettre vers lui.

Dans le cas de la téléphonie, les ingénieurs ont résolu ce problème par l'utilisation de deux lignes distinctes orientées en sens inverse pour la communication simultanée. A défaut de support matériel comme ligne, nous allons pour notre projet utiliser deux porteuses différentes pour l'émission et la réception au niveau d'un même boîtier.

3.5.2 Choix des fréquences d'émission et de réception

D'après la réglementation en vigueur en télécommunication, la plage laissée aux radio et télécommandes va de 26MHz à 33MHz. Alors nous allons essayer de rester à l'intérieur de cette zone.

MODULES D'EMISSION ET DE RECEPTION

Choisissons : $B1=27$ Mhz et $B2=30$ Mhz; l'écart entre $B1$ et $B2$ est $|B1-B2|=3$ MHz qui est supérieur à la largeur de bande du récepteur (voir annexe C $Bf_0 = 1.5$ MHz) donc l'émetteur qui se trouvera juste à coté du récepteur ne pourra pas influencer ce dernier .(Voir para 2.4.1.c Brouillage)

Soit E-H27 le boîtier qui émet à 27Mhz, il doit donc recevoir les informations dans la bande de 30 MHz . De la même manière, le boîtier E-H30 émet à 30Mhz et reçoit les informations dans la bande de 27 MHz .

Tout ceci fait que les boîtiers E-H27 et E-H30 sont conjugués et l'un ne peut fonctionner qu'avec l'autre ce qui demande une très grande précision quant à l'accordement.

La figure ci-après donne une idée plus nette de tout ce que nous avons essayer d'expliquer plus haut.

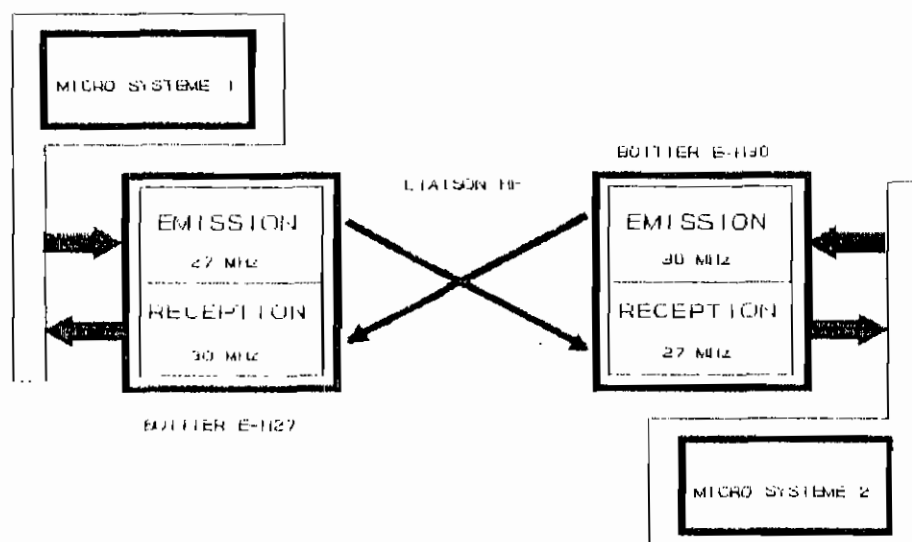


Figure 18 : Schéma de liaison des modules de transmission

Après ceci, il ne nous reste plus qu'à nous intéresser aux modules de commandes se trouvant à chacune des extrémités.

A priori, on sait que ces modules seront identiques vue la symétrie que présente tout le système.

Nous allons donc dans les prochains chapitres, essayer dans un premier temps de prendre connaissance avec les éléments de base du système à microprocesseur répondant à nos besoins et dans un deuxième temps le concevoir.

4

Introduction aux systèmes à microprocesseur

Un système à microprocesseur est un système informatique construit autour d'un microprocesseur. Un tel système peut être assimilé à une boîte noire qui reçoit des informations, les traite sous la direction d'un programme et fournit les résultats de son analyse sous forme de données, décisions ou ordres.

Pour se faire, le système à microprocesseur a besoin de mémoires pour stocker les informations (données, décisions, ordres) et de circuits d'interface adéquats pour le transfert de ces informations pour l'exécution des ordres issus de son traitement.

La structure de base (ou encore structure minimale) d'un tel système est constituée des éléments cités ci-après :

- 1 - un microprocesseur
- 2 - une horloge
- 3 - de la mémoire
 - * ROM : Read Only Memory (en anglais)
 - * RAM : Random Access Memory (en anglais)
- 4 - des circuits d'interface
 - * sérielle
 - * parallèle
- 5 - des organes de fonctionnement tels que
 - * les bus (Bus de données, bus d'adresses et bus de contrôle)
 - * le décodeur d'adresses

6 - la partie logicielle qui n'est autre que la partie "intelligente" du système.

Tout ceci peut être schématiquement représenté par le diagramme block ci-après :

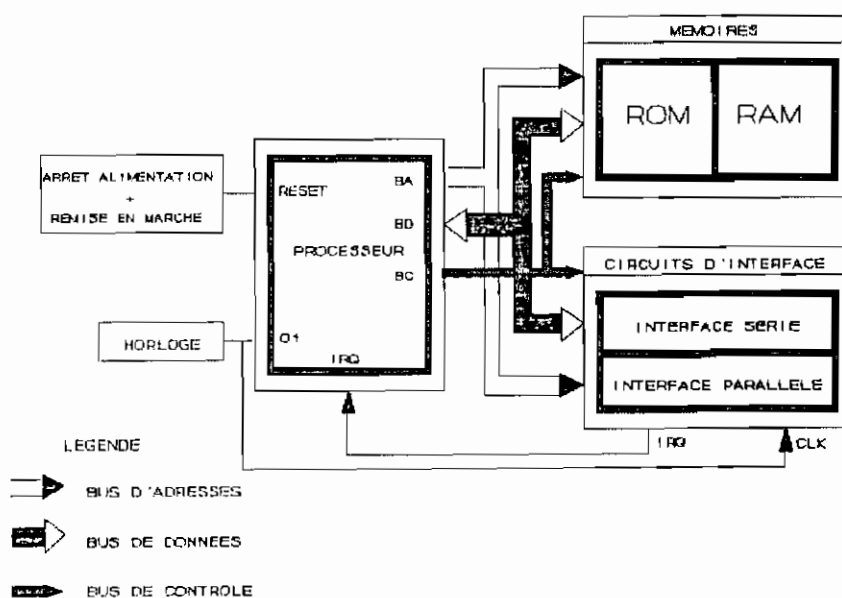


Figure 19 : Structure de base d'un système à microprocesseur

4.1 Le microprocesseur

C'est le centre nerveux de la machine. Il est l'unité centrale de traitement (UCT) qu'on nomme en anglais CPU ou MPU.

CPU : Central Processing Unit

MPU : Micro Processing Unit

Comme spécifié ci-dessus, c'est par le microprocesseur que la machine "vit". En effet, les instructions (programmes) qu'il exécute proviennent de l'analyse humaine et ses prises de décisions ne sont que le fruit du travail de l'Homme. Le microprocesseur emprunte donc à l'Homme l'intelligence par le biais des programmes et la combine à sa rapidité remarquable ce qui en fait un produit de très grande importance tant bien sur la plan technique qu'économique.

Dans le cadre de notre projet, nous utiliserons un microprocesseur de **MOTOROLA** en occurrence le 6809 et cela pour le bon compromis qu'il offre entre le prix, la qualité et la souplesse de manipulation. Pour cela, nous allons essayer de décrire sa structure interne .

En effet, à l'intérieur du 6809, on peut reconnaître assez grossièrement les éléments essentiels suivants :

- l'UAL ou unité arithmétique et logique qui assure les opérations logiques et arithmétiques intrinsèques et extrinsèques du microprocesseur.

- l'UCS ou unité de commande et de séquençement qui gère entre autre le séquençement des opérations suite à une instruction donnée.

- les registres qui sont surtout utilisés par l'UAL pour les opérations. On peut citer comme registres :

- * les accumulateurs

- ^ les compteurs décimaux
 - ^ les registres de travail
- enfin le décodeur d'instructions qui a pour rôle vis-à-vis du microprocesseur, la reconnaissance de l'opération à réaliser suite à une instruction donnée.

On pourra donc au vu de toutes ces informations, schématiser le microprocesseur comme suit:

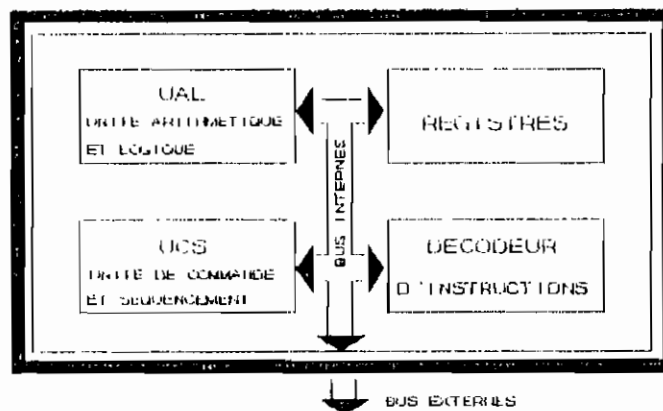


Figure 20 : Organisation interne du 6809

Après ces généralités sur le 6809, nous allons nous apesentir sur ses registres internes qui nous seront très utiles pour la programmation du système que nous avons à concevoir.

Dans le bloc des registres, nous avons :

- ^ les accumulateurs A et B, registres de 8 bits dont la concaténation (A comme partie haute et B comme partie basse) donne le registre D à 16 bits;

- ^ les registres d'index X et Y qui sont des registres 16 bits;
- ^ les registres de Pile U et S, 16 bits également;
- ^ le compteur decimal PC (16 bits)
- ^ et enfin deux registres 8 bits qui sont le registre d'état et le registre de page.

Nous donnons ci-après un schéma représentant les registres internes du 6809.

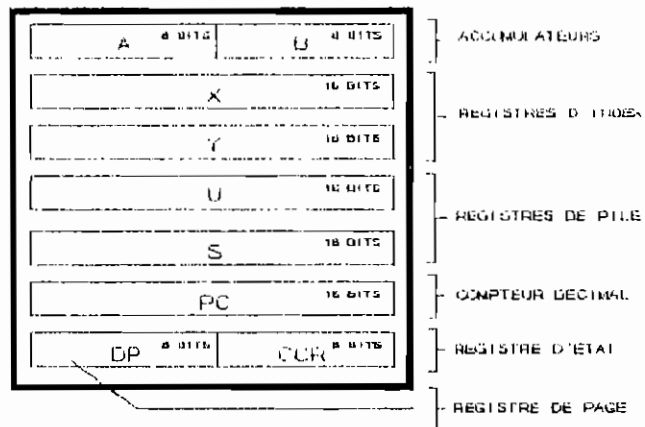


Figure 21: Les registres internes du 6809

4.2 L'horloge

L'horloge est un circuit intégré qui permet de générer des interruptions ou des signaux de retard par logiciel. De ce fait elle sera utilisée souvent pour le séquençement des opérations ou pour la mesure de la fréquence d'une séquence donnée.

Chez le constructeur INTEL, on a le circuit 8253 et le 6840 à Motorola. Vu que nous avons opté pour le 6809, il est clair que nous continuerons avec le 6840 de Motorola. Uniformité et simplicité obligent.

Notons en passant que l'horloge 6840 ne peut servir à rien sans une programmation antérieure. Ce qui nous amène à étudier sa structure interne pour mieux la maîtriser.

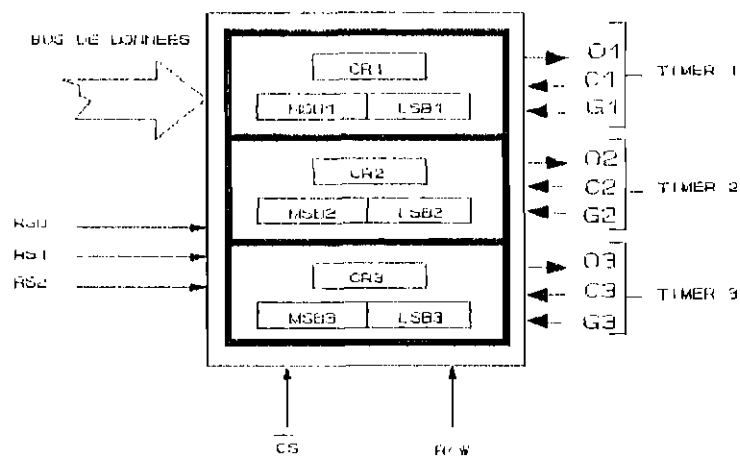


Figure 22 : Organisation des registres internes du 6840.

De par sa structure interne, on voit que le Timer comprend trois parties quelque peu identiques.

L'accès aux registres et le choix du mode de fonctionnement sont assurés par le registre de contrôle CRX

4.2.1 Adressage des registres internes du 6840.

Le problème principal se situe au niveau de l'accès aux registres de contrôle de T1 et T3. En effet, ces deux registres (CR₁, CR₃) partagent la même adresse logique et pour les départager, il faut avoir recours au bit 0 du registre de contrôle du Timer 2.

Pour cela, le registre de contrôle de T2 est directement adressable (accessible). En dehors de ceci, l'adressage des registres internes du 6840 ne pose pas de problème. Le tableau ci-après donne l'adresse relative de chaque registre du 6840.

Adresses				R/W=0 (Ecriture)	R/W=1 (Lecture)
\$3000 (1)	0	0	0	CR1 si CR2-0 = 1 CR3 si CR2-0 = 0	-
\$3001	0	0	1	Ecriture de CR2	Lecture de CR2
\$3002	0	1	0	MSB1 de T1	Sortie MSB1 de T1
\$3003	0	1	1	LSB1 de T1	Sortie LSB1 de T1
\$3004	1	0	0	MSB2 de T2	Sortie MSB2 de T2
\$3005	1	0	1	LSB2 de T2	Sortie LSB2 de T2
\$3006	1	1	0	MSB3 de T3	Sortie MSB3 de T3
\$3007	1	1	1	LSB3 de T3	Sortie LSB3 de T3

Tableau 5 : Adresse relative des registres internes du 6840

4.2.2 Présentation du registre de contrôle

Le registre de contrôle assure entre autre, le choix du mode de fonctionnement, le choix de l'horloge, de la décrémentation, et la gestion des interruptions. La signification de chacun de ses bits est donnée sur la figure ci-après :

(1) Voir justification du choix des adresses au chapitre suivant

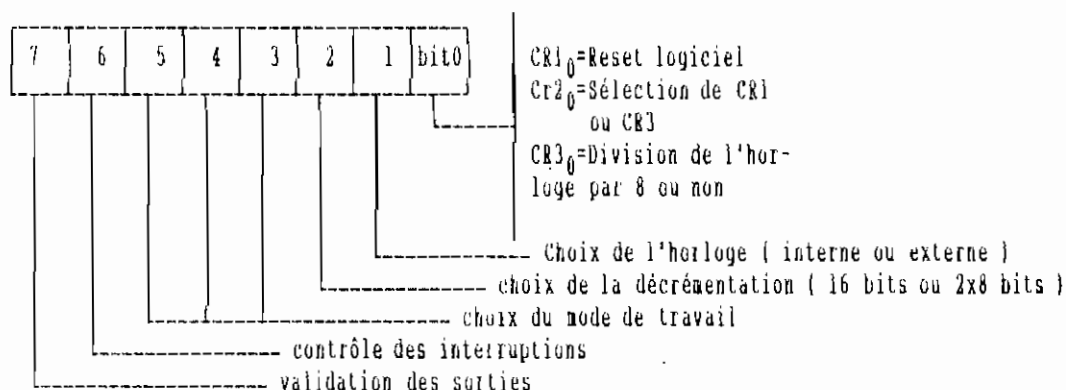


Figure 23 : Aspect du registre de contrôle du 6840

4.2.3 Les modes de fonctionnement

Les modes de fonctionnement essentiels sont : le mode astable, le mode monostable le mode comparaison ou mesure de temps. Dans le cas de notre projet, nous sommes seulement intéressés par le mode astable.

Le tableau N°4 en annexe D donne de plus amples informations sur la structure du CRx (x = 1..3) en générale et en particulier sur les modes de fonctionnement.

4.3 Les mémoires

Du point de vue de la technique de construction, il existe deux types de mémoires : les mémoires statiques et les mémoires dynamiques.

4.3.1 Les mémoires statiques

Dans une mémoire statique, l'état des informations stockées est inchangé tant qu'elle reste alimentée ou qu'on n'y a pas changé le contenu par une nouvelle écriture.

Du point de vue de l'utilisation, on distingue deux familles de mémoires qui se retrouvent tant bien dans la catégorie des mémoires statiques que dynamiques. Les mémoires à lecture seule (ROM, PROM ou EPROM). Les mémoires à lecture / écriture (RAM).

- La RAM

C'est une mémoire dont le contenu modifiable, se perd dès que l'alimentation est coupée . Sa structure interne correspond parfaitement à celle décrite ci-dessous.

- La ROM

La constitution d'une mémoire ROM relève des mêmes principes que pour une RAM à la seule différence que seules les sorties sont connectées au bus de données. Ce qui fait qu'on ne peut que la lire.

4.3.2 Les mémoires dynamiques

Le nom de mémoire dynamique vient du fait qu'il faut périodiquement recharger la capacité à la valeur logique correcte (principes de rafraichissement) vue que dans la pratique, la tension aux bornes d'une capacité ne peut se maintenir indéfiniment. Ici, nous ne parlerons pas de ce genre de mémoire puisque nous avons choisi les mémoires statiques.

4.4 Les circuits d'interface

Le microprocesseur est relié au milieu extérieur par l'intermédiaire des circuits d'interfaces. Les organes commandés par ces circuits sont appelés **PERIPHERIQUES** . Les circuits d'interface peuvent être unidirectionnels ou bidirectionnels.

Selon leurs principes de fonctionnement, les entrées sorties peuvent se classer principalement en :

- 1°/ entrée-sortie parallèle
- 2°/ entrée-sortie série.

4.4.1 Les circuits d'interface parallèle

Dans la famille 6800 on retrouve le PIA 6821 ou " périphéral interface adapter " qui est un double port bidirectionnel sur 8 bits. Dans la famille 8080, on a le 8255 qui peut être organisé de diverses manières selon les désirs de l'utilisateur. Nous exposerons ici, la structure du 6821 qui sera utilisé dans notre projet. Comme tous les circuits programmables, le PIA ne peut servir à rien sans une programmation préalable au travers de ses registres que la figure ci-après :

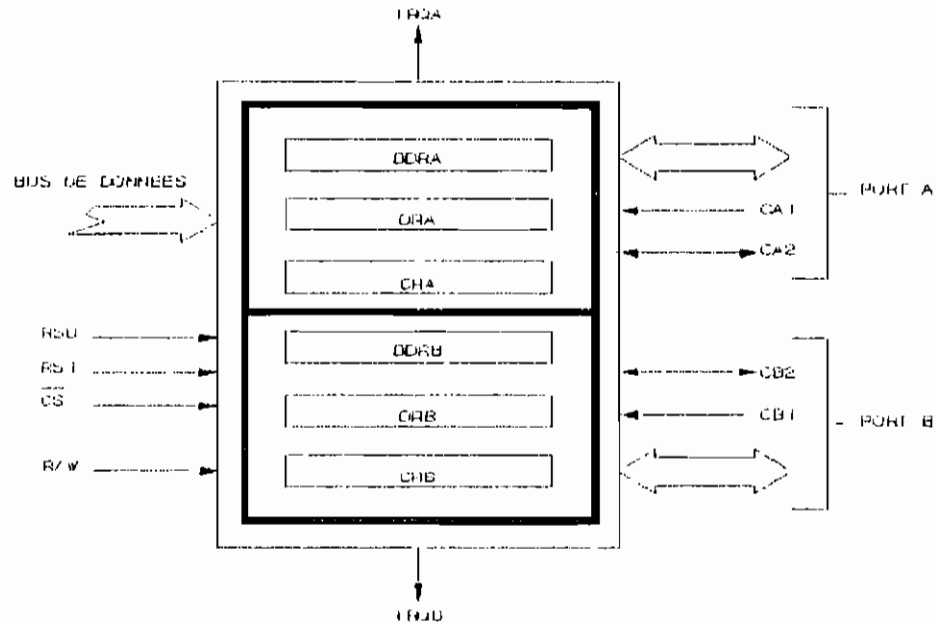


Figure 24 : Organisation interne du PIA

L'adressage des 6 registres internes est assuré par deux broches soit le RS_0 et RS_1 donc on ne peut adresser que 4 registres. Les registres DDRX et ORX partagent la même adresse logique.

On accède donc à DDRX si le bit 2 du registre CRX est 0 et ORX si celui-ci est 1. Le tableau ci-après donne la structure d'adressage du 6821.

Pour la compréhension du choix des adresses de base de tous les périphériques du microprocesseur, veuillez bien consulter le chapitre suivant (chap. 5)

Adresses	Ligne d'adresses		Régistres sélecti.	Port
\$4000	RS0 0	RS1 0	DDRA si CRA2 = 0 ORA si CRA2 = 1	A
\$4001	0	1	CRA	
\$4002	1	0	DDRB si CRB2 = 0 ORB si CRB2 = 1	B
\$4003	1	1	CRB	

Tableau 6: Structure d'adressage du 6821

X = A ou B

Comme dans le cas du timer, le registre de contrôle est directement adressage vu qu'il assure entre autre la sélection des autres registres et la configuration globale du PIA.

La signification de ses différents bits est donnée par le tableau N°3 de l'annexe A.

4.4.2 Les circuits d'interface série.

Contrairement aux circuits d'entrée et sortie parallèles qui exigent pour un microprocesseur disposant d'un bus de données 8 bits, un bus externes de 8 fils, il ne faudra que deux fils pour le transport d'informations par les circuits d'E/S série. Les liaisons série peuvent être synchrones ou asynchrones.

Dans notre cas, nous choisirons la liaison asynchrone pour des raisons qui seront évoquées plus loin.

Dans la famille du 6809, on a l'ACTA (6850 ou Asynchronous Communications Interface Adapter) et dans la famille du 8080, on a l'USART (8251 ou Universal Synchronous-Asynchronous Receiver-Transmitter).

Ils sont programmés par le microprocesseur pour toutes les transmissions séries et par conséquent convertissent les données parallèles du micro processeur en données séries et vice-versa.

Nous exposerons ici, l'ACTA qui est le circuit d'interface utilisé dans la famille 6800 que nous avons choisie. La structure des registres internes du 6850 est donnée par la figure ci-après :

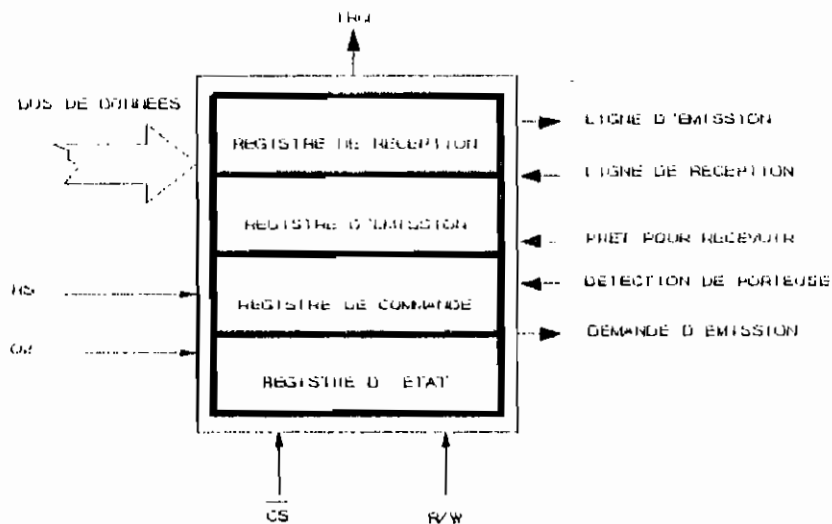


Figure 25 : Les registres internes de l'ACTA

L'ACIA possède 4 registres logés dans deux adresses logiques. En effet, deux des registres sont en lecture et les deux autres en écriture. Le tableau ci-après résume ce fait :

Type d' instructions	RSO	Registres sélectionnés	Adresses	
			ACIA 1	ACIA 2
Ecriture	0	Reg. Commande	\$1000	\$2000
	1	Reg. émission	\$1001	\$2001
Lecture	0	Reg. d'état	\$1000	\$2000
	1	reg. réception	\$1001	\$2001

Tableau 7 : Adressage des registres de l'ACIA

Avant toute utilisation de l'ACIA, il faut faire un "MASTER RESET" en écrivant le nombre hexadécimal \$03 dans le registre de commandes. Ce qui revient à fixer les bits 0 et 1 du registre de commande à un niveau logique haut. La signification des bits du registre de commandes comme du registre d'état est donnée par les tableaux 3 et 4 de l'annexe A.

4.5 Les organes de fonctionnement

Les composantes décrites ci-dessus ne serviraient à rien sans une certaine interconnection sélective entre elles.

4.5.1 Les bus

On a trois bus. Le bus d'adresse, de données et de contrôle. Ces trois bus se partagent l'interconnection entre le microprocesseur et les périphériques.

4.5.2 Le décodeur d'adresses

L'UCP adresse ses périphériques par des adresses spécifiques. Le fait qu'à chaque périphérique soit attribué une adresse de base donnée qui, évoquée, inhibe les périphériques non concernés est assuré par la combinaison du décodeur d'adresses et des CHIP Select des périphériques.

Le 74 138 est le décodeur 1 parmi 8 le plus utilisé dans les micro-contrôleurs .

E0	E1	E2	S0	S1	S2	S3	S4	S5	S6	S7	Sortie validée
0	0	0	0	1	1	1	1	1	1	1	S0
0	0	1	1	0	1	1	1	1	1	1	S1
0	1	0	1	1	0	1	1	1	1	1	S2
0	1	1	1	1	1	0	1	1	1	1	S3
1	0	0	1	1	1	1	0	1	1	1	S4
1	0	1	1	1	1	1	1	0	1	1	S5
1	1	0	1	1	1	1	1	1	0	1	S6
1	1	1	1	1	1	1	1	1	1	0	S7

Tableau 8 : Sortie validée selon les états à l'entrée du 74 138

La connaissance de tous les éléments précédemment cités nous permettra d'aborder dans le prochain chapitre, la conception du micro système pour la commande automatique ce qui achèvera notre étude.

5

Conception du micro-système de commande automatique

La dernière partie de la conception de notre système de commande par voies radioélectriques est bien la conception du micro système pour la supervision. En effet, après avoir conçu le modulateur, l'émetteur, le récepteur et le démodulateur, il nous reste à concevoir les modules qui, situés de part et d'autre de cette chaîne modulaire pourront les uns générer des commandes, les autres activer le processus à commander.

Nul doute qu'on aura besoin de programmer le matériel et par conséquent, l'assembleur nous sera d'une très grande utilité.

Ce chapitre va donc présenter, dans un premier temps et de façon assez succincte les éléments matériels nécessaires au fonctionnement du système et ensuite la programmation logicielle permettant non seulement le fonctionnement mais aussi l'optimisation du système.

A°/ CONFIGURATION MATERIELLE

5.1 La configuration utile

Après études et améliorations successives des solutions, nous sommes arrivés à une configuration que nous appelons la configuration utile et qui se présente comme le montre la figure de la page suivante.

CONCEPTION DU MICRO SYSTEME DE COMMANDE

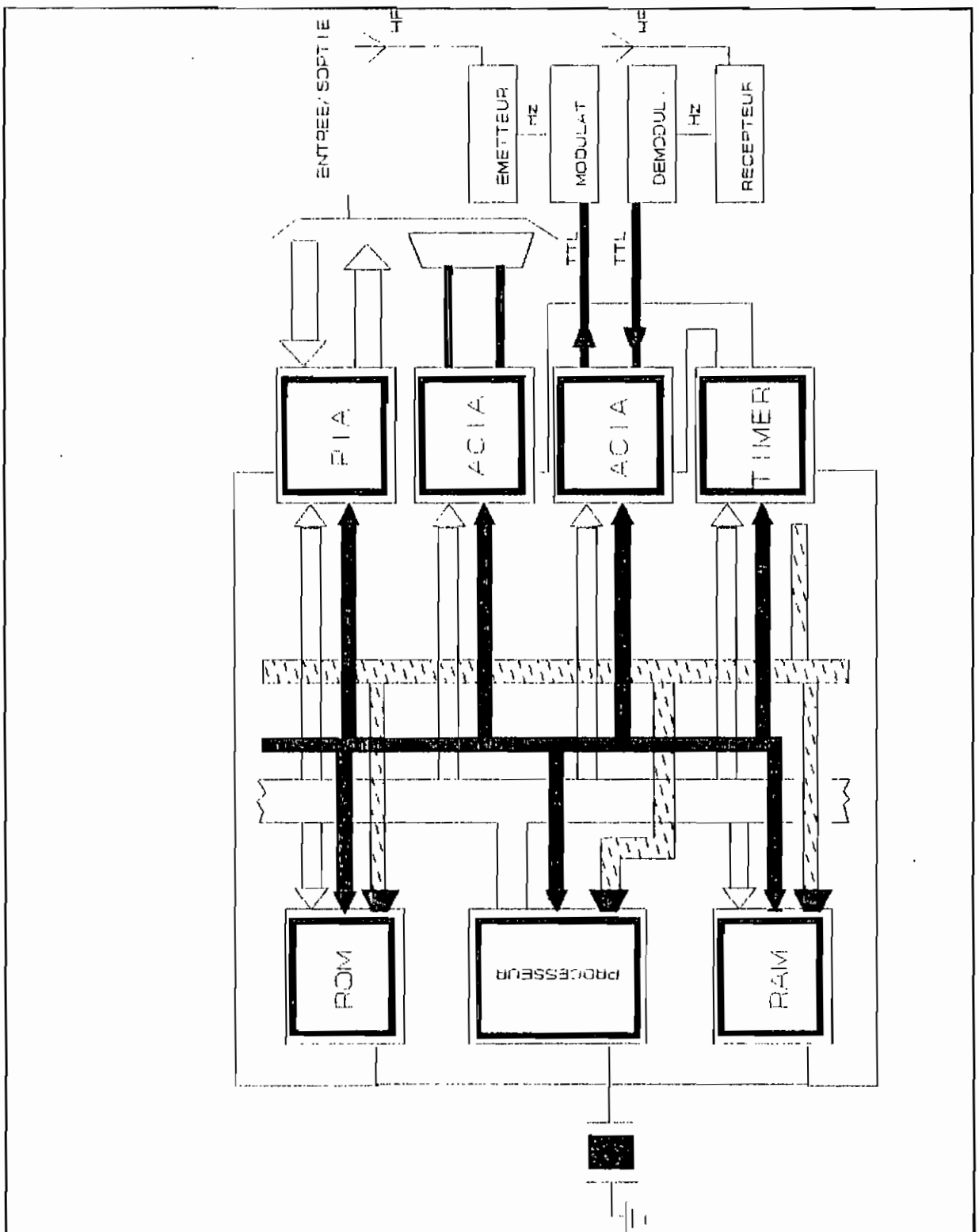


Figure 26: Configuration minimale du système

5.2 La cartographie mémoire du système

Pour arriver à établir une cartographie mémoire correcte, nous devons avant tout, assurer un bon décodage des adresses, ce qui permettra à chaque périphérique du SUPERKIT 6809 de disposer d'une adresse de base spécifique et unique.

5.2.1 Le décodage d'adresses

Le décodage d'adresses est assuré par le 74-138 comme nous l'avons spécifié dans le chapitre 4 traitant des éléments introductifs aux micro systèmes.

En se référant au tableau 8 on peut avoir les affectations suivantes :

Adres. base	Périphér.	LIGNES D'ADRESSES			
		A15	A14	A13	A12
\$1000	ACIA 1	0	0	1	0
\$2000	ACIA 2	0	1	0	0
\$3000	TIMER	0	1	1	0
\$4000	PIA	1	0	0	0
\$B000	RAM	1	0	1	1
\$FEFF	ROM	1	1	1	1

Ligne non connectée donc valeur de bit arbitraire ↑

Tableau 9 : Adresses de base des périphériques.

Nota : les lignes A₁₅ , A₁₄ et A₁₃ sont destinées au décodage des adresses (adresses de bases ci-dessus) et les lignes A₀ ... A₁₂ pour les adresses internes des périphériques.

A partir de ce qui précède et en se référant toujours au tableau 8, on voit que les **CHIP SELECT** des périphériques seront reliés aux sorties du 74-138 selon le tableau ci-après :

Périphériques	Ligne de sélection
ACIA 1	Sortie S1 du 74-138
ACIA 2	Sortie S2 du 74-138
TIMER	Sortie S3 du 74-138
PIA	Sortie S4 du 74-138
RAM	Sortie S5 du 74-138
ROM	Sortie S7 du 74-138

Tableau 10 : Lignes de sélection des périphériques

5.2.2 Cartographie mémoire.

La ROM est la partie du système qui contient les programmes à exécuter et c'est justement cette partie de la mémoire qui assure le démarrage de tout le système. Elle doit donc se trouver au " point chaud " de la mémoire. En dehors de cette contrainte, les adresses de base des autres périphériques ont été choisies judicieusement par nos soins.

En supposant à priori une mémoire ROM de 256 octets et une RAM de 32 octets, nous aurons la cartographie mémoire ci-après:

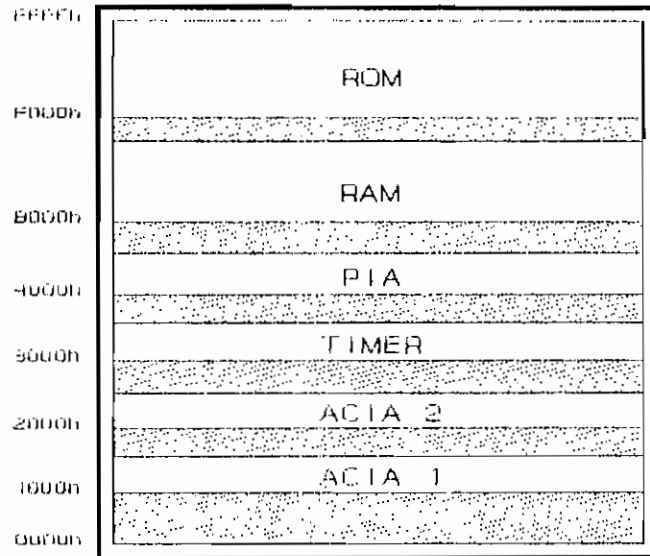


Figure 27 : Cartographie mémoire du système

5.3 Synchronisation

La transmission par liaison HF se fera par l'ACIA 2 qui doit être programmé pour une transmission à 1200 bauds. Par contre, l'ACTA 1 assurant la communication entre notre module et les systèmes extérieurs (ordinateur, actionneur) sera programmé sur 4800 bauds, ce qui permettra au microprocesseur de faire certains travaux entre deux lectures consécutives de l'ACTA 2.

Les deux ACIA seront cadencés par le TIMER lui même fonctionnant sur l'horloge de base du microprocesseur qui est un QUARTZ d'environ 1 MHz.

La configuration finale issue de toutes ces études, en tenant compte de toutes les exigences initialement établies dans le cahier de charges se présente comme à la figure suivante :

CONCEPTION DU MICRO SYSTEME DE COMMANDE

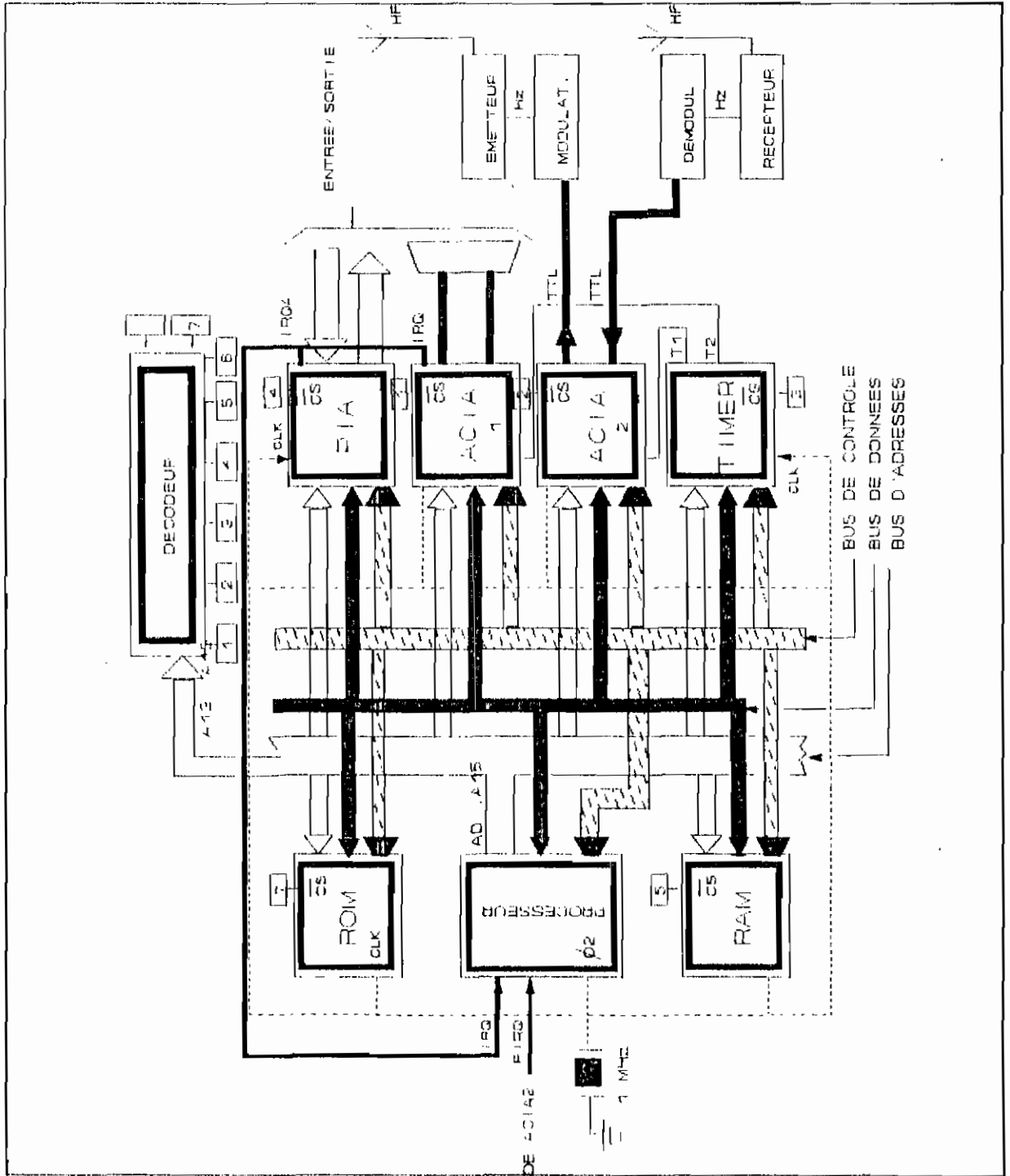


Figure 28: Configuration finale du système

Pour que le micro système ainsi défini puisse fonctionner, il faudra le programmer selon les situations à gérer ce qui fera l'objet de la deuxième partie de ce chapitre.

B°/ CONFIGURATION LOGICIELLE

5.4 Le programme moniteur

Dans cette section, nous allons écrire le programme dont l'adresse de début sera placée au vecteur de l'interruption RESET.

Ce programme doit permettre la configuration des différents éléments du système tels que les ports du PIA, les fréquences à générer par le TIMER, l'initialisation des ACIA etc...

5.4.1 Initialisation du TIMER

L'ACTA 1 fonctionnera à 1200 bauds alors que l'ACTA 2 sera à 4800 bauds. Il nous faudra donc, au niveau du TIMER, générer des signaux de 1200 Hz et 4800 Hz devant servir de bases de temps respectives pour les ACTA 2 et 1.

L'horloge interne du microprocesseur est un QUARTZ de 1 MHz et nous voulons des signaux carrés aux sorties du TIMER.

Soit T la période du signal à générer, t la période de l'Horloge interne et N le nombre à précharger dans le registre de comptage du TIMER, on aura l'expression :

$$2(N+1) \cdot t = T$$

$$\text{avec } t = 1/1\text{MHz} = 1\mu\text{s}, \quad T = T_1 \text{ ou } T_2$$

TIMER 1 : 1200 bauds

$$f_1 = 1200 \text{ Hz} \Rightarrow T_1 = 1/1200 = 833.33 \mu\text{s}$$

$$2 \cdot (N_1+1) \cdot (1\mu\text{s}) = 833.33 \mu\text{s}$$

$$\Rightarrow N_1 = (833.33/2) - 1 = 415.651 \approx 416 \Leftrightarrow N_1 \text{ } \$01A0$$

TIMER 2 : 4800 bauds

$$f_2 = 4800 \text{ Hz} \Rightarrow T_2 = 1/4800 = 208.33 \mu\text{s}$$

$$2^{(N_2+1)} \cdot (1\mu\text{s}) = 208.33 \mu\text{s}$$

$$\Rightarrow N_2 = (208.33/2) - 1 = 103.165 \approx 103 \Leftrightarrow N_2 = \$0067$$

NOTA : Le TIMER 1 sera la base de temps pour l'ACIA 2 et le TIMER 2 sera celle de l'ACIA 1.

A partir de ceci, on peut écrire le programme d'initialisation du TIMER .

Données du programme

Adresse de base du TIMER => \$3000

Mot de contrôle : - TIMER 1 => \$C2 <=> (11000010)_B

- TIMER 2 => \$C3 <=> (11000011)_B

Programme

```

InitTimer:
LDA #$C3      86 C3      ;Configuration T2 + Accès à CR1
STA $3001     B7 3001    ;Sauveg. mot de contrôle de T2
LDA #$C2      86 C2      ;Chargement mot contrôle de T1
STA $3000     B7 3000    ;Configuration de T1
LDA #$00      86 00      ;Chargement de $00 dans Accu. A
STA $3004     B7 3004    ;MSB du reg. de chargement de T2
LDA #$67      86 67      ;Chargement de $67 dans Accu. A
STA $3005     B7 3005    ;LSB du reg. de chargement de T2
LDA #$01      86 01      ;Chargement de $01 dans Accu. A
STA $3002     B7 3002    ;MSB du reg. de chargement de T1
LDA #$A0      86 A0      ;Chargement de $A0 dans Accu. A
STA $3003     B7 3003    ;LSB du reg. de chargement de T1
RTS           39         ;sortie du sous programme
    
```

Tableau 11 : Programme d'initialisation du TIMER

5.4.2 Initialisation des ACIA

Les ACIA utilisent le TIMER comme base de temps et par conséquent leur initialisation doit venir après celle du TIMER.

Données du programme

Adresses de base :

ACIA 1 => \$1000

ACIA 2 => \$2000

Format de transmission: 1 Start - 2 Stop - 8 Données.

Mot de contrôle : \$B0 (10110000)_B

Programme

```

InitACIA:
LDA #$03      86 03      ;Configuration T2 + Accès à CRI
STA $1000     B7 1000    ;Master Reset de l'ACIA 1
STA $2000     B7 2000    ;Master Reset de l'ACIA 2
LDA #$B0      86 B0      ;Charg. mot de contrôle ACIA1 et 2
STA $1000     B7 1000    ;Configuration ACIA 1
STA $2000     B7 2000    ;Configuration ACIA 2
RTS           39         ;Sortie du sous programme
    
```

Tableau 12 : Programme d'initialisation des ACIA

5.4.3 Initialisation du PIA

Le PIA est l'élément qui assure les échanges d'informations par liaison parallèle entre notre système et son environnement.

Donnée du programme

Toutes les lignes du port A sont en entrée et toutes les lignes du port B sont en sortie.

Adresse de base du PIA => \$4000

Mot de contrôle \$E7 => (11100111)_B

Programme

```

InitPIA :
LDA #$00      86 00      ;Chargement de $00 dans Accu. A
STA $4001     B7 4001    ;Accès à DDRA
STA $4000     B7 4000    ;8 lignes du Port A en entrée
STA $4003     B7 4003    ;Accès à DDRB
COM A         43         ;Chargement de $FF dans Accu. A
STA $4002     B7 4002    ;8 lignes du Port B en sortie
LDA #$E7      86 E7      ;Mot de contrôle Port A et B
STA $4001     B7 4001    ;Configuration Port A + Accès à ORA
STA $4003     B7 4003    ;Configuration Port B + Accès à ORB
RTS           39         ;Sortie du sous programme
    
```

Tableau 13 : Programme d'initialisation du PIA

5.4.4 L'établissement de la communication

Ce sous programme permettra à un module de prendre contact avec le module conjugué dès qu'il sera mis sous tension. Il s'agira en fait d'émettre un signal codé pendant un temps donné jusqu'à réception de la réponse de l'autre.

Rappel : Les émissions HF se font via l'ACTIA 2.

Programme		
Liaison :		
LDA \$2000	B6 2000	;Mot d'état ACIA 2
TFR A,B	1F 89	;Transfert de A dans B
ASR A	47	;1 décalage à droite
ASR A	47	;1 décalage à droite
BCC F7	27 F7	;Attendre que transmetteur soit vide
LDB #\$1B	C6 1B	;Chargement du code \$27 dans Accu B
STB \$2001	F7 2001	;Emission du code \$27
LDA \$2000	B6 2000	;Lecture mot d'état de l'ACIA 2
ASR A	47	;1 décalage à droite
BCC F7	24 F7	;Attendre la réception d'un mot
LDA \$2001	B6 2001	;Lecture du mot reçu
RTS	39	;Sortie du sous programme

Tableau 14 : Programme d'établissement de communication

5.4.5 Programme principal d'initialisation

Les sous programmes que nous avons écrit jusque là ne seraient d'aucune utilité s'ils ne sont pas appelés par un programme maître dit programme principal. C'est justement ce programme qui assurera le démarrage du système par les opérations successives suivantes :

- Initialisation du TIMER (InitTimer.)
- Initialisation des ACIA (InitACIA)
- Initialisation du PIA (InitPIA)
- Etablissement de la communication (Liaison)

L'ordinogramme d'analyse du programme d'initialisation se présente comme suit :

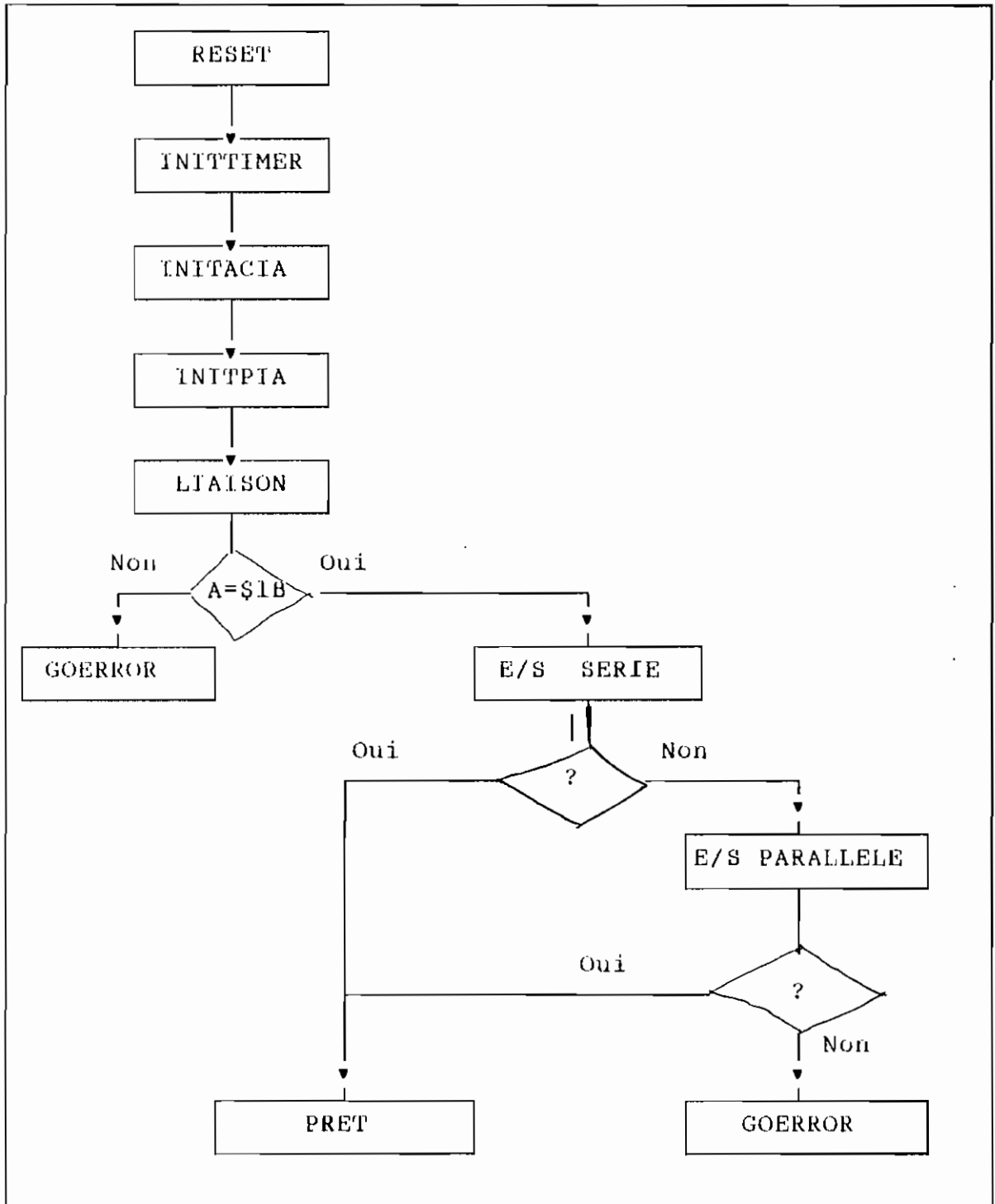


Figure 29 : Ordinogramme du programme moniteur

Programme		
Moniteur:		
JSR INITTIMER	BD FFDD	;Exécuter InitTimer
JSR INITACIA	BD FFBF	;Exécuter InitACIA
JSR INTPIA	BD FFA6	;Exécuter InitPIA
JSR LIAISON	BD FF8C	;Exécuter Liaison
CMPA #S1B	81 1B	;Vérifie s'il y a erreur
BNE ED	26 ED	;Se brancher sur GOError
JSR ESSERIE	BD FF48	;Sinon vérifier si connect° série
CMPA #SFF	81 FF	;Test pour la connection série
BNE E4	26 EA	;Se brancher sur ESPARA
RTS	39	;Sortie du sous programme

Tableau 15 : Programme moniteur

5.5 Le programme d'émission et de réception

L'objectif de notre projet est de commander des processus à distance sans liaisons câblées et nous avons dit plus tôt que pour cela, il fallait une communication entre les deux systèmes, soient le maître et l'esclave. Cette partie de la réalisation du logiciel de gestion de la communication est celle qui assurera le transfert de données entre les deux modules.

En effet, l'exécution du dit programme commença à partir du moment où, le programme moniteur s'achèvera en mode prêt (voir ordinogramme à la page suivante). Dans ce programme,

il est important de noter que la réception sera priorisée par rapport à l'émission ou tout autre activité du microprocesseur et c'est pour pourquoi nous la mettrons en interruption plus prioritaire.

5.5.1 Le sous programme de réception

Le sous programme de réception sera placé sur l'interruption FIRQ dont le vecteur d'interruption est aux adresses \$FFF6-\$FFF7. A ces deux octets sera donc placée l'adresse du sous programme chargé de gérer la réception.

Les informations reçues de l'ACIA 2 peuvent avoir deux destinations distinctes. Soit elles sont destinées à l'ACIA 1 au quel cas on a une entrée sortie serie ou soit au PIA au quel cas on a une entrée sortie parallèle. Les sous programmes permettant la gestion de ces deux cas différent beaucoup et se présentent comme ci-après:

a°) Réception par ACIA 2 et émission sur ACIA 1

Programme		
RECEP1		
LDA \$2001	86 2001	;Lecture mot reçu sur l'ACIA 2
LDB \$1000	C6 1000	;Lecture mot d'état ACIA 1
ASR B	57	;Décalage à droite
ASR B	57	;Décalage à droite
BCC F9	24 F9	;Attendre que transmetteur prêt
STA \$1001	B7 1001	;Ecriture du mot sur ACIA 1
RTS	3B	;Sortie de sous programme

Tableau 16 : Programme de réception sur ACIA 1

b°) Réception par ACIA 2 et émission sur PIA

Programme		
RECEP2		
LDA \$2001	86 2001	;Lecture mot reçu sur l'ACIA 2
STA \$1001	B7 4002	;Ecriture du mot sur PIA
RTS	3B	;Sortie de sous programme

Tableau 17 : Programme de réception sur PIA

5.5.2 Le sous programme d'émission

L'émission sera placée sur l'interruption IRQ (adresses \$FFF8 et \$FFF9) qui est moins prioritaire que la réception (int. FIRQ) ce qui fait qu'on ne peut pas perdre de l'information provenant de l'CAIA 2.

Par analogie à la situation de réception l'émission comportera deux cas distincts:

- l'information vient de l'ACIA 1 : EMIS1;
- l'information vient du PIA : EMIS2;

a°) Emission sur ACIA 2 de ce qui vient de l'ACIA 1

Programme		
EMIS1		
LDA \$1001	86 1001	;Lecture mot reçu sur l'ACIA 1
LDB \$2000	C6 2000	;Lecture mot d'état ACIA 2
ASR B	57	;Décalage à droite
ASR B	57	;Décalage à droite
BCC F9	24 F9	;Attendre que transmetteur prêt
STA \$2001	B7 2001	;Ecriture du mot sur ACIA 2
RTS	3B	;Sortie de sous programme

Tableau 18 : Programme d'émission, source ACIA 1

b°) Emission sur ACIA 2 de ce qui vient du PIA

Programme		
EMIS2		
LDA \$4000	86 4000	;Lecture mot reçu sur PIA
LDB \$2000	C6 2000	;Lecture mot d'état ACIA 2
ASR B	57	;Décalage à droite
ASR B	57	;Décalage à droite
BCC F9	24 F9	;Attendre que transmetteur prêt
STA \$2001	B7 2001	;Ecriture du mot sur ACIA 2
RTS	3B	;Sortie de sous programme

Tableau 19 : Programme d'émission, source PIA

5.5.3 Le programme principal de gestion du système

Le dit programme est en fait le bloc central d'instructions de tout le système car à la sortie du moniteur c'est ce programme qui prend la relève et gère toutes les opérations.

Avant de donner le corps de ce programme, nous présentons ci-après les deux sous programmes interruptions qui seront utilisées.

a°) Interruption de réception

Programme		
JSR	RECEP2	BD RECEP2
INTREC :		
LDX	\$B000	BE B000 ;Lecture sur RAM adresse sortie
CMPX	#\$1000	8C 1000 ;Vérifie si sortie sur ACIA 1
BNE	F5.	26 F5 ;Branche sur s.prog RECEP2 sinon
JSR	RECEP1	BD RECEP1 ;si oui branç. sur s.prog RECEP1
RTI	.	3B ;Sortie d'interruption

Tableau 17 : Programme d'interruption pour réception

b°) Interruption d'émission

Programme		
JSR	EMIS2	BD EMIS2
INTEM :		
LDX	\$B000	BE B000 ;Lecture sur RAM adresse source
CMPX	#\$1000	C6 2000 ;Verifie si info provient ACIA1
BNE	F5	26 F5 ;Branche sur EMIS2 sinon
JSR	EMIS1	BD EMIS1 ;si oui branche sur EMIS1
RTI		3B ;Sortie d'interruption

Tableau 18 : Programme d'interruption pour émission

c°) le corps du programme principal

A partir de là, nous pouvons donner le corps du programme principal qui n'est qu'une boucle infinie qui sera de temps à autre interrompue par les sous programmes d'interruption si les conditions pour cela sont remplies.

Programme			
LDY	#\$FFFF	10E8 FFFF	;Chargement de FF dans Y
CMPY	#\$FFFF	108C FFFF	;Compare Y avec lui meme
BEQ		27 F6	;Boucle infinie
SWI		3F	;Sortie du programme (inutile)

Tableau 19 : Programme prinipal de gestion du système

5.6 La structure de la ROM

Toutes ces routines rassemblées, nous donnent la structure de la ROM et nous permet de la programmer convenablement eu égard aux prescriptions du cahier de charges.

Le système ainsi conçu peut aussi commander des processus industriels que servir tout simplement de MODEM sans fil. Dans les prochaines lignes, nous allons dans un premier temps essayer d'énumérer quelques applications de ce système que baptisons SYSTEME ER-H27 ensuite faire ressortir ses principales limites et enfin entrevoir les possibilités d'amélioration qui s'offrent à nous .

6

Applications, limites et perspectives du système ER-H27

Après l'étude et la conception du système "intelligent" pour la supervision des processus industriels par voies radio électriques, il convient de trouver d'abord les domaines d'activités industrielles auxquelles il pourrait s'appliquer et cela de façon optimale et sans aucune amélioration. Ensuite nous évoquerons les possibilités futures du système et les apports que celles-ci exigeraient.

6.1 Applications

Les domaines d'applications du système ER-H27 sont multiples. Il peut être utilisé tant bien dans l'industrie que dans la vie courante mais techniquement, on peut résumer ses modes d'utilisation ^{comme} suit :

- le mode télécommande
- le mode MODEM sans fils.

6.1.1 Le mode télécommande

Dans ce mode, le système permet entre autre l'acquisition et le contrôle de données en vue de la supervision d'un processus industriel. Des exemples d'utilisation de ce système dans l'industrie sont donnés ci-après :

a°/ Comptage de godets à la C.S.P.T

La COMPAGNIE SENEGALAISE DES PHOSPHATES DE TAÏBA a un problème sérieux quant au comptage correct des convois de minerais ce qui chaque jour lui fait perdre des milliers de francs CFA.

Un système de surveillance à base de l'ER-H27 pourrait bien résoudre ce problème.

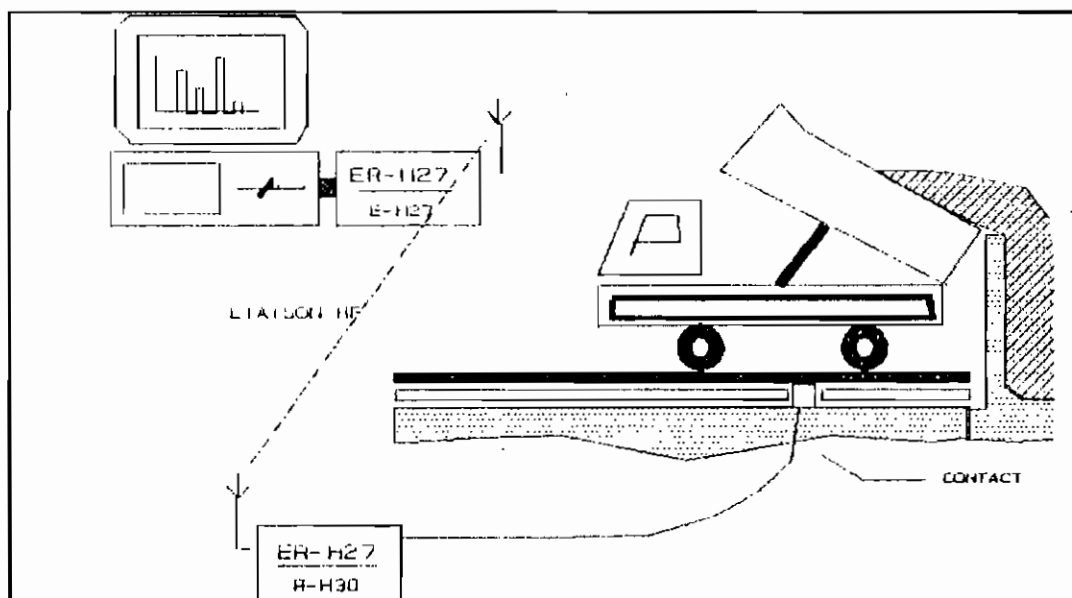


Figure 30 : Application au comptage de godets à la CSPT.

A chaque déversement, un mot prédéfini par un câblage logique à l'entrée du module R-H30 sera envoyé vers l'ordinateur central qui l'enregistre automatiquement et mieux encore peut partir de ceci pour contrôler la DRAGLINE qui extrait le minerai.

b°/ Commande d'un moteur ou d'un robot.

Dans les milieux nocifs ou carrément radioactifs, on a souvent recours à des machines mobiles télécommandables pour l'exécution de certaines opérations. On pourra à partir du ER-H27 transformer une simple machine-outil en un servo-moteur "intelligent". Ce qui revient à une création robotique dont l'efficacité n'est plus à démontrer.

c°/ Commande de portails ou d'appareils électroménagers

On peut commander entre autres des appareils électroménagers et même le portail d'une maison à partir du système ER-H27 placé dans une voiture par exemple

6.1.2 Le mode MODEM sans fils

Dans ce mode, on peut mettre en exergue les aspects télématiques des modules que nous avons conçus.

a°/ Liaison radio pour ordinateurs.

On peut mettre deux ordinateurs en liaison radio avec une vitesse d'environ 1200 bauds ce qui est déjà appréciable surtout pour les moyens mis en jeu.

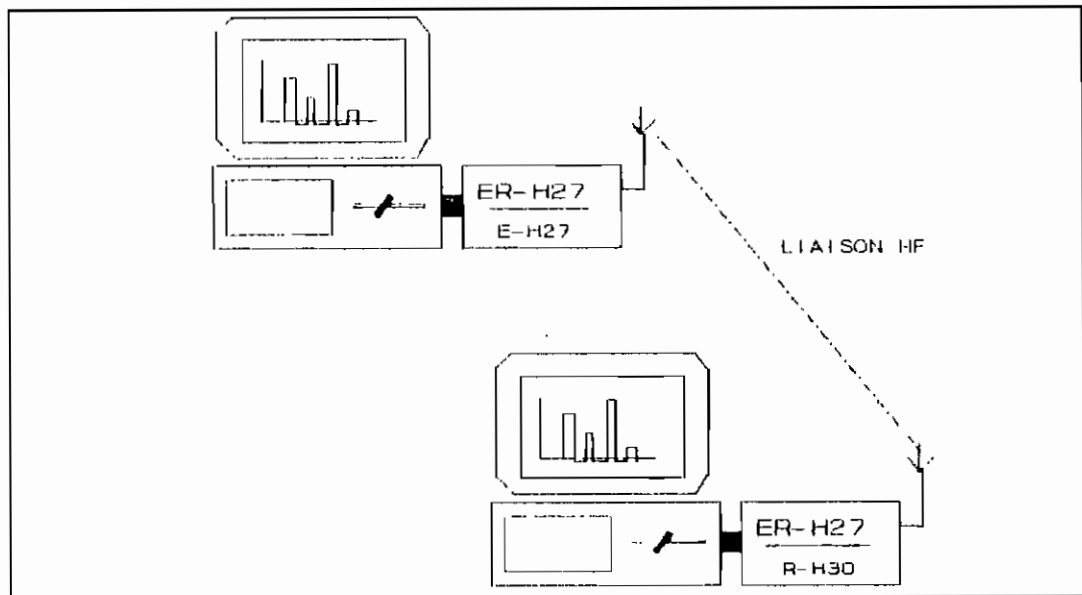


Figure 31 : Liaison radio pour ordinateurs.

b°/ Liaison ordinateur - imprimante

Le système ER-H27 peut servir aussi dans des cas particuliers à assurer la liaison entre un micro ordinateur et une imprimante, une table traçante ou un scanner. Le résultat est un genre de télécopieur sans fils qui serait d'une grande utilité dans une structure où les informations écrites circulent à grande vitesse.

c°/ Utilisation pour enregistrement sur cassette.

Le système tel que conçu peut être aussi utilisé pour enregistrer des données sur cassette et alors, le magnétophone soit directement branché sur la sortie audio du récepteur.

A partir de ces applications, on voit clairement quelles sont les limites du système ER-H27 et quelles doivent être les améliorations à y porter.

6.2 Limites et perspectives du système ER-H27

Le système conçu ne peut en fait, servir à rien s'il n'existait pas d'un côté comme de l'autre un ordinateur ou un actionneur. Ceci est un inconvénient majeur puisque son emploi sous entend du coup de l'investissement pour des éléments fonctionnels dont les coûts ne sont pas toujours négligeables. On pourra s'il était question de l'améliorer, prévoir un module de lecture de cartes préprogrammées contenant les instructions actuellement générées par ordinateur ce qui en ferait un vrai automate programmable mais sans fils.

Par ailleurs, l'impossibilité de mettre en liaison plusieurs modules (plus de 2) à la fois est très embêtant car ce n'est qu'à partir de là qu'on pourra penser utiliser le système pour la gestion de plusieurs engins industriels à la fois et dans un même milieu. Dans l'état actuel des choses, une telle tentative serait plutôt un désastre. Il serait donc intéressant de prévoir une amélioration au niveau de la réception de façon à pouvoir traiter séparément et sans brouillage les informations provenant de plusieurs modules émetteurs.

C'est après résolution de ces problèmes posés par le système ER-H27 dans son état actuel que nous pourrions entrevoir son utilisation à une échelle beaucoup plus grande. Notre dernière recommandation se porterait sur l'augmentation de la vitesse de transmission par liaison HF. En effet, la vitesse de 1200 bauds est un peu faible pour certaines applications en temps réel. Pouvoir l'augmenter aux environs de 2400 voir 4800 bauds (par liaison RADIO) serait bien un exploit pour la transmission de données.

7

Conclusion générale

Il convient de faire un bilan, au terme de cette étude qui contrairement à bon nombre n'est pas directement axée sur une industrie donnée et cela en raison de son caractère novateur.

Le système imposé par le cahier de charges a été conçu et sa réalisation même si elle n'a pas atteint ^{tant} les objectifs souhaités, a pourtant prouvé à travers les essais réalisés l'importance d'un tel système pour l'industrie en général et particulièrement pour les unités de productions en AFRIQUE où l'on peut actuellement se croire au musée de la technologie.

C'est donc pour les industries, une porte ouverte sur la commande numérique de processus sans liaison câblée à moindre coût ce qui élimine bien de contraintes. Les principaux inconvénients dont l'encombrement du spectre fréquentiel sont facilement compensés par ses performances techniques et son caractère ergonomique.

Il est important de préciser que la conception et la réalisation d'un tel système nous a aussi permis de comprendre et surtout de maîtriser les phénomènes micro-électroniques dans les micro systèmes d'une part et dans les émetteurs - récepteurs d'autre part. Ces phénomènes qui se retrouvent aujourd'hui dans tous les appareils électroniques sans qu'on arrive vraiment à les comprendre.

Ce projet a donc mis en évidence tous ces aspects sans oublier le plus important des objectifs de l'ingénierie : être rentable pour l'industrie.

Il revient donc à chacun de trouver le domaine d'application qui lui permette vraiment d'exceller.

ANNEXES

A

Tableau d'analyse du signal d'entrée de l'émetteur FM

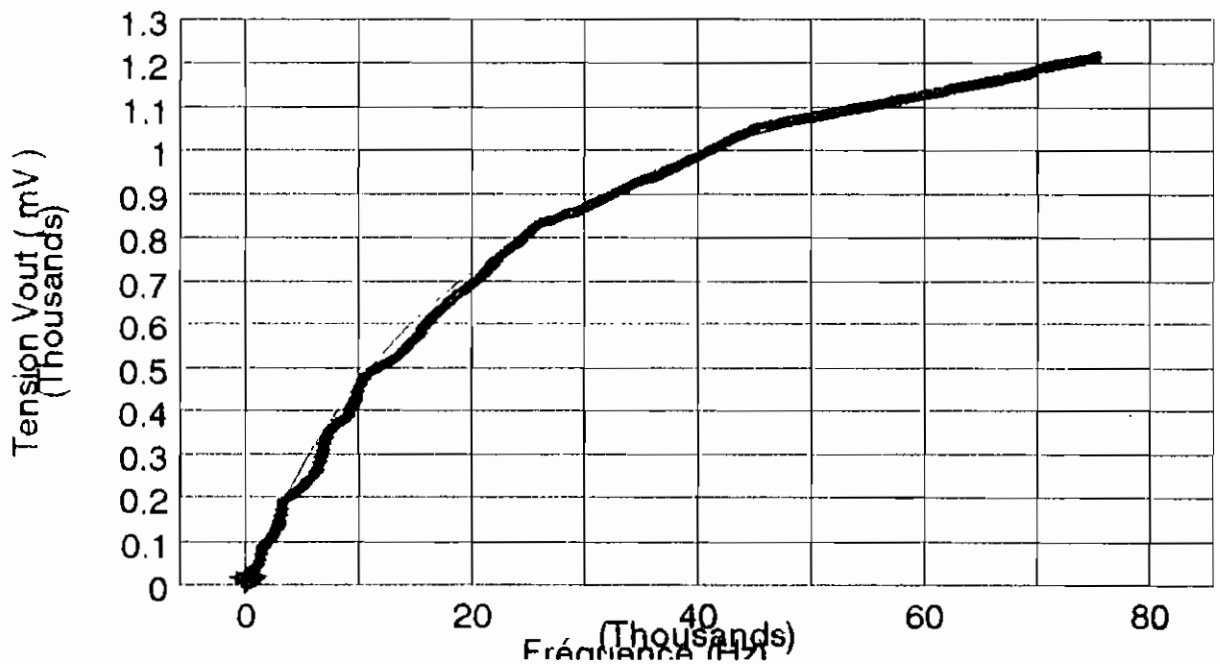
Fréquences	Fonction de transfert	Tension V_{rms} (mV)
0	0	0
1	0.0000408679	0.0653886319
2	0.0000817324	0.1307719195
3	0.0001225937	0.1961498634
4	0.0001634515	0.2615224642
5	0.0002043061	0.3268897225
6	0.0002451573	0.3922516392
7	0.0002860051	0.4576082147
8	0.0003268497	0.5229594498
9	0.0003676908	0.5883053451
10	0.0004085287	0.6536459012
100	0.0040703213	6.5125140729
200	0.0081076419	12.972227014
300	0.0121123615	19.37977837
400	0.0160848734	25.735797399
500	0.0200255646	32.040903281
600	0.0239348158	38.295705313
700	0.0278130019	44.500803111
800	0.0316604917	50.656786797
900	0.0354776482	56.764237189
1000	0.0392648287	62.823725982
1100	0.043022385	68.835815927
1200	0.0467506631	74.801061008
1300	0.0504500041	80.720006606
1400	0.0541207435	86.593189669
1500	0.0577632118	92.421138878
1600	0.0613777342	98.204374796
1700	0.0649646313	103.943410033
1800	0.0685242184	109.638749393
1900	0.0720568063	115.290890019
2000	0.075562701	120.900321543
2100	0.0790422039	126.467526227
2200	0.0824956119	131.9929791
2300	0.0859232176	137.47714808
2400	0.0893253088	142.92049414
2500	0.0927021696	148.3234714
3500	0.1251426398	200.22822366
4500	0.1553433713	248.54939405
5500	0.1835285765	293.6457224
6500	0.2098935074	335.82961182
7500	0.234608985	375.37437604

Fréquences	Fonction de transfert	Tension V_{out} (mV)
8500	0.2578251049	412.5201678
9500	0.2796742875	447.47886001
10500	0.3002738059	480.43808944
11500	0.3197278912	511.56462585
12500	0.3381294964	541.00719424
13500	0.355561782	568.89885122
14500	0.3720993721	595.35899536
15500	0.3878094224	620.49507588
16500	0.4027525318	644.4040509
17500	0.4169835234	667.17363752
18500	0.4305521169	688.88338698
19500	0.4435035083	709.60561336
20500	0.4558788739	729.40619825
21500	0.4677158065	748.34529044
22500	0.4790486976	766.47791619
23500	0.4899090707	783.8545132
24500	0.5003258744	800.52139909
25500	0.5103257398	816.52118373
26500	0.5199332081	831.89313296
27500	0.5291709314	846.67349028
28500	0.5380598514	860.8957822
29500	0.5466193574	874.59097181
30500	0.5548674279	887.78788465
31500	0.5628207565	900.51321042
32500	0.5704948646	912.79178338
33500	0.5779042026	924.64672417
34500	0.5850622407	936.09958506
35500	0.5919815505	947.17048075
36500	0.5986738789	957.87820625
37500	0.6051502146	968.24034335
38500	0.6114208481	978.27335699
39500	0.6174954266	987.99268252
40500	0.6233830031	997.41280498
41500	0.6290920819	1006.54733108
42500	0.6346306593	1015.40905481
43500	0.6400062608	1024.0100172
44500	0.6452259758	1032.361561
45500	0.6502964878	1040.4743804
46500	0.6552241043	1048.3585669
47500	0.660014782	1056.0236511
48500	0.6646741508	1063.4786412
49500	0.6692075363	1070.7320581
50500	0.6736199801	1077.7919682
51500	0.6779162582	1084.6660132
52500	0.6821008984	1091.3614375
53500	0.6861781962	1097.8851139
54500	0.6901522296	1104.2435673

Fréquences	Fonction de transfert	Tension V_{out} (mV)
55500	0.6940268724	1110.4429959
56500	0.6978058074	1116.4892918
57500	0.7014925373	1122.3880597
58500	0.7050903962	1128.1446339
59500	0.7086025592	1133.7840948
60500	0.7120320521	1139.2512833
61500	0.7153817597	1144.6108155
62500	0.7186544343	1149.8470948
63500	0.7218527029	1154.9643246
64500	0.7249790745	1159.9665192
65500	0.7280359466	1164.8575145
66500	0.731025611	1169.6409777
67500	0.7339502603	1174.3204164
68500	0.7368119922	1178.8991876
69500	0.7396128156	1183.3805049
70500	0.7423546544	1187.7674471
71500	0.7450393526	1192.0629642
72500	0.747668678	1196.2698848
73500	0.7502443262	1200.3909219
74500	0.7527679243	1204.4286789
75500	0.7552410344	1208.385655

Représentation graphique de la tension d'entrée de l'émetteur selon la fréquence audio.

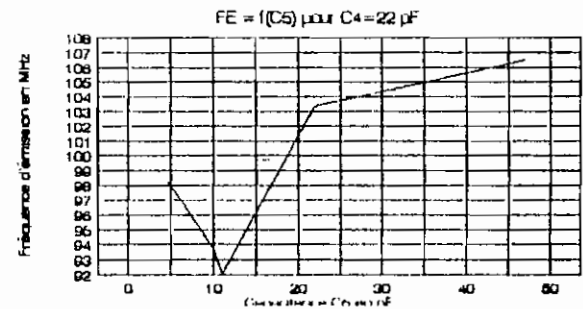
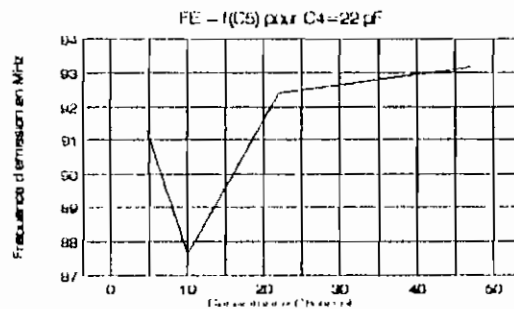
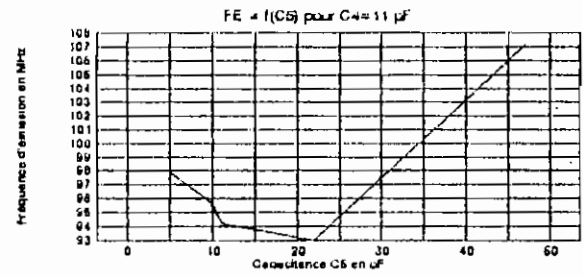
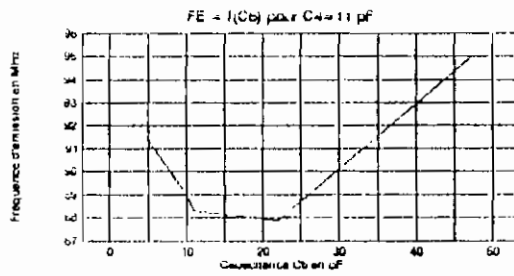
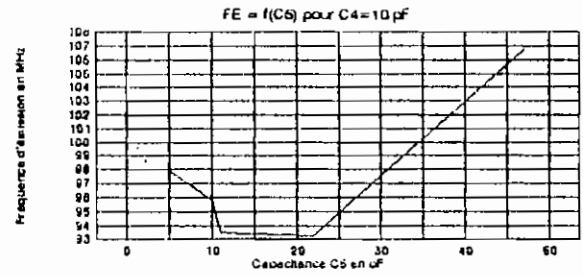
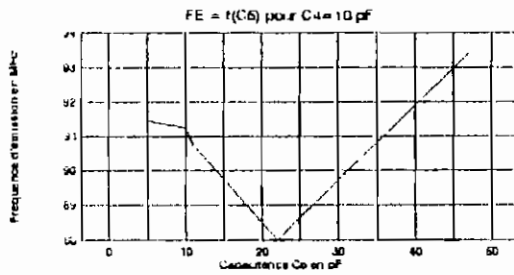
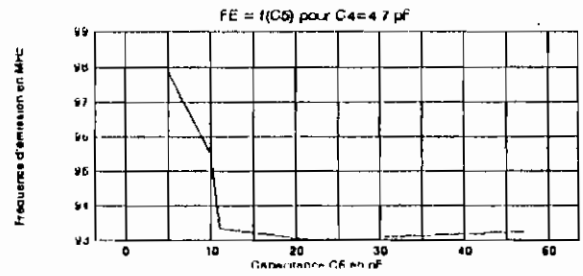
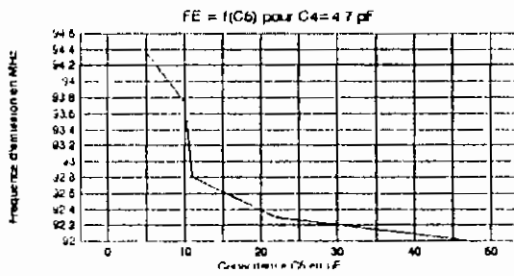
$$V_{out} = f(\text{Fréquence})$$



B

Caractéristiques fréquentielles à la sortie de l'émetteur FM

Fréquence d'émission en MHz pour L = ... μH								
C ₅ \ C ₄	4.7 pF		10 pF		11 pF		22 pF	
	4.7 pF	94.4	98	91.45	98	91.5	98	91.3
10 pF	93.75	95.5	91.25	95.85	89	95.65	87.65	93.7
11 pF	92.8	93.35	90.75	93.5	88.3	94.2	88	92.1
22 pF	92.3	93	88	93.25	87.85	93	92.4	103.3
47 pF	92	93.25	93.4	106.75	94.9	107.2	93.15	106.5



C

Tableau des valeurs des composantes du récepteur FM

Largeur de bande $Bf_0 = 1.5 \text{ MHz}$ Facteur de qualité bobine: $Q_L = 80$

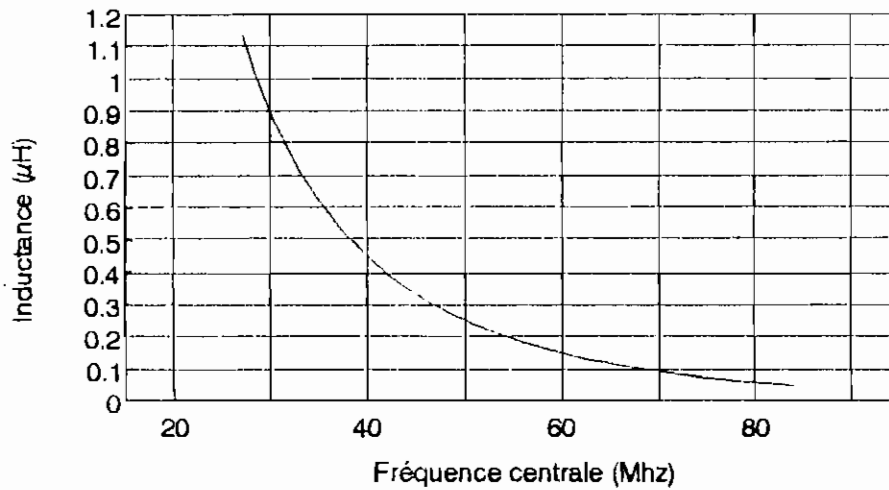
Fréquences centrale	NL (ohms)	RL (kOhms)	Rtot (kOhms)	Qc	L (μH)	Ctot (pF)	C1 (pF)	C2 (pF)
27	193.75	15.5	3.4875	18	1.1426	30.439	254.21	34.579
28.5	180.59	14.447	3.4312	19	1.0090	30.938	256.29	35.185
30	168.75	13.5	3.375	20	0.8957	31.453	258.42	35.812
31.5	158.03	12.642	3.3187	21	0.7988	31.987	260.60	36.462
33	148.29	11.863	3.2625	22	0.7155	32.538	262.83	37.135
34.5	139.40	11.152	3.2062	23	0.6434	33.109	265.13	37.834
36	131.25	10.5	3.15	24	0.5805	33.700	267.49	38.558
37.5	123.75	9.9	3.0937	25	0.5254	34.313	269.91	39.310
39	116.82	9.3461	3.0375	26	0.4770	34.948	272.39	40.082
40.5	110.41	8.8333	2.9812	27	0.4341	35.608	274.95	40.905
42	104.46	8.3571	2.925	28	0.3960	36.293	277.58	41.751
43.5	98.922	7.9137	2.8687	29	0.3621	37.004	280.29	42.633
45	93.75	7.5	2.8125	30	0.3317	37.744	283.08	43.551
46.5	88.911	7.1129	2.7562	31	0.3044	38.515	285.95	44.509
48	84.375	6.75	2.7	32	0.2799	39.317	288.92	45.510
49.5	80.113	6.4090	2.6437	33	0.2577	40.153	291.98	46.556
51	76.102	6.0882	2.5875	34	0.2376	41.026	295.13	47.650
52.5	72.321	5.7857	2.5312	35	0.2193	41.938	298.39	48.796
54	68.75	5.5	2.475	36	0.2027	42.891	301.77	49.998
55.5	65.371	5.2297	2.4187	37	0.1875	43.889	305.25	51.259
57	62.171	4.9736	2.3625	38	0.1736	44.934	308.87	52.584
58.5	59.134	4.7307	2.3062	39	0.1609	46.030	312.61	53.978
60	56.25	4.5	2.25	40	0.1492	47.180	316.49	55.446
61.5	53.506	4.2804	2.1937	41	0.1385	48.390	320.53	56.995
63	50.892	4.0714	2.1375	42	0.1286	49.664	324.72	58.631
64.5	48.401	3.8720	2.0812	43	0.1194	51.006	329.08	60.362
66	46.022	3.6818	2.025	44	0.1110	52.423	333.61	62.196
67.5	43.75	3.5	1.9687	45	0.1032	53.921	338.35	64.143
69	41.576	3.3260	1.9125	46	0.0959	55.506	343.29	66.212
70.5	39.494	3.1595	1.8562	47	0.0892	57.189	348.45	68.417
72	37.5	3	1.8	48	0.0829	58.976	353.85	70.771
73.5	35.586	2.8469	1.7437	49	0.0770	60.878	359.51	73.288
75	33.75	2.7	1.6875	50	0.0716	62.907	365.46	75.987
76.5	31.985	2.5588	1.6312	51	0.0665	65.077	371.70	78.888
78	30.288	2.4230	1.575	52	0.0618	67.401	378.28	82.014
79.5	28.655	2.2924	1.5187	53	0.0573	69.897	385.23	85.391
81	27.083	2.1666	1.4625	54	0.0532	72.586	392.56	89.051
82.5	25.568	2.0454	1.4062	55	0.0493	75.489	400.34	93.031
84	24.107	1.9285	1.35	56	0.0456	78.634	408.59	97.374

Largeur de bande $Bf_0 = 1.5 \text{ MHz}$

Facteur de qualité bobine: $Q_L = 80$

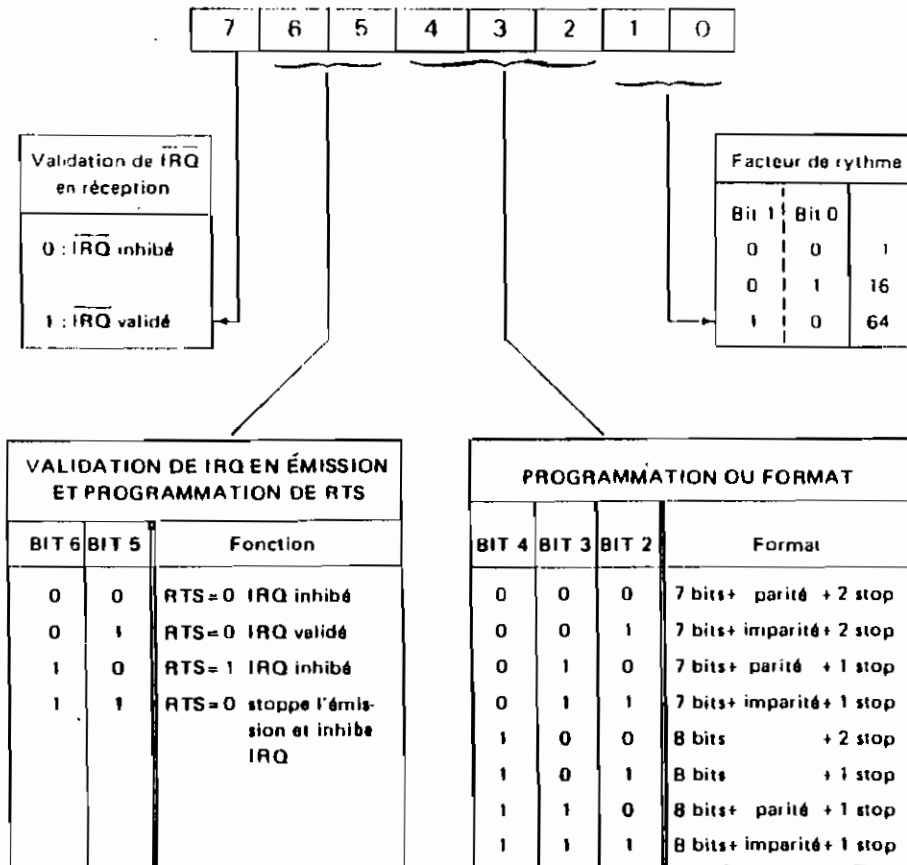
Fréquences centrale (MHz)	NL (ohms)	RL (kOhms)	R_{tot} (kOhms)	Q_c	L (μH)	C_{tot} (pF)	$C1$ (pF)	$C2$ (pF)
85.5	22.697	1.8157	1.2937	57	0.0422	82.053	417.38	102.13
87	21.336	1.7088	1.2375	58	0.0390	85.783	426.76	107.36
88.5	20.021	1.6016	1.1812	59	0.0360	89.868	436.81	113.14
90	18.75	1.5	1.125	60	0.0331	94.361	447.59	119.56
91.5	17.520	1.4016	1.0687	61	0.0304	99.328	459.22	126.74
93	16.330	1.3064	1.0125	62	0.0279	104.84	471.80	134.80
94.5	15.178	1.2142	0.9562	63	0.0255	111.01	485.48	143.92
96	14.062	1.125	0.9	64	0.0233	117.95	500.42	154.32
97.5	12.980	1.0384	0.8437	65	0.0212	125.81	516.84	166.29
99	11.931	0.9545	0.7875	66	0.0191	134.80	534.98	180.21
100	10.914	0.8731	0.7312	67	0.0172	145.17	555.17	196.57

Représentation graphique de l'inductance selon la porteuse



D

Mot d'état et de commande des périphériques du μP



D1: Tableau 1 - Détermination du mot de commande

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
\overline{IRQ}	PE	OVRN	FE	\overline{CTS}	\overline{DCD}	Tx DRE	Rx DRF
Rx DRF:	bit d'état « registre-réception plein »						1 = transfert possible
Tx DRE:	bit d'état « Registre-émission vide »						
\overline{DCD}	Data Carrier Detect, utilisé avec modem						1 = erreur
\overline{CTS}	Clear to Send, utilisé avec modem						
FE	erreur de format (framing error)						
OVRN	erreur d'écrasement (overrun error)						
PE	erreur de parité (parity error)						
\overline{IRQ}	bit d'état « demande d'interruption »						

D2: Tableau 2 - Mot d'état de l'ACIA

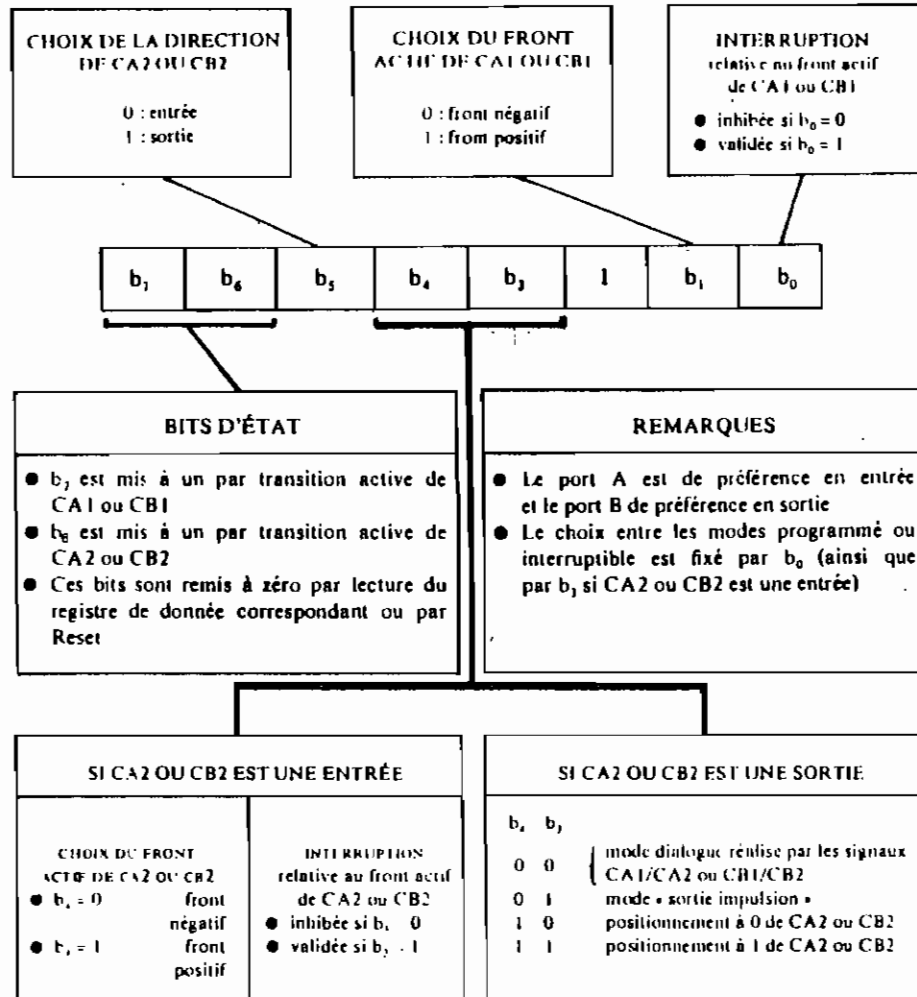
L'erreur d'écrasement indique que le microprocesseur ne peut lire les caractères au fur et à mesure de leur arrivée. Elle n'existe donc qu'en réception.

L'erreur de format indique l'absence du premier bit stop.

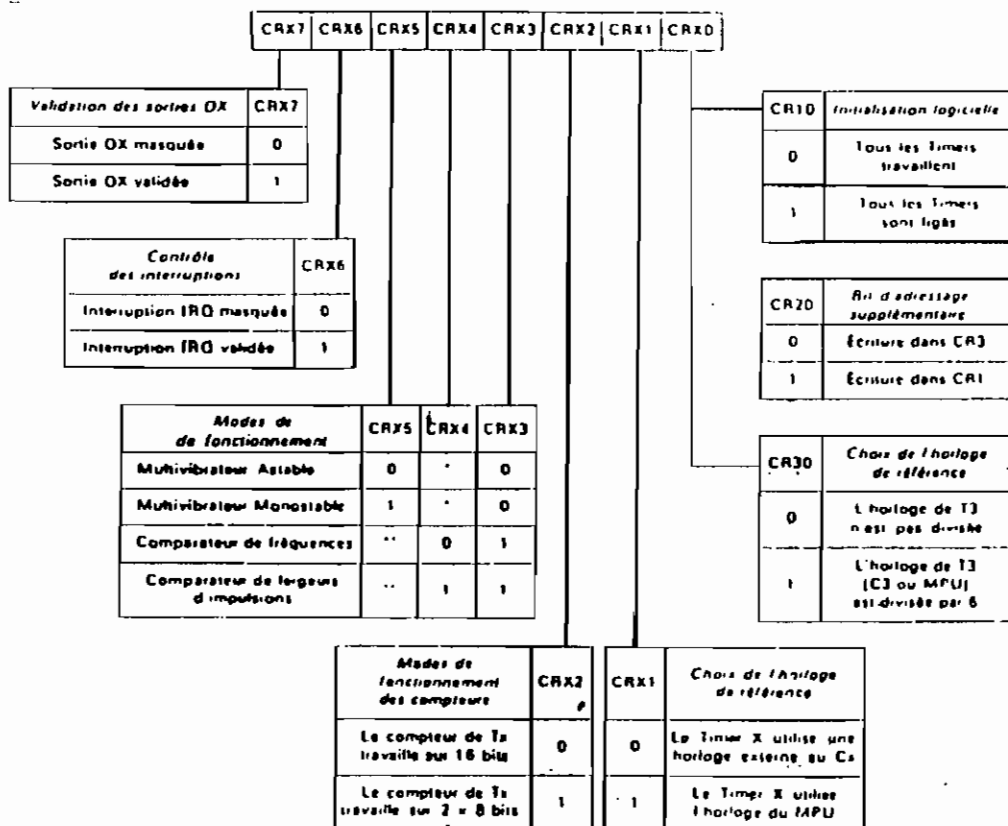
Le bit \overline{IRQ} est le complément de la sortie \overline{IRQ} : il indique une demande d'interruption.

Liaisons microprocesseur-interface série

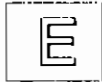
- l'horloge de séquençage est réunie à l'horloge $\overline{CS2}$ du circuit horloge du 6800.
- R/W est réuni à la sortie R/W du 6800.
- RSO est réuni au bit A0 du bus d'adresses
- $\overline{CS0}$, $\overline{CS1}$ et $\overline{CS2}$ sont réunis à trois bits du bus adresse choisis par l'utilisateur
- en mode interruptible \overline{IRQ} est réuni à l'entrée \overline{IRQ} du 6800.



D3 : Tableau 3 - Synoptique de détermination du mot de commande et d'état du PIA



D4 : Tableau 4



Spécifications du microprocesseur 6809

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmos mosmos mosmos

EF6809

(1.0 MHz)

EF68A09

(1.5 MHz)

EF68B09

(2.0 MHz)

Ancienne appellation : SFFB 6809

SPECIFICATIONS PROVISOIRES

MICROPROCESSEUR 8 BITS

Le circuit EF6809 est un microprocesseur 8 bits de conception révolutionnaire et utilisant les techniques de programmation moderne telles que banalisation de l'implantation en mémoire, réentrance et programmation modulaire.

Cet apport de 3^e génération à la famille EF6800 offre des améliorations d'architecture qui incluent des registres, des instructions et des modes d'adressage supplémentaires.

Les instructions de base de tout ordinateur sont particulièrement améliorées par la présence de modes d'adressage puissants. Le jeu de modes d'adressage disponible du EF6809 est actuellement le plus complet des microprocesseurs existants. Les caractéristiques du logiciel et du matériel du circuit, en font un processeur idéal pour l'exécution de programmes en langage évolués ou pour la réalisation d'applications standards.

COMPATIBLE EF6800

- Matériel - Interfaces avec tous les périphériques de la famille 6800.
- Logiciel - Compatibilité ascendante au niveau du langage source et des modes d'adressage.

ARCHITECTURE

- Deux registres Index 16 bits.
- Deux pointeurs de pile indexés 16 bits.
- Deux accumulateurs 8 bits pouvant être concaténés pour former un accumulateur 16 bits.
- Le registre page directe permet l'adressage direct dans tout l'espace mémoire.

MATÉRIEL

- Oscillateur Intégré (4 X ou XTAL)
- DMA/REFRESH permet le fonctionnement en DMA ou le rafraîchissement des mémoires.
- L'entrée demande d'interruption rapide emplit seulement le contenu du compteur programmé et du registre codes condition.
- L'entrée MBDY augmente les temps d'accès lors de l'utilisation de mémoires lentes.
- La sortie reconnaissance d'interruption permet la vectorisation des interruptions par les périphériques.
- La sortie reconnaissance de synchronisation SYNC permet une synchronisation sur des événements externes
 - RESET (initialisation) cycle - bus unique
 - Fonctionnement sous tension unique 5 V
 - NMI bloqué après RESET jusqu'au chargement initial du pointeur de pile
 - La validation rapide du bus adresse permet l'utilisation de mémoires lentes

LOGICIEL

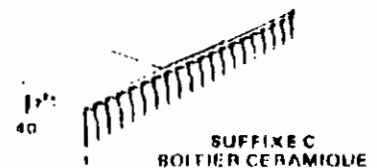
- 10 modes d'adressage
- Compatibilité ascendante des modes d'adressage avec la famille 6800
- Adressage direct dans tout l'espace mémoire
- Branchements relatifs longs
- Compteur programme relatif
- Indirection
- Adressage indexé étendu
 - déplacements constants 0, 5, 8, 16 bits
 - déplacements accumulateur 8, 16 bits
 - Auto-incréments/ou/décréments
- Manipulation de pile améliorée
- 1464 instructions
- Multiplication non signée 8 x 8 bits
- Arithmétique 16 bits
- Transfert/échange tous registres
- Emplacement/déplacement de chacun ou de l'ensemble des registres
- Adresse effective de chargement.

MOS

CANAL N, GRILLE SI

MICROPROCESSEUR
8 BITS

BOITIER CR-182



Différentes versions - voir dernière page.

BROCHAGE

1	CE	VCC	INT1	1	40	
2	CE	DB	INT0	2	39	
3	CE	DB	INT0	3	38	
4	CE	DB	INT0	4	37	
5	CE	BA	AMP0	5	36	
6	CE	DB	INT0	6	35	
7	CE	VCC	INT0	7	34	
8	CE	AO	GMA	REF0	8	33
9	CE	A1	REF0	9	32	
10	CE	A2	REF0	10	31	
11	CE	A3	REF0	11	30	
12	CE	A4	REF0	12	29	
13	CE	A5	REF0	13	28	
14	CE	A6	REF0	14	27	
15	CE	A7	REF0	15	26	
16	CE	A8	REF0	16	25	
17	CE	A9	REF0	17	24	
18	CE	A10	REF0	18	23	
19	CE	A11	REF0	19	22	
20	CE	A12	REF0	20	21	

FIGURE 1 - LECTURE DE DONNÉES EN MÉMOIRE OU EN PROVENANCE DE PÉRIPHÉRIQUES

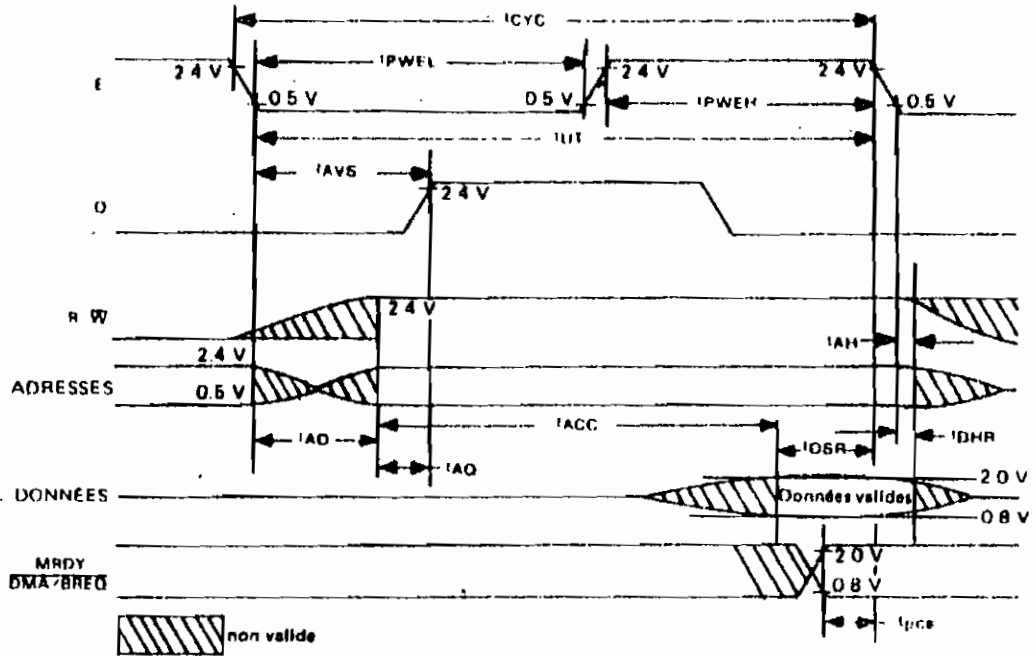


FIGURE 2 - ÉCRITURE DE DONNÉES EN MÉMOIRE OU DANS LES PÉRIPHÉRIQUES

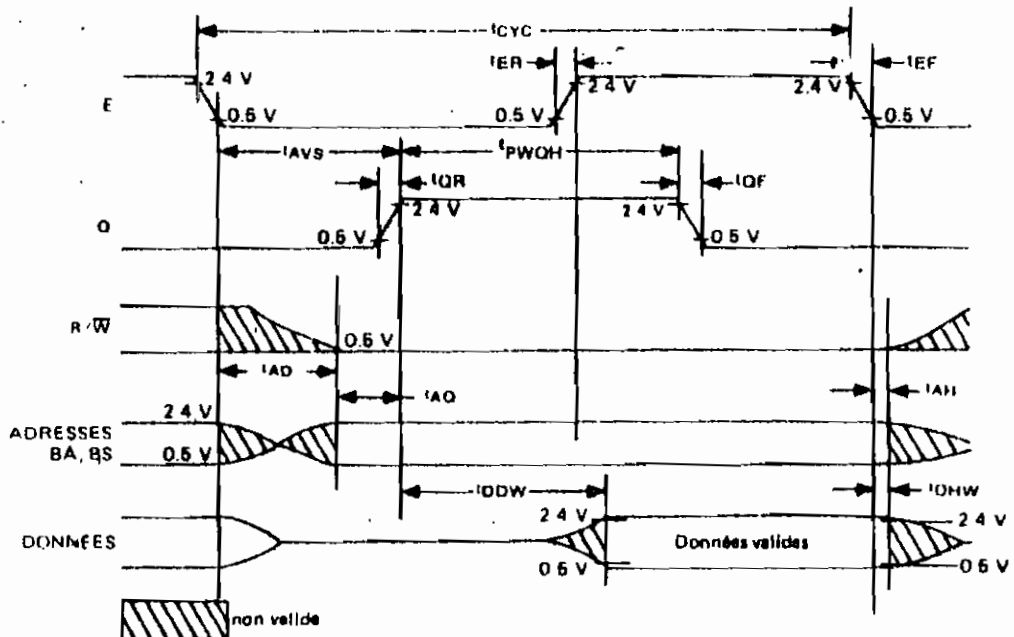


FIGURE 3 - SCHEMA FONCTIONNEL DU EF6809

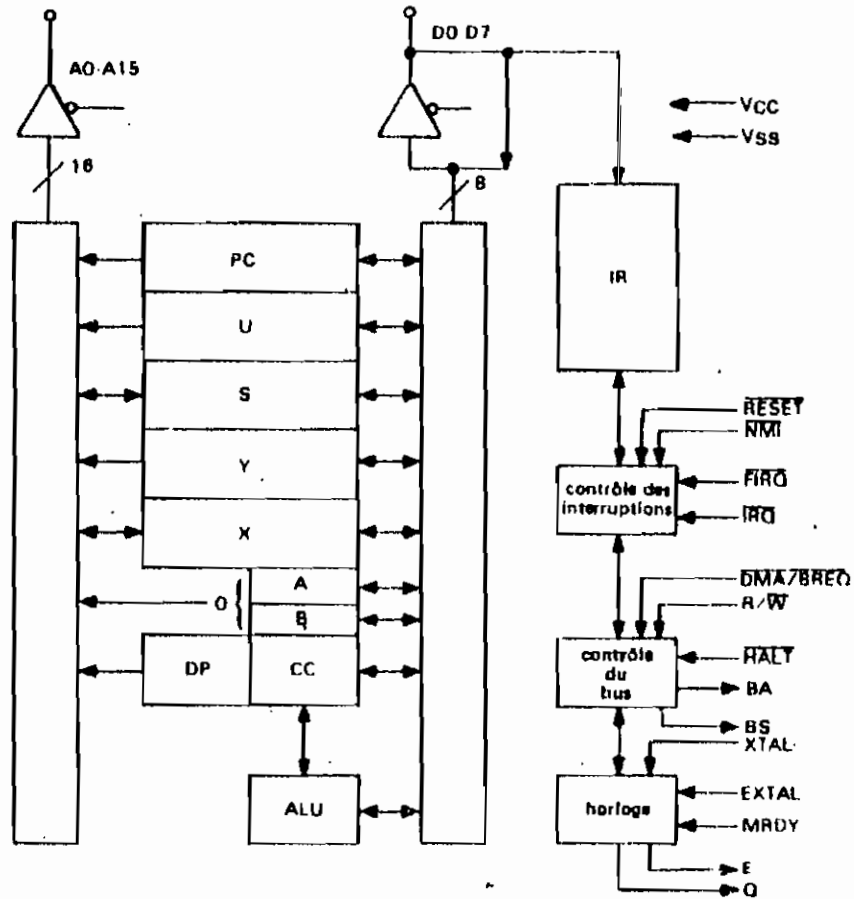
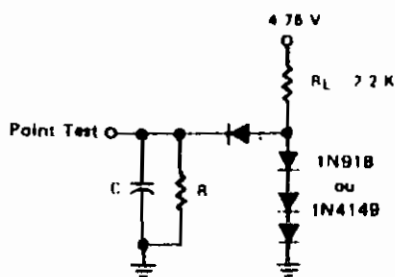


FIGURE 4 - CHARGE TEST DU BUS



C = 30 pF pour BA, BS
 130 pF pour D0-D7, E, Q
 90 pF pour A0-A15, R/W

R = 11,7 kΩ pour D0-D7
 16,5 kΩ pour A0-A15, E, Q
 24 kΩ pour BA, BS

REGISTRES PROGRAMMABLES

Comme indiqué en figure 5, le microprocesseur EF 6809 comporte trois registres supplémentaires par rapport au EF6800. Ces registres sont les suivants : un registre de page directe, un registre pointeur de pile utilisateur et un second registre index.

ACCUMULATEURS (A, B, D)

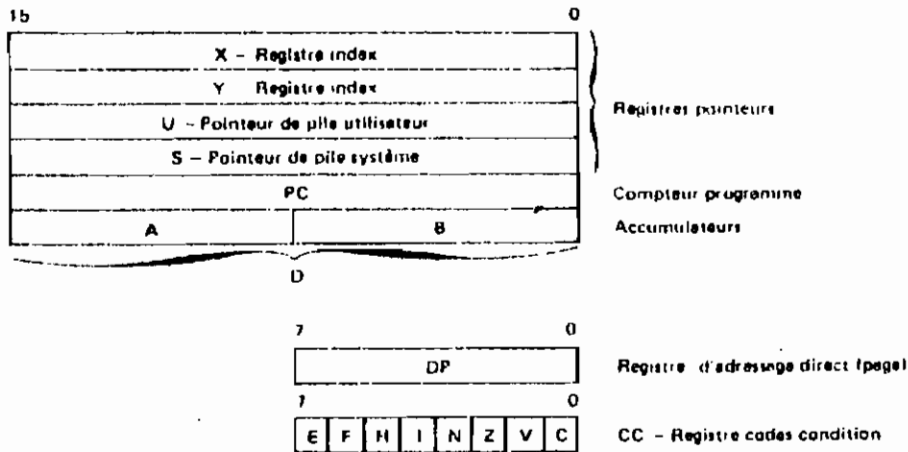
Les registres A et B sont des accumulateurs universels utilisés pour les calculs arithmétiques et manipulation de données.

Certaines instructions concatènent les registres A et B pour former un seul accumulateur 16 bits. Le registre A constitue l'octet de poids fort de cet accumulateur référencé registre D.

REGISTRE PAGE DIRECTE (DP)

Le registre page directe du circuit EF6809 est utilisé pour étendre les possibilités d'adressage en mode direct. Le contenu de ce registre apparaît aux sorties d'adresse de poids fort (A8-A15) pendant l'exécution d'une instruction d'adressage direct. Ce registre permet d'utiliser le mode d'adressage direct, sous le contrôle du programme, dans tout l'espace d'adressage. Pour permettre la compatibilité avec la famille 6800 tous les bits de ce registre sont mis à zéro à l'initialisation du processeur.

FIGURE 5 - REGISTRES PROGRAMMABLES DU MICROPROCESSEUR



REGISTRES INDEX (X, Y)

Les registres d'index sont utilisés pour les modes d'adressage indexé. Lors des calculs d'adresse effective, les 16 bits de ce registre sont utilisés. Les adresses contenues dans ces registres peuvent servir comme pointeur de données et être modifiées par une constante optionnelle ou par une valeur de déplacement. Lors de rangement de données sous forme de table, dans certains modes d'adressage indexé, le contenu des registres d'index est incrémenté ou décrétementé pour pointer sur l'élément suivant. Les quatre registres (X, Y, U, S) peuvent être utilisés comme des registres d'index.

POINTEURS DE PILE (U, S)

Le pointeur de pile (S) est utilisé automatiquement par le processeur pour mémoriser les états de la machine pendant l'exécution de sous-programmes et interruptions. Les pointeurs du EF6809 pointent le haut de la pile, à l'opposé du pointeur du EF6800, qui pointait l'emplacement libre suivant sur la pile. Le pointeur de pile utilisateur (U) est commandé par le programmeur exclusivement, permettant ainsi le passage de paramètres de et vers des sous-programmes avec facilité.

Les pointeurs de pile U et S ont les mêmes possibilités que les registres X et Y pour les modes d'adressage indexé et pour les instructions d'empilement/dépilement. Le microprocesseur EF6809 peut être utilisé comme processeur avec gestion de pile, autorisant ainsi l'utilisation de langage de haut niveau et des méthodes de programmation modulaire.

COMPTEUR PROGRAMME (PC)

Le compteur programme est utilisé par le processeur pour pointer l'adresse de l'instruction suivante devant être exécutée. L'adressage relatif permet au compteur programme d'être utilisé comme un registre index dans certains cas.

REGISTRE CODES CONDITION (CC)

Le registre codes condition définit l'état du processeur à tout instant, voir figure 6.

FIGURE 6 - REGISTRE CODES CONDITION



DESCRIPTION DU REGISTRE CODES CONDITION (CC)

BIT 0 (C)

Le bit 0 est l'indicateur de retenue, il indique généralement la retenue lors d'une opération de l'unité arithmétique et logique. C est aussi utilisé pour représenter la retenue lors d'instructions correspondant à une soustraction (CMP, NEG, SUB, SBC). Dans ce cas cet indicateur est le complément de la retenue lors d'une opération de l'unité logique et arithmétique.

BIT 1 (V)

Le bit 1 est l'indicateur de débordement il est mis à un s'il y a débordement en complément à deux signé après une opération arithmétique. Le débordement est détecté lors d'une opération dans l'unité logique et arithmétique quand la retenue du MSB ne correspond pas à la retenue du MSB - 1.

BIT 2 (Z)

Le bit 2 est le bit indicateur de zéro, il est mis à un si le résultat de l'opération précédente est nul.

BIT 3 (N)

Le bit 3 indique un résultat négatif, il contient exactement la valeur du bit de poids fort de l'octet résultant de l'opération précédente. Un résultat négatif, en complément à deux positionne N à 1.

BIT 4 (I)

Le bit 4 est le bit masque des interruptions \overline{IRQ} . Ce bit mis à un, le processeur ne prendra pas en compte les interruptions arrivant sur la ligne \overline{IRQ} . \overline{NMI} , \overline{FIRQ} , \overline{IRQ} , \overline{RESET} et SWI positionnent toutes I à un. SWI 2 et SWI 3 n'affectent pas I.

BIT 5 (H)

Le bit 5 est le bit de demi-retenu ; il est utilisé pour indiquer une retenue du bit 3 dans l'ALU comme résultat d'une addition 8 bits seulement (ADC ou ADD). Ce bit est utilisé dans une instruction DAA pour réaliser une opération d'ajustement décimal. L'état de cet indicateur est indéfini dans toutes les instructions de soustraction ou équivalentes.

BIT 6 (F)

Le bit 6 est le bit masque des interruptions rapides \overline{FIRQ} . Le processeur ne prendra pas en compte les interruptions de la ligne \overline{FIRQ} , lorsque ce bit est à un. \overline{NMI} , \overline{FIRQ} , SWI, et \overline{RESET} positionnent toutes F à un. F n'est pas affecté par \overline{IRQ} , SWI 2 et SWI 3.

BIT 7 (E)

Le bit E est le bit indicateur de l'état de sauvegarde, mis à un il indique que l'état complet de la machine (tous les registres) est empilé, à la place de l'état précédent (PC et CC). Le bit E du registre CC empilé est utilisé sur un retour d'interruption (RTI) pour déterminer l'étendue du déplacement. Par conséquent, le bit E courant laissé dans le registre CC représente l'action précédente.

**DESCRIPTION DES SIGNAUX
DU MPU EF6809**

ALIMENTATION (V_{SS}, V_{CC})

Deux broches sont utilisées pour alimenter le circuit : V_{SS} est la masse du boîtier ou 0 volt, tandis que V_{CC} est à +5 volts ± 5 %.

BUS ADRESSE (A0-A15)

Seize broches sont utilisées pour sortir l'information adresse du MPU sur le bus adresse. Lorsque le bus n'est pas occupé par le processeur pour un transfert de données, il sort l'adresse FFFF16, R/W = 1, et BS = 0. Les adresses sont validées sur le front montant de Q (voir figures 1 et 2). Tous les amplificateurs du bus adresse sont mis à l'état haute impédance lorsque la sortie Bus Available (BA) est à l'état haut. Chaque broche peut piloter une charge TTL Schottky et 90 pF.

BUS DONNÉES (D0-D7)

Ces huit broches permettent la communication avec le bus données bi-directionnel du système. Chaque broche peut piloter une charge TTL Schottky et 130 pF.

LECTURE/ÉCRITURE (R/W)

Ce signal indique le sens du transfert des données sur le bus données. Un niveau bas indique que le MPU procède à une écriture, R/W passe à l'état haute impédance lorsque BA est à l'état haut. R/W est validé sur le front montant de Q, (figures 1 et 2).

MISE A L'ÉTAT INITIAL (\overline{RESET})

Un niveau bas sur cette entrée trigger de Schmitt durant un temps supérieur à un cycle bus provoque une initialisation du MPU (fig. 7). Les vecteurs d'initialisation seront accessibles aux adresses FFFE16 et FFFF16 (tableau 1) dès lors que la condition logique, reconnaissance d'interruption est vraie (BA = 0 \wedge BS = 1). A la mise sous tension, cette ligne doit être maintenue à l'état bas jusqu'à ce que l'oscillateur d'horloge ait atteint un régime de fonctionnement normal (fig. 8). Un simple réseau RC peut être utilisé pour initialiser l'ensemble du système, puisque l'entrée \overline{RESET} du EF6809 possède un trigger de Schmitt ayant une tension de seuil supérieure à celle des périphériques standards. Ce seuil de tension plus élevé garantit que tous les périphériques ne sont pas en phase d'initialisation après le processeur.

ARRÊT DU MICROPROCESSEUR (\overline{HALT})

Un niveau bas sur cette entrée provoque l'arrêt du MPU à la fin de l'instruction en cours et celui-ci demeure à l'arrêt indéfiniment sans perte de données. A l'arrêt, la sortie BA passe à l'état haut indiquant que les bus sont à l'état haute impédance. BS est aussi à l'état haut indiquant que le processeur est arrêté ou à l'état bus accordé. A l'état arrêt, le MPU ne répond pas à des demandes externes en temps réel (\overline{FIRQ} , \overline{IRQ}) bien que $\overline{DMA/BREQ}$ soit toujours accepté, et que \overline{NMI} et \overline{RESET} soient mémorisés pour une réponse ultérieure. A l'état arrêt Q et E continuent à fonctionner normalement. Si le MPU est arrêté (\overline{RESET} , $\overline{DMA/BREQ}$), l'état HALT (BA BS = 1) peut être atteint lorsque l'entrée HALT est mise à l'état bas bien que l'entrée \overline{RESET} soit encore à l'état bas. Si $\overline{DMA/BREQ}$ et HALT sont tous les deux à l'état bas, le processeur continuera jusqu'au dernier cycle de l'instruction sur lequel le processeur sera arrêté. (figure 9).

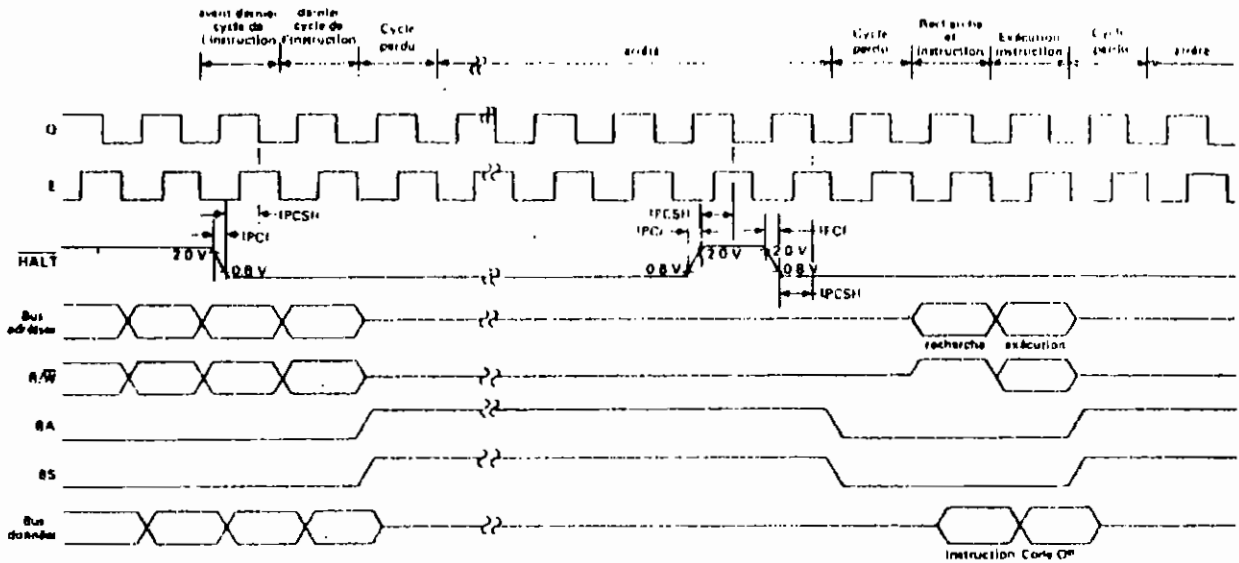
BUS LIBRE, ÉTAT DU BUS (BA, BS)

La sortie BA indique qu'un signal de commande interne fait passer les bus du MPU à l'état haute impédance. Ce signal n'implique pas que le bus soit disponible pendant plus d'un cycle. Lorsque BA passe à l'état bas, un cycle perdu supplémentaire se déroule avant que le MPU n'occupe le bus.

Le signal de sortie état du bus, lorsqu'il est décodé avec BA, représente l'état du MPU (validé sur le front montant de Q).

État du MPU		
BA	BS	
0	0	Normal (fonctionnement)
0	1	Reconnaissance d'interruption
1	0	Reconnaissance de SYNC
1	1	Arrêt ou bus accordé

FIGURE 8 - HALT ET EXECUTION D'UNE SEULE INSTRUCTION



Une reconnaissance d'interruption ($BA = 0, BS = 1$) est présente durant les deux cycles d'acquisition du vecteur d'interruption (RESET, NMI, \overline{IRQ} , SWI, SWI 2, SWI 3). Cet état détecté et le décodage des 4 lignes d'adresse de poids faibles indiquent à l'utilisateur quel est le niveau d'interruption pris en compte et permet une vectorisation par les périphériques (tableau 1).

Il y a reconnaissance de synchronisation lorsque le MPU rencontre l'instruction de synchronisation (SYNC), celle-ci est indiquée par $BA = 1$ et $BS = 0$, signifiant que le MPU est en attente de synchronisation extérieure par l'intermédiaire d'une ligne d'interruption.

Halt/Bus Grant : (halte/bus accordé) cette condition ($BA = 1, BS = 1$) est vraie lorsque le MPU EF6809 est dans l'état halte ou bus accordé

MS	LS	Description
FFF	FFF	RESET
FFC	FFD	NMI
FFA	FFB	SWI
FF8	FF9	\overline{IRQ}
FF6	FF7	\overline{FIRQ}
FF4	FF5	SWI2
FF2	FF3	SWI3
FF0	FF1	Réservé

*Note : Les demandes NMI, \overline{FIRQ} et \overline{IRQ} sont mémorisées sur le front descendant de Q seul pendant les fonctionnements en val de cycles (exemples DMA) en cours desquels seule NMI est gémorisée. A partir de cet instant, un retard d'au moins un cycle bus intervient avant que l'interruption ne soit prise en compte par le MPU.

INTERRUPTION NON MASQUABLE (NMI)

Un front descendant sur cette entrée entraîne une séquence d'interruption non masquable. Une interruption non masquable ne peut pas être inhibée par programme et possède une priorité supérieure à \overline{FIRQ} , \overline{IRQ} ou aux interruptions logicielles. Lors d'une reconnaissance de NMI, l'état complet du MPU est sauvegardé sur la pile. Après initialisation, une NMI ne sera prise en compte qu'après le premier chargement par programme du pointeur de pile (S). La largeur d'impulsion de NMI, à l'état bas, doit être au moins d'un cycle E. Si l'entrée NMI n'a pas un temps d'établissement suffisant en regard de Q, l'interruption ne sera prise en compte qu'au cycle suivant (fig. 10).

DEMANDE D'INTERRUPTION RAPIDE (\overline{FIRQ})

Un niveau bas sur cette broche entraîne la séquence d'interruption rapide, à condition que le bit masque (F) du registre codes condition (CC) soit à zéro. Cette interruption a priorité par rapport à une demande d'interruption standard \overline{IRQ} , elle est plus rapide puisqu'il n'y a sauvegarde sur la pile que du registre codes condition (CC) et du compteur programme (PC). Le sous-programme de traitement des interruptions doit libérer la source d'interruption avant l'exécution de l'instruction RTI (fig. 11)

DEMANDE D'INTERRUPTION (\overline{IRQ})

Un niveau bas appliqué à cette entrée entraîne la séquence de traitement demande d'interruption (\overline{IRQ}), à condition que le bit masque (I) du registre codes condition (CC) soit à zéro. Cette séquence réalisant la sauvegarde de l'état complet du processeur, la réponse sera plus lente que pour \overline{FIRQ} .

Par ailleurs \overline{IRQ} a une priorité plus basse que \overline{FIRQ} . Là encore, le sous-programme de traitement des interruptions doit libérer la source d'interruption avant d'exécuter l'instruction RTI (figure 10)

FIGURE 10 - DIAGRAMME DES TEMPS POUR LES INTERRUPTIONS IRQ et NMI

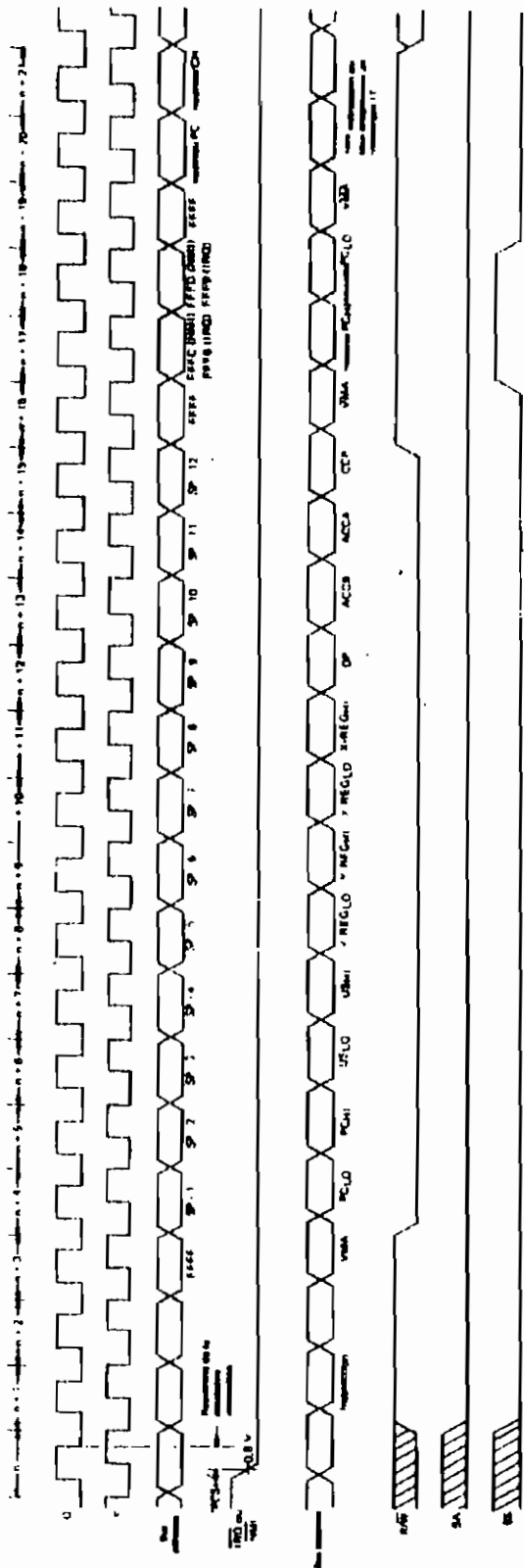
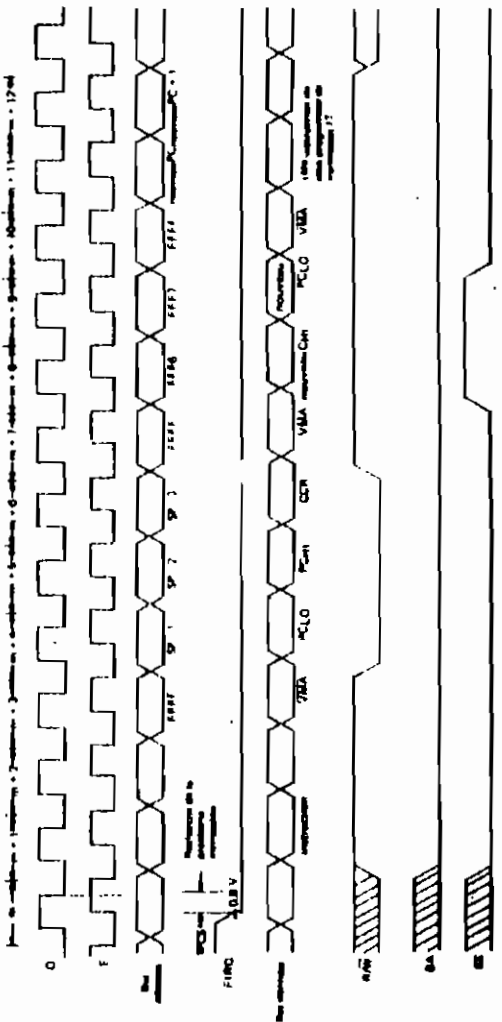


FIGURE 11 - DIAGRAMME DES TEMPS POUR L'INTERRUPTION FIRQ



XTAL, EXTAL.

Ces broches d'entrée sont utilisées pour connecter l'oscillateur interne à un quartz externe à résonance parallèle. Par ailleurs, la broche EXTAL peut être utilisée comme une entrée niveau TTL pour une horloge extérieure en mettant XTAL à la masse. Le quartz ou la fréquence externe est 4 fois la fréquence bus, (figure 8). Les règles d'implémentation propres aux circuits RF doivent être observées dans le tracé des circuits imprimés.

E, Q

E est identique au signal d'horloge $\phi 2$ du EF6800 ; Q est un signal d'horloge en quadrature qui pilote E. Q n'a pas d'équivalent sur le EF6800. Les adresses du MPU sont validées sur le front montant de Q. Les données sont mémorisées sur le front descendant de E. Le diagramme des temps pour E et Q est montré figure 12.

MRDY

Cette entrée de commande permet l'allongement de E pour augmenter le temps d'accès aux données. Lorsque MRDY est à l'état haut, E est en fonctionnement normal. Lorsque MRDY est à l'état bas, E peut être allongé de multiples entiers de 1/4 de cycle bus, permettant ainsi l'utilisation de mémoires lentes comme montré figure 13. L'allongement maximum est de 10 micro secondes. Pendant les accès mémoire non utiles (cycles VMA), MRDY n'a pas d'effet sur l'allongement de E. Ceci évite le ralentissement de la vitesse du processeur pendant les accès bus non utiles.

DMA/BREQ

L'entrée DMA/BREQ offre une méthode de suspension d'exécution et d'acquisition du bus MPU pour une autre utilisation comme montré en figure 14. Des utilisations types comprennent le DMA et le rafraîchissement des mémoires dynamiques.

La transition de DMA/BREQ doit se produire pendant Q. Un niveau bas sur cette broche arrête l'exécution de l'instruction à la fin du cycle en cours. BA et BS à 1 indique la prise en compte de la demande faite par DMA/BREQ. Le circuit demandeur aura alors jusqu'à 16 cycles bus avant que le MPU ne récupère le bus pour auto-rafraîchissement. L'auto-rafraîchissement nécessite un cycle bus comportant un cycle perdu de début et de fin, (figure 15).

En général, le contrôleur de DMA fait une demande d'accès au bus en mettant au niveau bas la broche DMA/BREQ sur le front montant de E. Lorsque le MPU répond avec BA - BS = 1, ce cycle est un cycle perdu utilisé pour transférer le contrôle au système de DMA.

Les feux accès mémoire doivent être évités pendant tous cycles perdus. Lorsque BA est remis à zéro (soit comme résultat de DMA/BREQ = haut, ou auto-rafraîchissement du MPU), le circuit DMA doit être déconnecté du bus.

Un autre cycle perdu s'écoule avant que le MPU ne se voit elloué un accès mémoire pour transférer le contrôle sans litige.

FONCTIONNEMENT DU MPU

En fonctionnement normal, le MPU va chercher une instruction en mémoire puis exécute celle-ci. Cette séquence démarre sur RESET et est répétée indéfiniment sauf si elle est modifiée par une instruction spéciale ou un évènement matériel. Les instructions logicielles qui modifient le fonctionnement normal du MPU sont : SWI, SWI 2, SWI 3, CWA, RTI et SYNC. Une interruption, HALT ou DMA/BREQ modifie aussi l'exécution normale des instructions. La figure 14 illustre l'organigramme du EF6809. Le moitié gauche de l'organigramme représente un fonctionnement normal ; le moitié droite représente la progression lorsqu'une interruption ou une instruction spéciale survient.

FIGURE 12 - CORRESPONDANCE ENTRE E/Q

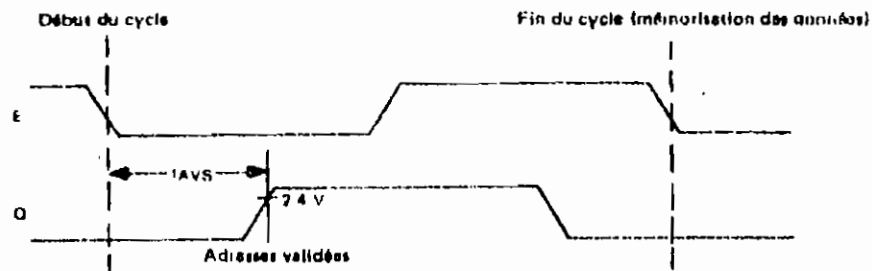


FIGURE 13 - DIAGRAMME DE TEMPS ENTRÉE MRDY

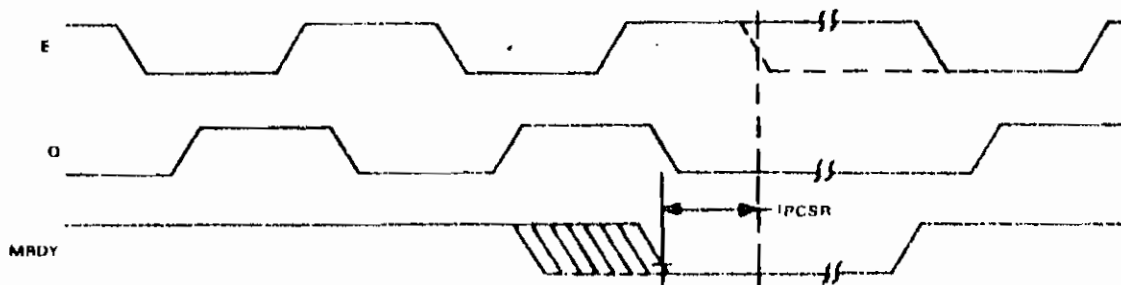
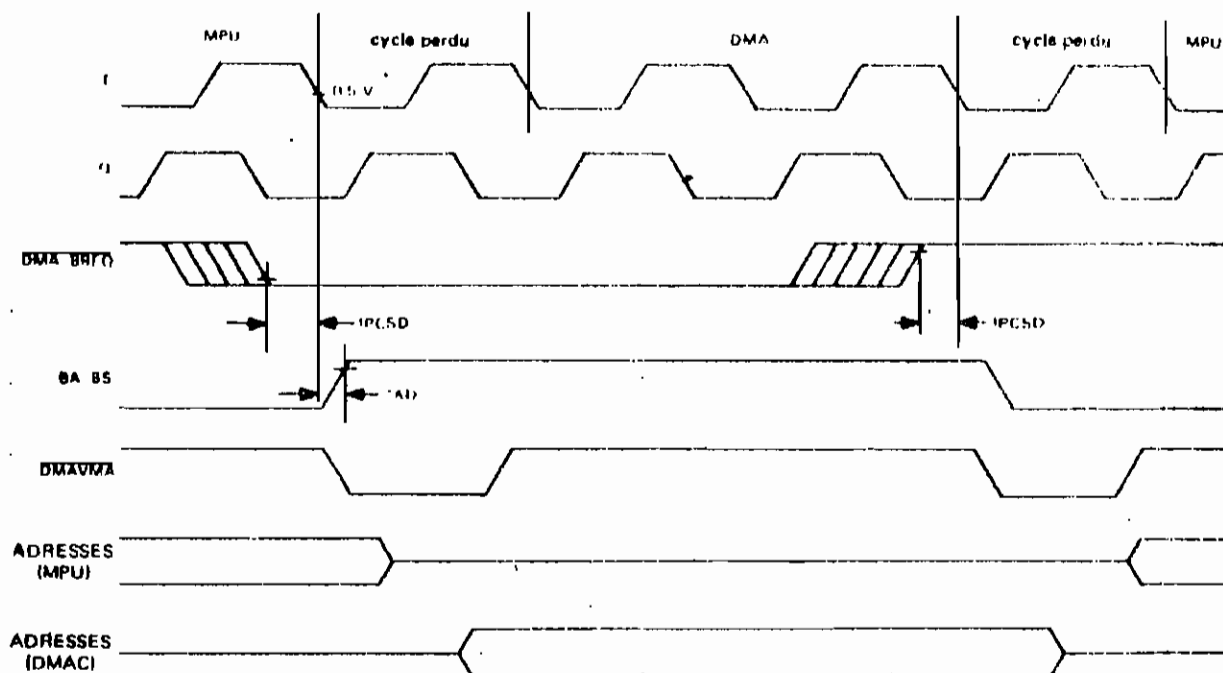


FIGURE 14 - DIAGRAMME DE TEMPS TYPIQUE DE L'ENTRÉE DMA (< 14 CYCLES)



Note : $\overline{DMA\ VMA}$ est un signal élaboré à l'extérieur, mais nécessaire pour le système DMA.

FIGURE 15 - DIAGRAMME DES TEMPS, AUTORAFAICHISSEMENT EN DMA (> 14 CYCLES)

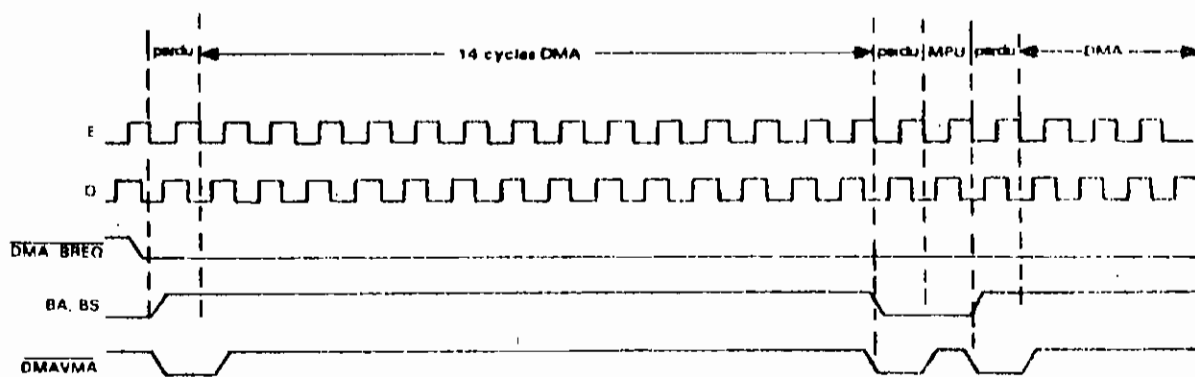
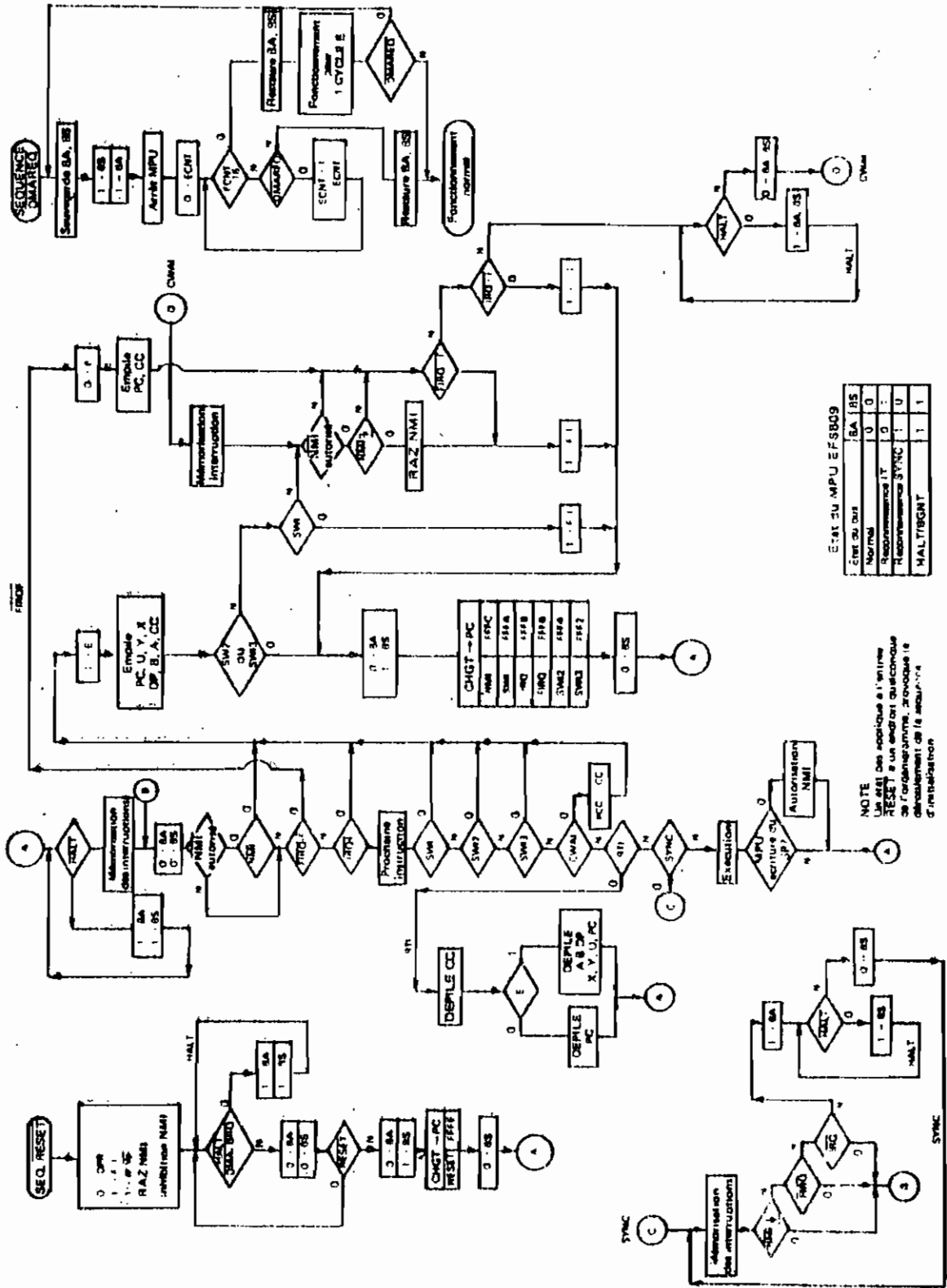


FIGURE 16 - ORGANIGRAMME DU MPU



MODES D'ADRESSAGE

Les instructions de base de tout ordinateur sont particulièrement améliorées par la présence de modes d'adressage puissants. Le jeu de modes d'adressage disponible du EF6809 est actuellement le plus puissant des microprocesseurs existents.

Par exemple, le EF6809 possède 59 instructions de base, mais il admet 1484 possibilités différentes d'instructions et de modes d'adressage. Les nouveaux modes d'adressage permettent les techniques de programmation modernes. Les modes d'adressage suivants sont disponibles dans le EF6809 :

- Inhérent (inclut les accumulateurs)
- Immédiat
- Étendu
- Étendu indirect
- Direct
- Registre
- Indexé
- Déplacement nul
- Déplacement constant
- Déplacement accumulateur
- Auto incrémentation/décrémentation
- Indexé indirect
- Relatif
- Branchement relatif long/court
- Adressage relatif compteur programme

INHÉRENT (INCLUT LES ACCUMULATEURS)

Dans ce mode d'adressage, le code opération de l'instruction contient toute l'information adresse nécessaire. Des exemples d'adressage inhérent sont : ABX, DAA, SWI, ASRA et CLRB.

ADRESSAGE IMMÉDIAT

En adressage immédiat, l'adresse effective des données se trouve à l'emplacement suivant immédiatement le code opération ; les données à utiliser dans l'instruction du EF 6809 utilisent deux valeurs immédiates 8 et 16 bits en fonction de la taille de l'opérande spécifiée par le code opération. Des exemples d'instructions utilisant l'adressage immédiat sont :

```
LDA # $20
LDX # $F000
LDY # ASTER
```

Noté : # signifie adressage immédiat, \$ signifie valeur hexadécimale.

ADRESSAGE ÉTENDU

En adressage étendu, le contenu des deux octets suivant immédiatement le code opération spécifie complètement l'adresse 16 bits effective utilisée par l'instruction. Il est à noter que l'adresse générée par une instruction étendue définit une adresse absolue et n'est pas translatable. Les exemples d'adressage étendu incluent :

```
LDA ASTER
BTX OBEL
LDD $2000
```

ÉTENDU INDIRECT

Comme cas spécial d'adressage indexé (exposé ci-dessous), un niveau d'indirection peut être ajouté à l'adressage étendu. En mode étendu indirect, les deux octets suivant le post octet d'une instruction indexée contiennent l'adresse de l'adresse des données.

```
LDA [ASTER]
LDX [$FFFE]
STU [OBEL]
```

ADRESSAGE DIRECT

L'adressage direct est similaire à l'adressage étendu excepté qu'un octet d'adresse seulement suit le code opération. Cet octet spécifie les 8 bits de poids faible de l'adresse à utiliser. Les 8 bits d'adresse de poids fort sont fournis par le registre page directe. Un octet d'adresse étant seulement nécessaire en adressage direct, ce mode nécessite moins de mémoire et s'exécute plus rapidement qu'en adressage étendu. Bien entendu, seuls 256 emplacements (une page) peuvent être accédés sans avoir à redéfinir le contenu du registre DP. Le registre DP étant mis à \$00 à l'initialisation, l'adressage direct sur le EF6809 est compatible avec l'adressage direct du EF6800. L'indirection n'est pas permise en adressage direct.

Voici quelques exemples d'adressage direct :

```
LDA $30
SETDP $10 (directive assembleur)
LDB $1030
LDD < ASTER
```

Note : < est une directive assembleur qui force l'adressage direct.

ADRESSAGE PAR REGISTRE

Certains codes opération sont suivis par un octet qui définit un registre ou un jeu de registres devant être utilisés par l'instruction, cet octet est appelé POSTOCTET. Quelques exemples d'adressage registre sont :

```
TFR X, Y Transfert de X dans Y
EXG A, B Échange A et B
PSHS A, B, X, Y Transfert dans S Y, X, B puis A
PULU X, Y, D Transfert depuis U O, X, puis Y
```

ADRESSAGE INDEXÉ

Dans tout adressage indexé un des registres pointeur (X, Y, U, S et parfois PC) est utilisé dans le calcul de l'adresse effective de l'opérande devant être utilisée par l'instruction. Cinq types d'indexation de base sont disponibles et sont exposés ci-dessous. Le post octet d'une instruction indexée spécifie le type de base et le choix du mode d'adressage ainsi que le registre pointeur devant être utilisé. La figure 17 montre les formats autorisés pour le post octet. Le tableau 2 donne la forme assembleur et le nombre de cycles et d'octets additionnés aux valeurs de base d'adressage indexé pour chaque variante.

FIGURE 17 - ADRESSAGE INDEXÉ, SIGNIFICATION DES BITS DU REGISTRE POST-OCTET

Bits du registre post-octet								Forme d'adressage Indexé
7	6	5	4	3	2	1	0	
0	R	R	X	X	X	X	X	EA = R ± 4 bits déplacement
1	R	R	0	0	0	0	0	,R+
1	R	R	1	0	0	0	1	,R++
1	R	R	0	0	0	1	0	,-R
1	R	R	1	0	0	1	1	,-R
1	R	R	1	0	1	0	0	EA = R ± 0 déplacement
1	R	R	1	0	1	0	1	EA = R ± ACCB déplacement
1	R	R	1	0	1	1	0	EA = R ± ACCA déplacement
1	R	R	1	1	0	0	0	EA = R ± 7 bits déplacement
1	R	R	1	1	0	0	1	EA = R ± 15 bits déplacement
1	R	R	1	1	0	1	1	EA = R ± D déplacement
1	X	X	1	1	1	0	0	EA = PC ± 7 bits déplacement
1	X	X	1	1	1	0	1	EA = PC ± 15 bits déplacement
1	R	R	1	1	1	1	1	EA = , adresse

Champ du mode d'adressage
 Champ Indirect
 bit de signe quand 07 = 0

Champ du registre
 00:R = X
 01:R = Y
 10:R = U
 11:R = S
 X = Indifférent

Indexé - Déplacement zéro. Dans ce mode, le registre pointeur sélectionné contient l'adresse effective des données devant être utilisées par l'instruction. Ce mode est le mode indexé le plus rapide.

Exemples :
 LDD U,X
 LDA O,S

Indexé - Déplacement constant. Dans ce mode un déplacement en complément à deux et le contenu d'un des registres pointeur sont additionnés pour former l'adresse effective de l'opérande. Le contenu initial du registre pointeur n'est pas changé par l'addition.

Trois valeurs de déplacement sont disponibles.

- ± 4-bit (- 16 à + 16)
- ± 7-bit (- 128 à + 127)
- ± 15-bit (- 32 768 à + 32 767)

Le déplacement 8 bits en complément à deux est compris dans le postoctet et donc optimise l'utilisation des octets et des cycles. Le déplacement 8 bits en complément à deux est contenu dans un seul octet suivant le postoctet. Le déplacement 16 bits en complément à deux se trouve dans les deux octets suivant le postoctet. Dans la plupart des cas, le programmeur n'a pas à connaître la valeur de ce déplacement puisque l'assembleur sélectionne automatiquement la valeur d'option.

Exemples d'indexation avec déplacement constant :

LDA 23,X
 LDY -2,S
 LDY 300,X
 LDU ASTER,Y

TARLEAU 2 - MODES D'ADRESSAGE INDEXÉ

Type	Formes	Non Indirect				Indirect			
		Syntaxe assembleur	Post-octet code OP	+ #	#	Syntaxe assembleur	Post-octet code OP	+ #	#
Déplacement constant à partir de R (signé)	pas de déplacement	,R	1RR0100	0	0	[R]	1RR10100	3	0
	déplacement 8 bits	n, R	0RRnnnnn	1	0	par défaut - 8 bits			
	déplacement 8 bits	n, R	1RR0100j	1	1	[n, R]	1RR11000	4	1
	déplacement 16 bits	n, R	1RR0100i	4	2	[n, R]	1RR11001	7	2
Accumulateur utilisé comme registre de déplaç. B (déplacement signé)	registre de déplaç. A	A, R	1RR0110	1	0	[A, R]	1RR10110	4	0
	registre de déplaç. B	B, R	1RR0101	1	0	[B, R]	1RR10101	4	0
	registre de déplaç. D	D, R	1RR01011	4	0	[D, R]	1RR11011	7	0
Auto incrémentation/décrémentation du registre R	incrémenté par 1	,R+	1RR0000	2	0	Impossible			
	incrémenté par 2	,R++	1RR00001	3	0	[R++]	1RR10001	6	0
	décrémenté par 1	,-R	1RR00010	2	0	Impossible			
	décrémenté par 2	,-R	1RR00011	3	0	[R--]	1RR10011	6	0
Déplacement constant à partir de PC	déplacement 8 bits	n, PCR	1XX01100	1	1	[n, PCR]	1XX11100	4	1
	déplacement 16 bits	n, PCR	1XX01101	5	2	[n, PCR]	1XX11101	8	2
Indirect étendu	adresses 16 bits	--	--	--	[n]	10011111	5	2	

R = X, Y, U ou S
 X = Indifférent
 X = 00 Y = 01
 U = 10 S = 11

+ # et # indiquent le nombre de cycles et d'octets additionnés pour un état particulier.

Indexé - Déplacement Accumulateur. Ce mode est semblable au mode Indexé à déplacement constant excepté que la valeur en complément à deux dans un des accumulateurs (A, B ou D) et le contenu de l'un des registres pointeur sont ajoutés pour former l'adresse effective de l'opérande. Le contenu du registre pointeur et de l'accumulateur demeure inchangé par l'addition. Le postoctet spécifie l'accumulateur à utiliser comme déplacement et aucun octet supplémentaire n'est nécessaire. L'avantage d'un déplacement accumulateur réside dans le fait que la valeur du déplacement peut être calculée par programme en cours d'exécution.

Exemples :

```
LDA B,Y
LDX D,Y
LEAX B,X
```

Indexé - Auto Incrémentation/Décrémentation. En mode auto incrémentation, le registre pointeur contient l'adresse de l'opérande. Ainsi, après avoir été utilisé le registre pointeur est incrémenté de un ou deux. Ce mode d'adressage est très utile lors de l'utilisation de tables, déplacement de données, ou pour la création de piles logicielles. En auto décrémentation le registre pointeur est décrémentation avant d'être utilisé comme adresse des données. L'utilisation en auto décrémentation est similaire à celle en auto incrémentation, mais les tables, etc., sont scrutées des adresses élevées vers les adresses faibles. La valeur d'incrément/décrément peut être égale à un ou deux pour permettre d'accéder à des tables de données 8 ou 16 bits, elle est sélectionnée par le programmeur. L'aspect pré-décrément, post-incrément permet à ces modes d'être utilisés pour créer des piles logicielles supplémentaires qui se comportent de manière identique aux piles U et S.

Voici quelques exemples de modes d'adressage auto incrément/décrément :

```
LDA ,X+
STD ,Y++
LDB , -Y
LDX , -S
```

INDEXE INDIRECT

Tous les modes Indexé Indirect sont inclus à l'exception incrémentation/décrémentation par un, ou déplacement de ± 4 bits, peuvent avoir un niveau d'indirection supplémentaire spécifié. En adressage Indirect, l'adresse effective est contenue à l'emplacement spécifié par le contenu du registre Index additionné d'un quelconque déplacement. Dans l'exemple ci-dessous, l'accumulateur A est chargé indirectement en utilisant une adresse effective calculée à partir du registre Index et d'un déplacement.

Avant exécution :

A = XX (Indifférent)

X = \$F000

\$0100 LDA [10,X] l'EA est alors \$F010

\$F010 \$F1 F150 est alors la nouvelle

\$F011 \$50 adresse effective

\$F150 \$AA

Après exécution :

A = \$AA Donnée chargée réelle

Note : EA = adresse effective

Tous les modes Indexé Indirect sont inclus à l'exception de ceux qui sont sans signification (exemple : auto incrément/décrément par 1 Indirect). Quelques exemples de mode Indexé Indirect sont :

```
LDA [X]
LDD [10,X]
LDA [B,Y]
LDU [X++]
```

ADRESSAGE RELATIF

Le(s) octet(s) suivant(s) le code opération de branchement est (sont) traité(s) comme un déplacement signé qui est additionné au compteur programme.

Si la condition de branchement est vraie alors l'adresse calculée (PC + déplacement signé) est chargée dans le compteur programme. L'exécution du programme se poursuit jusqu'au nouvel emplacement comme indiqué par le PC, les modes d'adressage relatif court (1 octet de déplacement) et long (déplacement de deux octets) sont disponibles. Tout emplacement mémoire peut être atteint en mode d'adressage relatif long, l'adresse effective étant interprétée modulo 2^{16} . Quelques exemples d'adressage relatif sont :

	BEQ	ASTER	(court)
	BGT	OBEL	(court)
ASTER	LBQ	BAMBI	(long)
OBEL	LBGT	BUNNY	(long)
BAMBI	NOP		
BUNNY	NOP		

Le compteur programme peut être utilisé comme registre pointeur avec des déplacements signés de 8 ou 16 bits. Comme en adressage relatif le déplacement est additionné au PC en cours pour former l'adresse effective. L'adresse effective est alors utilisée comme adresse opérande ou adresse données. L'adressage relatif par compteur programme est utilisé pour écrire des programmes translatables. Les tables relatives à un programme particulier perdent la même façon après translation du programme, si celles-ci sont référencées en relatif par rapport au compteur programme.

Exemples :

```
LDA BUNNY,PCR
LEAX TABLE,PCR
```

Le mode compteur programme relatif étant un type d'indexation, un niveau supplémentaire d'indirection est utilisable.

```
LDA [ASTER,PCR]
LDU [OBEL,PCR]
```

JEU D'INSTRUCTIONS DU EF 6809

Le jeu d'instructions du EF6809 est comparable à celui du EF6800 et compatible descendant au niveau du code source. Le nombre de codes opération a été réduit de 72 à 69, mais grâce à son architecture améliorée et modes d'adressage supplémentaires, le nombre de codes opération disponibles (avec les différents modes d'adressage) est passé de 197 à 1464.

Certaines instructions et certains modes d'adressage sont décrits en détail ci-dessous :

PSHU/PSHS

Ces instructions ont la propriété d'empiler tout(s) registre(s) du MPU soit sur la pile matérielle (S) soit sur la pile utilisateur (U) en une seule instruction.

PULU/PULS

Les instructions de dépilement ont la même propriété que les instructions d'empilement, dans l'ordre inverse. L'octet immédiat suivant le code opération des instructions d'empilement ou de dépilement détermine quel ou quels registres doivent être empilés ou dépilés. La séquence effective d'empilement/dépilement est fixée ; chaque bit détermine un registre unique à empiler/dépiller comme indiqué figure 16.

TFR/EXG

Dans le EF6809 chaque registre peut être transféré ou échangé avec un autre registre de même format, c'est-à-dire 8 bits à 8 bits ou 16 bits à 16 bits. Les bits 4-7 du port octet définissant le registre source, tandis que les bits 0-3 représentent le registre destination.

Ceci se représente comme suit :

0000 - D	0101 - PC
0001 - X	1000 - A
0010 - Y	1001 - B
0011 - U	1010 - CC
0100 - S	1011 - DP

Note : Toutes les autres combinaisons sont indéfinies et non valables.

Chargement d'adresse effective (LEA)

L'instruction LEA s'exécute en calculant l'adresse effective utilisée dans une instruction indexée et mémorise cette valeur d'adresse, au lieu des données de cette adresse, dans un registre pointeur. Ceci met l'ensemble des caractéristiques d'adressage interne matériel à la disposition du programmeur. Quelques-unes des implications de cette instruction sont illustrées à l'aide d'exemples, (voir tableau 3).

L'instruction LEA permet aussi à l'utilisateur d'accéder à des données quel que soit l'emplacement. Par exemple :

LEAX MSG1,PCR
LBSR PDATA (programme d'impression message)

MSG1 FCC 'MESSAGE'

FIGURE 16 - POST OCTET D'EMPILEMENT/DEPILEMENT

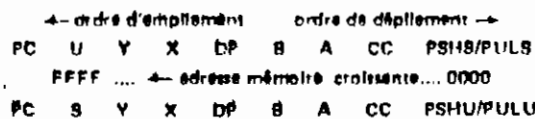


TABLEAU 3 - EXEMPLES D'UTILISATION DE L'INSTRUCTION LEA

Instruction	Opération	Commentaire
LEAX 10, X	X ← 10 → X	Addition constante sur 8 bits de 10 dans X
LEAX 500, X	X ← 500 → X	Addition constante sur 16 bits de 500 dans X
LEAY A, Y	Y ← A → Y	Addition de l'accumulateur sur 8 bits dans Y
LEAY D, Y	Y ← D → Y	Addition de l'accumulateur D sur 16 bits dans Y
LEAU -10, U	U ← 10 → U	Soustraction de 10 dans U
LEAS -10, S	S ← 10 → S	Réservation d'une zone dans la pile
LEAS 10, S	S ← 10 → S	Remise en ordre de la pile
LEAX S, S	S ← S → X	Transfert aussi bien qu'addition

Cet exemple de programme imprime « message ». En écrivant MSG1, PCR, l'assembleur calcule la distance entre l'adresse présente et MSG1. Ce résultat est placé comme une constante dans l'instruction LEAX qui est indexée par la valeur du PC au moment de l'exécution. Peu importe la position du code pendant son exécution puisque le déplacement calculé depuis le PC mettra l'adresse absolue de MSG1 dans le registre pointeur X. Ce code est totalement translatable.

MUL

Multiplie les nombres binaires non signés des accumulateurs A et B et place le résultat non signé dans l'accumulateur 16 bits D.

BRANCHEMENTS RELATIFS LONG ET COURT

Le EF8809 a la possibilité de réaliser des branchements relatifs du compteur programme sur tout l'espace mémoire. Dans ce mode, en cas de branchement, le déplacement signé de 8 ou 16 bits est additionné à la valeur du compteur programme utilisé comme adresse effective. Ceci permet le branchement du programme n'importe où dans les 64K d'espace mémoire. Le code translatable peut être facilement généré par l'utilisation du branchement relatif. Les deux branchements courts (8 bits) et long (16 bits) sont disponibles.

SYNC

En rencontrant une instruction SYNC, le MPU se met dans l'état SYNC, arrête l'exécution du programme et attend une interruption. Si l'interruption incidente est non masquable (NMI) ou masquable (FIR0, IR0) avec son bit masqué (F ou I) à zéro, le processeur remet à zéro l'état SYNC et exécute le sauvegarde sur pile et le sous-programme de service. FIR0 et IR0 n'étant pas déclenchées sur front d'impulsion, un niveau bas d'une durée minimum de 3 cycles est nécessaire pour garantir la prise en compte de l'interruption.

Si l'interruption incidente est masquable (FIR0, IR0) avec son bit masqué (F ou I) mis à un, le processeur libère l'état SYNC et continue l'exécution en séquence. Le figure 18 décrit le diagramme des temps.

INTERRUPTIONS LOGICIELLES

Une interruption logicielle est une instruction qui provoque une interruption et la recherche du vecteur associé. Ces interruptions logicielles sont très utiles dans les appels système d'exploitation, mise au point logicielle, fonctionnements trace, configuration mémoire, et développement logiciel. Trois niveaux de SWI sont disponibles sur le EF8809, et sont hiérarchisés dans l'ordre suivant : SWI, SWI 2, SWI 3.

Opérations 16 bits

Le EF8809 offre des possibilités de traitement de données 16 bits. Ces instructions comprennent les instructions de chargement, mise en mémoire, comparaison, addition, soustraction, transfert, échange, empilement et dépilement.

FONCTIONNEMENT CYCLE PAR CYCLE

L'organigramme d'exécution cycle par cycle du bus adresse illustre la séquence d'accès mémoire correspondant à chaque instruction et mode d'adressage possibles sur le EF8809. Chaque instruction commence avec une recherche de code opération. Tandis que le code opération est décodé de façon interne, l'octet programme suivant est toujours recherché. (La plupart des instructions utilisent l'octet qui suit, ainsi cette technique augmente considérablement la vitesse d'exécution). Ensuite, le fonctionnement de chaque code opération suit l'organigramme. VMA est une indication de FFFF16 sur le bus adresse, R/W = 1 et BS = 0. Les exemples qui suivent illustrent l'utilisation de l'organigramme (figure 19).

LBSR (Branchement long à sous-programme)

Cycle #

- 1 Recherche code opération
- 2 Code opération +
- 3 Code opération +
- 4 VMA
- 5 VMA
- 6 ADR
- 7 VMA
- 8 PILE (écriture)
- 9 PILE (écriture)

DEC (Étendu)

- 1 Recherche code opération
- 2 Code opération +
- 3 Code opération +
- 4 VMA
- 5 ADR (lecture)
- 6 VMA
- 7 ADR (écriture)

TABLEAU DU JEU D'INSTRUCTIONS DU EF8809

Les instructions du EF8809 ont été séparées en cinq catégories différentes qui sont :

- Fonctionnement 8 bits (tableau 4)
- Fonctionnement 16 bits (tableau 5)
- Instructions portant sur le registre index / pointeur de pile (tableau 6)
- Branchements relatifs (long et court) (tableau 7)
- Instructions diverses (tableau 8)
- Instructions sur valeur hexadécimale (tableau 9)

F

Éléments d'émission et de réception

III - OSCILLATEURS TYPE LC

1° Généralités

a) Principe

À partir d'un circuit oscillant, on peut obtenir des oscillations sinusoïdales entretenues (fig. 22) au lieu d'oscillations amorties (fig. 21), à condition de fournir un apport d'énergie en phase convenable qui annule l'amortissement. Il suffit de ramener l'énergie nécessaire à l'entretien des oscillations par une boucle de réaction positive dans un amplificateur (fig. 23).

Déphasage total 360° (ou 0°) égal déphasage du transistor 180° (ou 0°) plus déphasage du couplage 180° (ou 0°). La réaction entre entrée et sortie peut être obtenue par couplages inductif, capacitif ou mixte.

b) Particularités des montages

Alimentation

● *Série* (fig. 24). C'est le montage le plus simple. On peut être amené à fermer le circuit HF par un condensateur C' de faible valeur, afin d'éviter le retour par l'alimentation (LC ne formant circuit bouchon que pour la fréquence de résonance f_0).

● *Parallèle* (fig. 25). L et C ne sont plus soumis à $+V_{CC}$, ce qui facilite la commutation des circuits LC (gammas). Le condensateur C peut avoir une armature à la masse. Il faut par contre une impédance d'arrêt (ou de choc) HF vers l'alimentation. La sensibilité en fréquence est améliorée.

Polarisation

Le transistor oscillateur peut être polarisé en classe A ou B . La classe B a un rendement élevé. Elle est utilisée dans les oscillateurs appelés à fournir au circuit de charge une puissance relativement importante (par exemple oscillateur symétrique sur récepteurs de trafic amateur).

La valeur de R_B fixe la valeur du courant de polarisation I_{QB} . La polarisation peut être soit du type série (fig. 28), soit du type parallèle (fig. 26). La constante de temps $\tau = R_B C_B$ (fig. 26) doit être suffisamment faible devant la période de l'oscillation pour que le potentiel de base suive les fluctuations de la tension aux bornes du bobinage L_B . Sur la figure 28, la réactance de C_B à la fréquence d'oscillation doit être suffisamment faible pour considérer que le point A est à la masse en alternatif.

La figure 27 montre comment on choisit le point de repos A . Il se trouve à l'intersection de la droite de charge D_n de pente $1/Z_0$ passant par B (l'amplitude ne pouvant dépasser V_{CC}) et de la verticale passant par $V_{QCE} = V_{CC}$.

c) Fréquence f_0

Le calcul théorique appliqué à la figure 26 donne :

$$\omega_0^2 = \frac{1}{LC} \left(\frac{r_e^2 R^2 C^2}{M^2 A_i^2} \right)$$

La formule de Thomson $\omega_0^2 = \frac{1}{LC}$ (ou $f_0 = \frac{1}{2\pi\sqrt{LC}}$) donne un résultat exact à moins

dé 5% près. Le calcul précis montre quels sont les éléments (en particulier A_i et r_e) qui influencent la fréquence.

- Réglage par bonds : généralement bobinages commutables.
- Réglage progressif rapide : CV ou bobines à noyau plongeur.
- Réglage progressif lent : condensateur ajustable ou noyau à vis réglable (vernier).

d) Amplitude a

Pour obtenir une bonne stabilité en amplitude, il est nécessaire que le taux de réaction soit suffisant pour provoquer le blocage du transistor pendant la crête de l'alternance négative.

Si l'amplitude $|a|$ le transistor se bloque plus longtemps, le courant moyen de collecteur se trouve asservi à l'amplitude, ainsi que le taux de réaction qui diminue par suite de l'augmentation de la résistance d'entrée.

IV - OSCILLATEURS A QUARTZ

1° Généralités

a) Principe

L'utilisation d'un oscillateur piloté par quartz permet d'obtenir une grande précision et une haute stabilité.

Une lame parallélépipédique taillée dans un cristal de quartz (fig. 42) produit une ddp sur ses deux faces sous l'action de contraintes mécaniques. C'est l'effet piézoélectrique direct découvert par Pierre Curie. Le phénomène est réversible (effet inverse). Le circuit équivalent est dessiné à la figure 43 et les deux fréquences de résonance très rapprochées f_s et f_p sont mises en évidence sur les figures 44 et 45. La fréquence propre d'une lame est inversement proportionnelle à l'épaisseur.

b) Différentes tailles (ou coupes)

Taille X ou Curie : faces perpendiculaires à un axe électrique. La dérive de fréquence est importante avec les variations de température. $0,5 \text{ MHz} < f < 15 \text{ MHz}$ ($f = 2860/a$; a : épaisseur de la lame en mm, f en kHz). Taille ($X + 5^\circ$) plus stable avec $30 \text{ kHz} < f < 300 \text{ kHz}$.

Taille Y : faces perpendiculaires à un axe mécanique. Il se produit des sauts brusques de fréquence avec les variations de fréquence, mais les éléments peuvent vibrer sous une pression d'armatures quelconque ($f = 1960/a$).

Taille AT (fig. 47) : coefficient de température nul, d'où une excellente stabilité et utilisation comme étalons de fréquence. Absence de vibrations parasites. Oscillations sous une pression d'armatures quelconque.

$$500 \text{ kHz} < f < 150 \text{ MHz} \quad (f = 1660/a).$$

Taille BT (fig. 47) : $3 \text{ MHz} < f < 30 \text{ MHz}$ } Courbes de dérive facilement corrigées
Taille CT (fig. 47) : $100 \text{ kHz} < f < 600 \text{ kHz}$ } par thermostat.
Taille GT (fig. 48) : $80 \text{ kHz} < f < 500 \text{ kHz}$, pour étalons de fréquence. Taille difficile.
Taille MT : $50 \text{ kHz} < f < 100 \text{ kHz}$
Taille NT : $4 \text{ kHz} < f < 50 \text{ kHz}$
Taille ET : vibre sur 3^e ou 5^e harmonique et permet le travail dit "overtones",
 $10 \text{ MHz} < f < 110 \text{ MHz}$.

c) Construction

Les lames de 1 cm^2 environ sont amincies par rodage à l'épaisseur convenable. Les armatures sont métallisées or ou argent. Les connexions sont soudées à l'étain (fig. 50) et sortent du boîtier métallique étanche (fig. 51) par perles de verre. Le quartz enfermé sous vide présente un amortissement presque nul ($10^2 < Q < 10^6$).

Certaines tailles peuvent être montées avec lame d'air (fig. 49), le réglage de la lame d'air permettant un léger réglage de fréquence. Pour les autres tailles, la fréquence peut être réglée dans de faibles limites en montant aux bornes du quartz une capacité ajustable (capacité de charge).

d) Qualités d'un bon quartz

- **Précision.** C'est la différence entre la fréquence réelle et la fréquence inscrite sur le boîtier à la température de 20°C .

- **Activité.** C'est l'aptitude d'un quartz à osciller. Elle est inversement proportionnelle à la résistance du circuit équivalent.

- **Coefficient de température** $\alpha = \Delta f/f \cdot \Delta t$. Il est fonction de la coupe utilisée (fig. 46); $\Delta f/f$ s'appelle la dérive de fréquence par degré Celsius.

- **Précision hors tout.** C'est la différence maximale entre f nominale et f réelle pour une température quelconque de la plage des températures prévues pour l'utilisation.

e) Stabilité

- Oscillateurs LC: $10^{-5} < \Delta f/f_0 < 10^{-4}$

- Oscillateurs à quartz: $10^{-7} < \Delta f/f_0 < 10^{-6}$

- Quartz enfermé dans une enceinte thermostatique: $\Delta f/f_0 < 10^{-7}$

- Si, de plus, l'alimentation est stabilisée: $\Delta f/f_0 < 10^{-8}$.

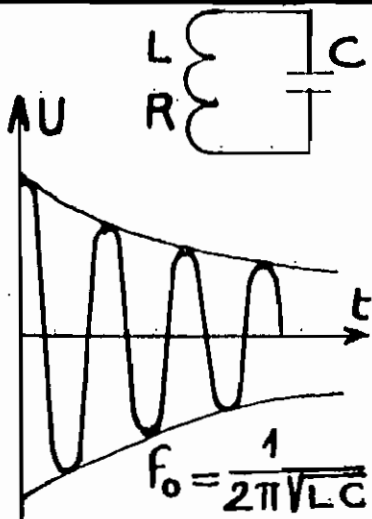


Fig. 21 - Oscillations amorties

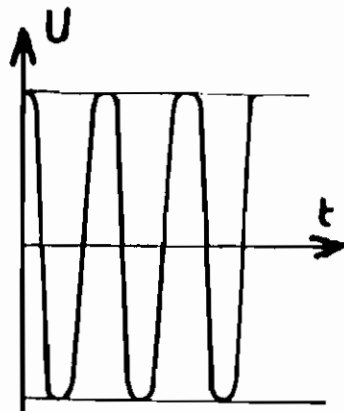


Fig. 22 - Oscillations entretenues

Conditions d'oscillation: $M \mu \frac{A_i \sqrt{L}}{R \sqrt{C}} \geq r_e$
 $M^2 \approx LL'$ M : induction mutuelle

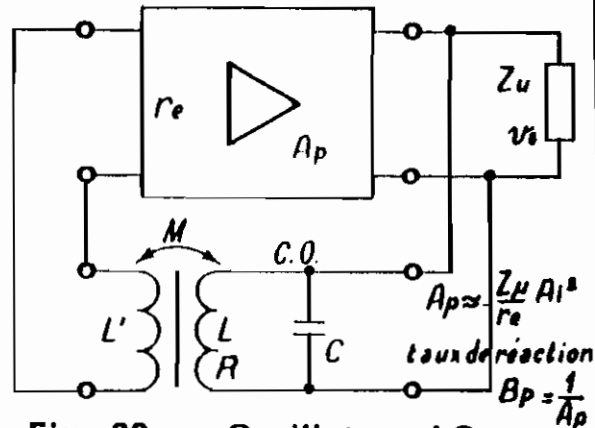


Fig. 23 - Oscillateur LC : principe

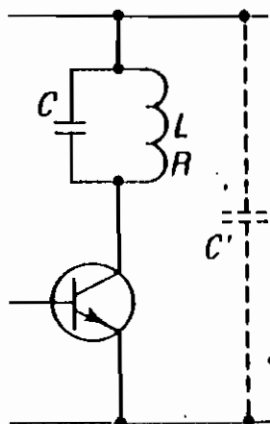


Fig. 24 - Alimentation série

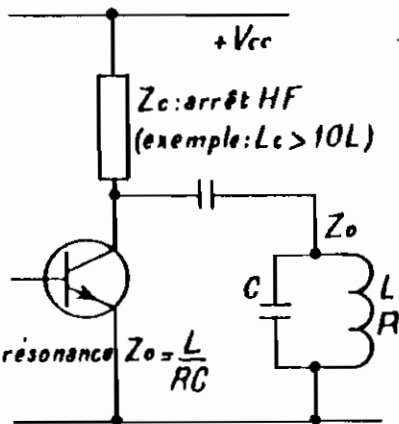


Fig. 25 - Alimentation parallèle

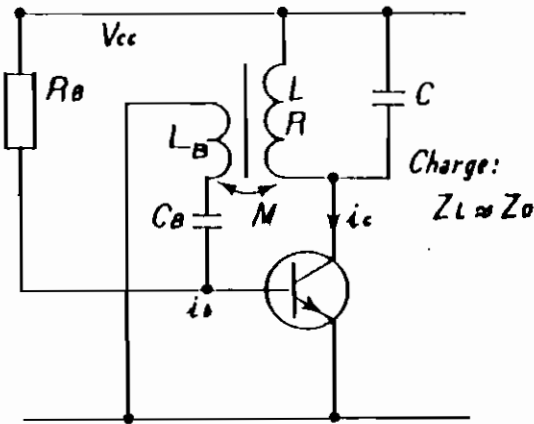


Fig. 26 - Oscillateur à collecteur accordé : Montage EC : principe

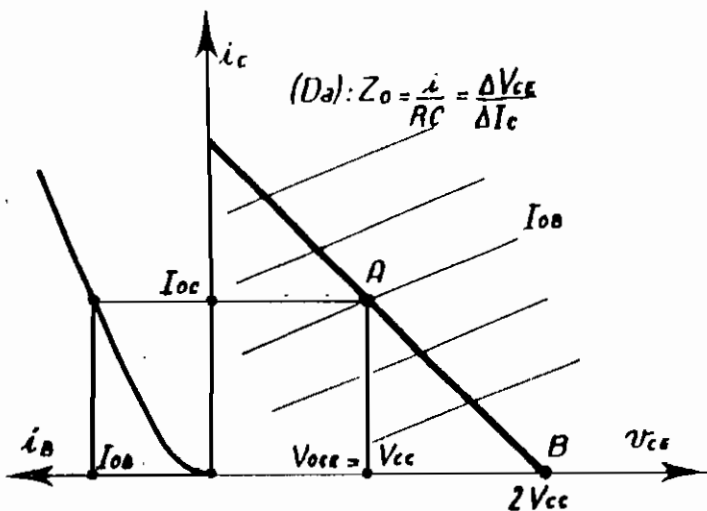


Fig. 27 - Réglage du point de repos en classe A

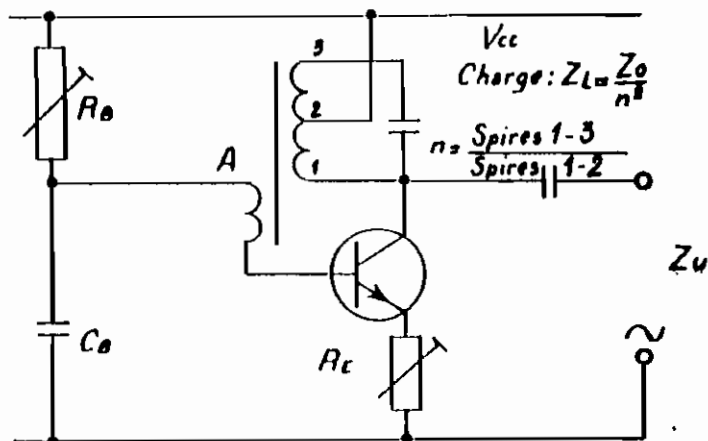


Fig. 28 - Oscillateur à collecteur accordé. Montage EC

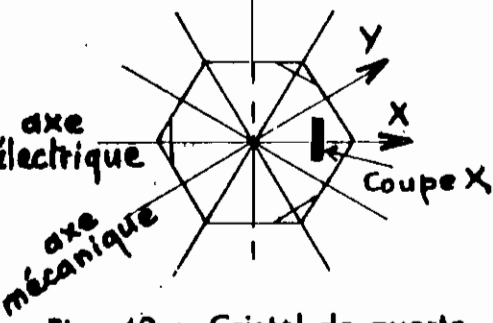
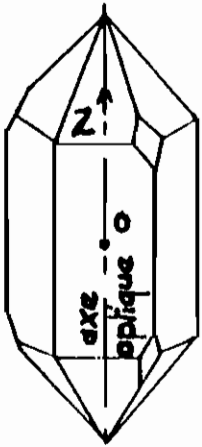
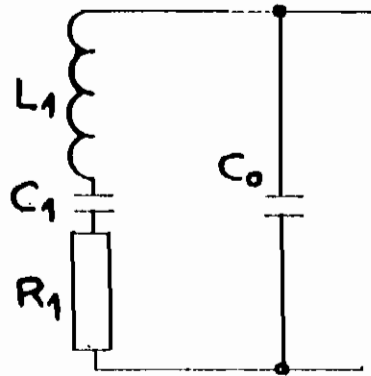


Fig. 42 - Cristal de quartz



Pour coupe AT de 1 à 100MHz

- L_1 : 10 à 1000 mH
- C_1 : 0,05 à 0,1 pF
- R_1 : 10 à 2000 Ω
- C_0 : 5 à 10 pF

Fig. 43 - Circuit équivalent

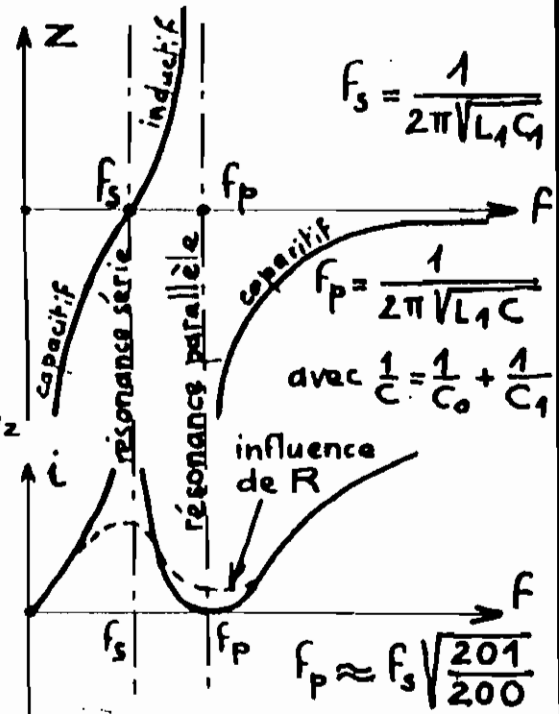


Fig. 44 et 45 - Impédance et courant en fonction de f

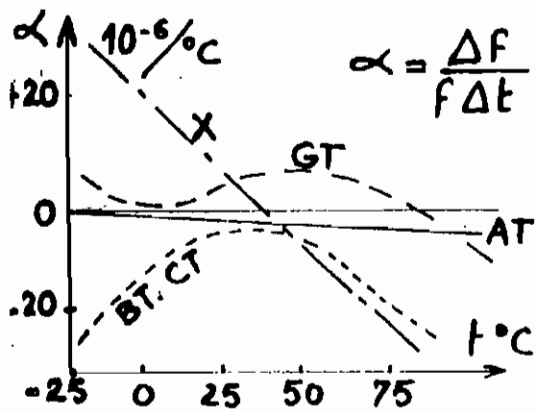


Fig. 46 - Variations du coefficient de température

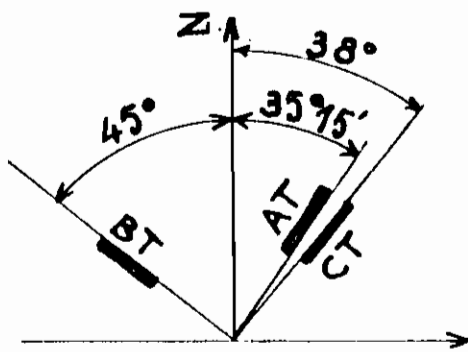


Fig. 47 et 48 - Angles de taille pour différentes coupes

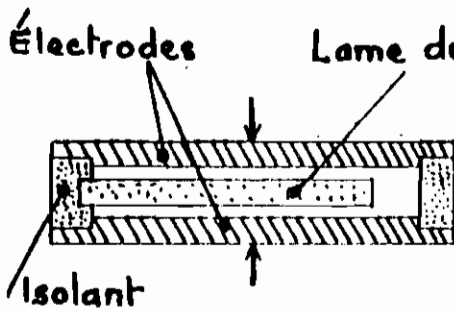
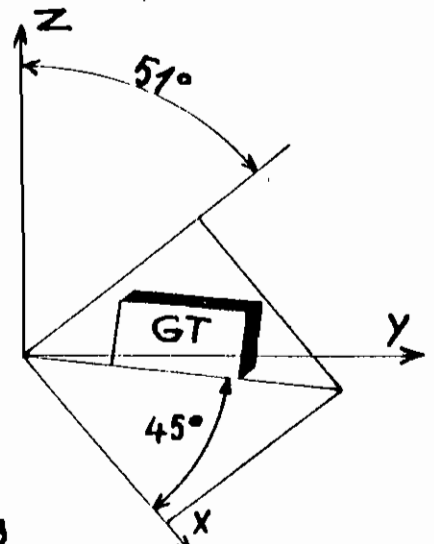


Fig. 49 - Montage d'une lame pour coupe AT ou GT

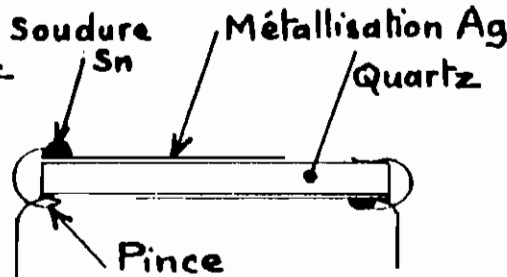


Fig. 50 - Montage d'une lame pour coupe CT, GT...

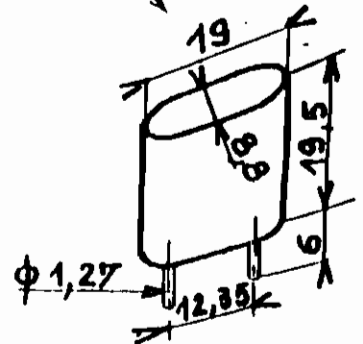


Fig. 51 - Boîtier

1) Modulation sans porteuse

Réalisée au moyen d'un modulateur en anneau (fig. 15), elle permet d'obtenir deux raies latérales (deux bandes latérales dans le cas général) sans fréquence porteuse (fig. 16). Les harmoniques supérieurs sont éliminés par filtrage. Toute l'information AF étant contenue dans une seule bande latérale, on élimine l'autre par filtrage (émission à bande latérale unique BLU). Les avantages principaux sont :

- efficacité d'une émission BLU huit fois supérieure à celle d'une émission classique ;
- place occupée en fréquence moitié moindre (3000 Hz en téléphonie) ;
- discrétion relative des communications, car la réception n'est pas possible sur un récepteur ordinaire ; il faut rétablir la porteuse centrale pour pouvoir démoduler.

II - ÉMISSION EN MODULATION DE FRÉQUENCE (M.F.)

1° Principe

Les figures 18 et 19 montrent comment s'effectue la modulation. La fréquence porteuse RF varie de part et d'autre de la fréquence centrale au rythme de la modulation AF.

Théoriquement, la MF nécessite la transmission d'une infinité de raies latérales. Pratiquement, on limite l'excursion à 150 kHz sans inconvénient (fig. 21 et 22).

Les caractéristiques normalisées des émissions en MF sont portées dans le tableau ci-contre.

2° Procédés de modulation

a) Microphone HF (fig. 23)

C'est un microphone à condensateur mis en parallèle sur le C.O. d'un oscillateur HF. La variation de capacité du microphone module directement la HF de l'oscillateur.

b) Modulation par diode à capacité variable «Varicap» (fig. 24)

La capacité de la diode polarisée en inverse par la tension V_0 est mise en parallèle sur le C.O. La modulation se fait en superposant la tension AF à V_0 . La capacité de la diode varie au rythme de la modulation. Il faut appliquer ΔV_0 relativement faible pour limiter la distorsion pendant une alternance. C'est le procédé le plus utilisé.

c) Modulation par noyau en ferrite saturé (fig. 25)

La tension V crée un champ H qui saturé le noyau. Lorsqu'on superpose à la tension V la tension de modulation, le champ H est modulé au même rythme, ainsi que la perméabilité μ du noyau (fig. 26). Il en résulte que l'inductance du circuit oscillant $L = k\mu$ varie aussi au même rythme. L'inconvénient du procédé est qu'il nécessite un champ H_0 élevé (V_0 grande). De plus, les variations rapides sont mal reproduites.

3° Avantages de la modulation de fréquence

- Haute fidélité : reproduction correcte des fréquences jusqu'à 15000 Hz.
- Dynamique orchestrale respectée.
- Taux de modulation non limité.
- Peu sensible aux parasites d'amplitude.
- Insensibilité aux parasites renforcée par l'utilisation d'antennes directives.
- Meilleure sélectivité.
- Puissance émise à l'émission constante.

4° Inconvénients

- Bruit de fond élevé. On augmente le rapport signal/bruit de fond à l'émission au moyen d'un filtre de préaccentuation qui élève le niveau des hautes fréquences. On fait l'opération inverse (filtre de désaccentuation) à la réception pour rétablir le niveau.
- Rayonnement des émetteurs localisé.
- Circuits de réception plus compliqués, donc plus coûteux.

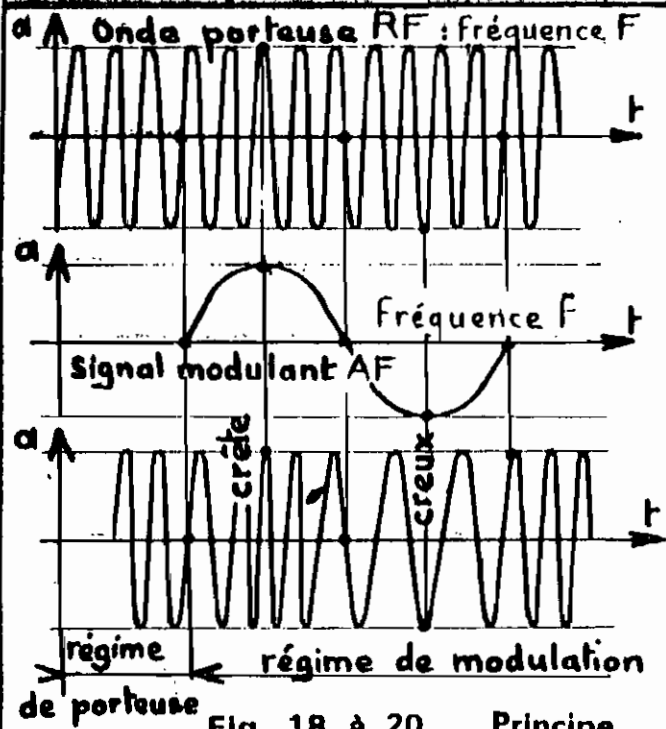


Fig. 18 à 20 — Principe

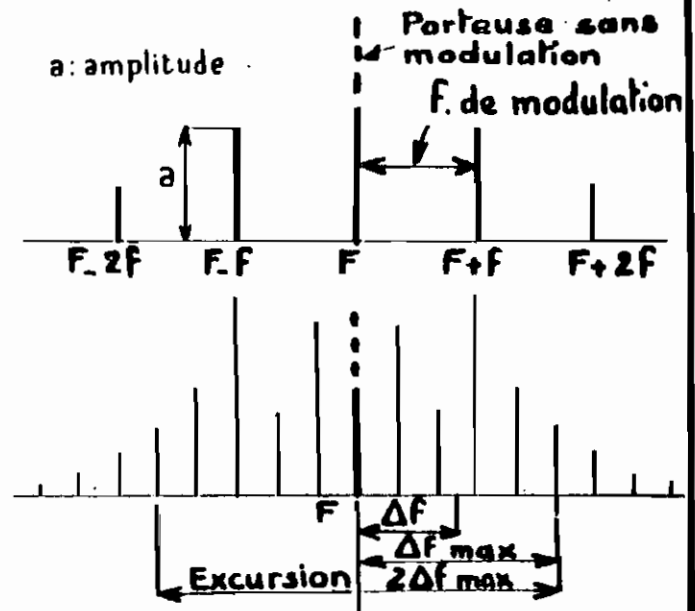


Fig. 21 et 22 — Raies latérales

CARACTÉRISTIQUES NORMALISÉES

Gamme des émissions F.M.	87,5 à 100 MHz
Largeur d'un canal	200 kHz
Nombre de canaux	62
Excursion de fréquence	$2\Delta f_{max} = 150 \text{ kHz}$
Déviation de fréquence	$\Delta f_{max} = \pm 75 \text{ kHz}$
Fréquence intermédiaire à la réception	Fi : 10,7 MHz
Bande passante des étages FI à la réception	200 kHz
Constante de temps du filtre de préaccentuation	$\tau = RC = 75 \mu s$
Indice de modulation	$n = \Delta f_{max}/f$

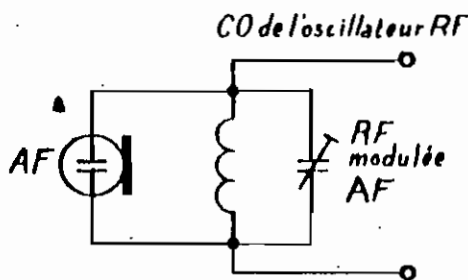


Fig. 23 — Microphone HF (ou RF). Modulation par capacité variable

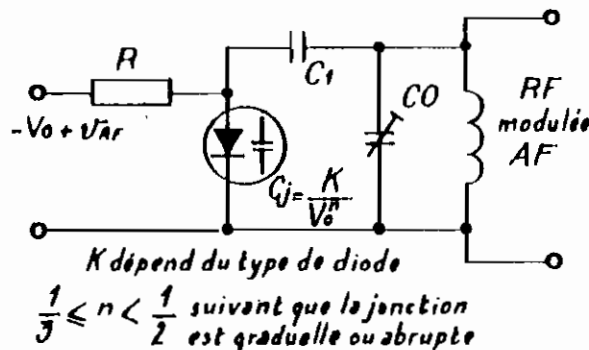


Fig. 24 — Modulation par diode à capacité variable « vericap »

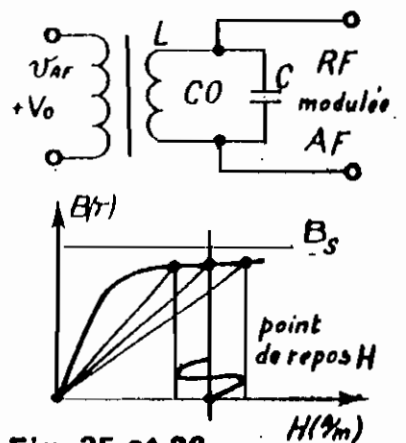


Fig. 25 et 26 — Modulation par noyau de ferrite saturé

8° Convertisseur en modulation de fréquence (fig. 32)

Les transistors sont du type plan épitaxié dont la fréquence de coupure peut atteindre 300 MHz. Le premier étage (transistor BF 215) est un amplificateur RF.

Un fonctionnement stable sans neutrodynage nécessite un montage de transistor à base commune. Le circuit oscillant d'entrée est accordé sur le milieu de la bande. L'amortissement provoqué par l'antenne et par l'impédance d'entrée du transistor est tel que la bande de 86 à 100 MHz est couverte.

Le circuit oscillant du collecteur est accordé par un CV de 13 pF. On place une bobine d'arrêt RF sur le négatif de l'alimentation.

Le convertisseur (transistor BF 226) est du type additif. Le transistor est monté en base commune, le circuit oscillant de l'oscillateur est placé dans le circuit collecteur et le mélange des deux fréquences se fait sur l'émetteur.

L'oscillateur à collecteur accordé a ses oscillations entretenues par la réaction obtenue au moyen du condensateur ajustable de 6 pF qui permet de régler la réaction.

L'accord est obtenu par les bobinages variables LV_1 , LV_2 à noyaux plongeurs en ferrite, couplés mécaniquement. L_3C_3 est un réjecteur (ou trappe) accordé sur 10,7 MHz évitant à la FI d'être rayonnée par l'antenne.

• Commande automatique de gain (CAG)

Elle est obtenue par un dispositif automatique ayant pour but de maintenir sensiblement constant le niveau de la porteuse du signal utile avant détection, en agissant sur l'amplification des étages précédents.

Cette régulation est rendue nécessaire par les écarts de tension à l'entrée du récepteur pouvant varier entre 1 et 100 000. D'autre part, des phénomènes d'évanouissement plus ou moins périodiques (fading), dus à des défauts de propagation des ondes dans l'atmosphère, nécessitent d'augmenter l'amplification lorsque le signal diminue à l'entrée et inversement.

On utilise à cet effet la pente réglable des transistors RF. Lorsque la valeur moyenne de la tension détectée diminue, la polarisation du transistor RF commandée par la tension de CAG se déplace du côté de l'augmentation de pente, d'où une amplification plus grande.

• Commande automatique de fréquence (CAF)

Elle permet de compenser automatiquement la dérive de fréquence de l'oscillateur. Sur récepteur FM, le système est simple puisqu'on possède déjà le détecteur de fréquence. La composante continue détectée fournit une tension dont le sens varie en même temps que les variations de la FI. Il suffit de placer en parallèle sur le CO de l'oscillateur une diode à capacité variable avec la tension qui lui est appliquée (Varicap). Sa variation de capacité compense exactement la dérive de fréquence.

9° Commande unique

Quelle que soit la fréquence du signal à l'entrée, la fréquence intermédiaire FI doit rester constante. Cet écart constant doit être maintenu en commandant avec le même axe (commande unique) les deux CV, celui du circuit d'entrée et celui de l'oscillateur local.

Cette solution rigoureuse nécessite des bobines identiques et des CV à variation linéaire de fréquence dont les rotors sont décalés d'un angle convenable.

Pour des raisons de prix, on utilise deux CV « standards » identiques à profil circulaire (1) et des bobines différentes. Mais la différence FI ne peut plus être constante (fig. 33). On peut néanmoins, avec des condensateurs ajustables incorporés au CO de l'oscillateur local, obtenir une caractéristique corrigée qui coïncide en trois points avec la caractéristique idéale (fig. 37).

Deux dispositions peuvent être adoptées (fig. 34 et 35) :

- le condensateur en série C_p avec la bobine est appelé « padding » ;
- le condensateur en parallèle C_t avec le CV est appelé « trimmer ».

Généralement C_p est fixe, le réglage se faisant avec C_t et L_0 . Le montage de la figure 34 permet un calcul précis des éléments du CO, alors que le montage de la figure 35 ne permet qu'un calcul approximatif.

L'action du trimmer est surtout sensible aux fréquences élevées.

L'action du padding est surtout sensible aux fréquences basses.

En OC on supprime le padding et le réglage se fait en deux points seulement.

(1) Pour la normalisation des CV standard ou midline, voir *Technologie d'électronique*, du même auteur. Quelquefois, on utilise des inductances variables (LV) à la place des condensateurs variables (CV). Un exemple est donné à la figure 32.

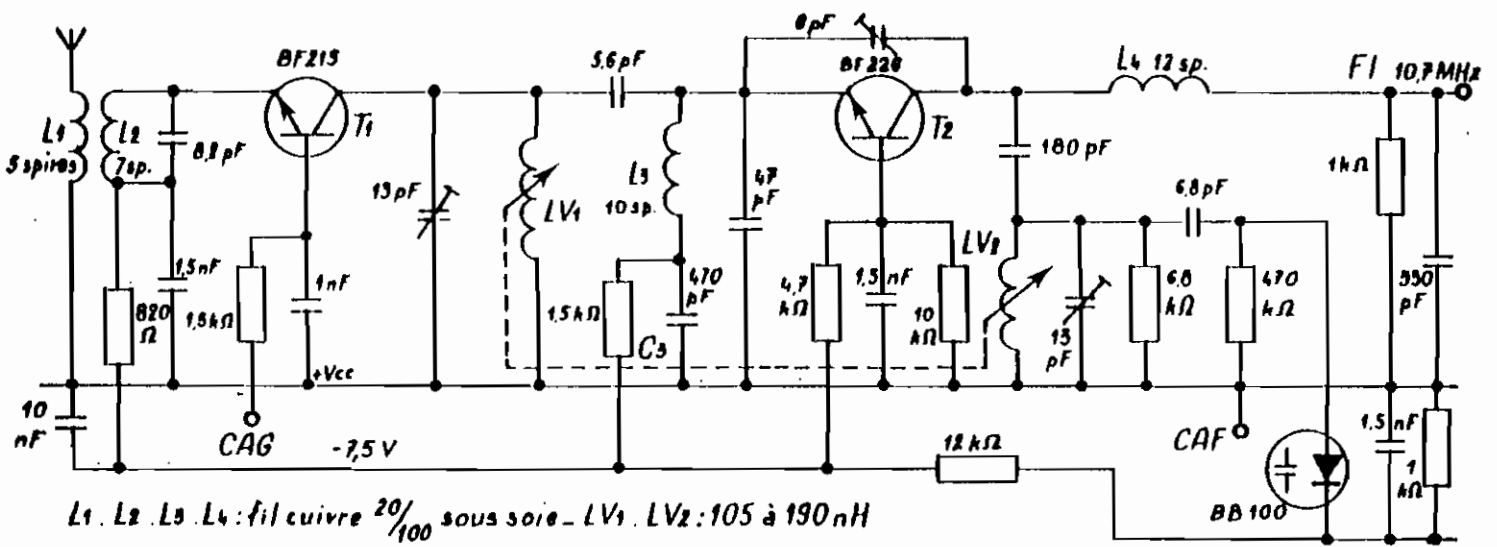


Fig. 32 — Ampli RF et oscillateur-mélangeur pour récepteur MF

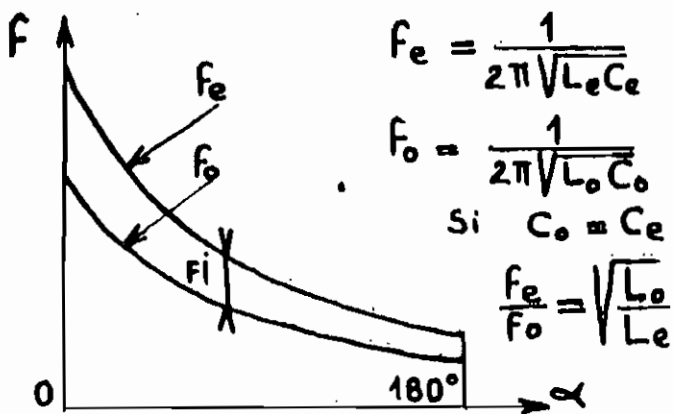


Fig 33 - Variation de f_e et f_o sans correction

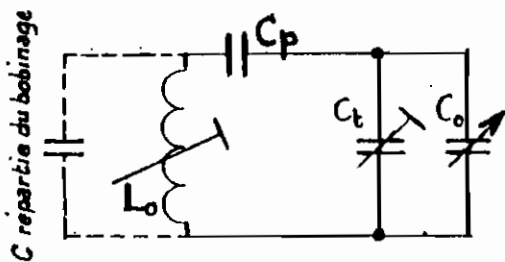


Fig. 34 C_p en série avec L_o

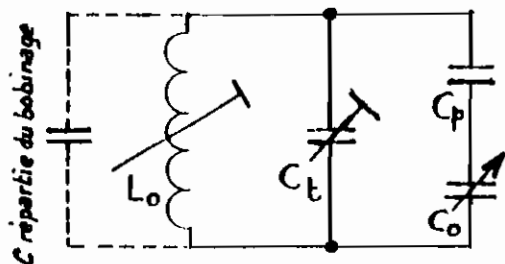


Fig. 35 - C_p en série avec C_o

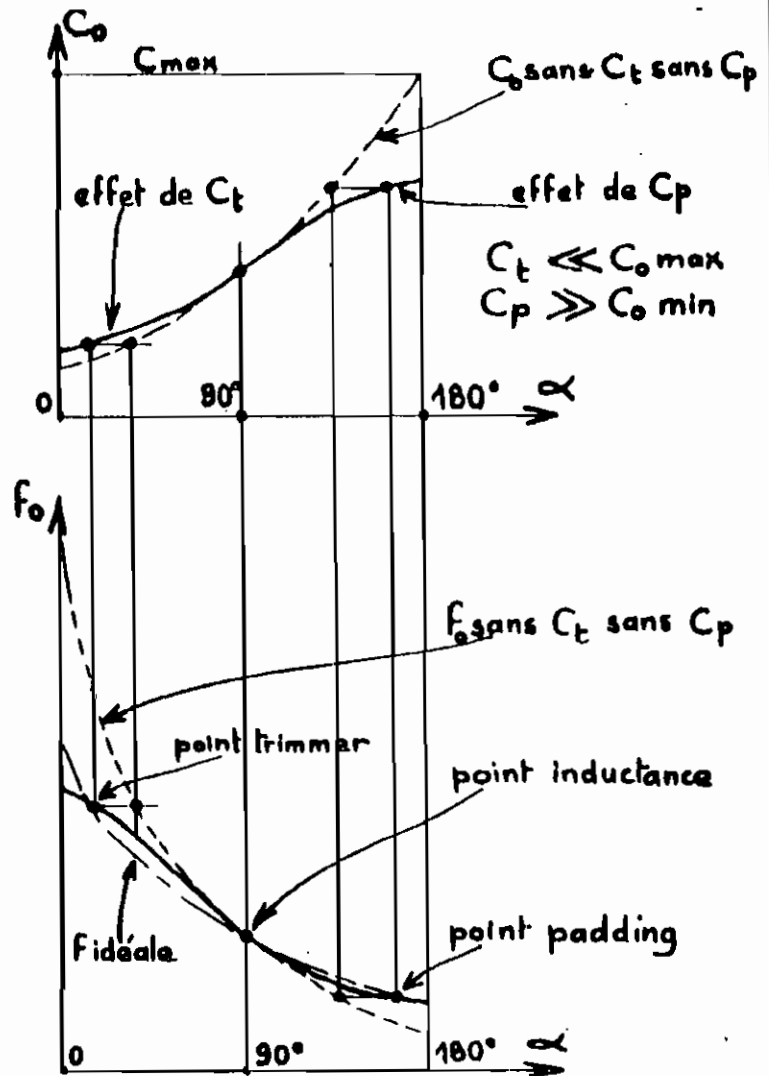


Fig. 36 et 37 - Variation de f_o avec correction

VI - AMPLIFICATION DE LA F.I.

1° Réception en MA

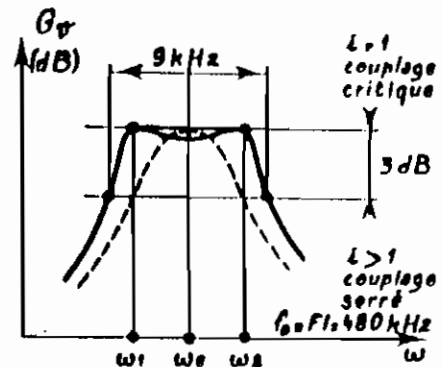
a) Principe

Après le changement de fréquence, la fréquence intermédiaire normalisée et fixe peut être amplifiée par des transistors HF de type «plan épitaxié» ou par des circuits intégrés spécialement étudiés pour cet usage avec des circuits pré-réglés.

Les liaisons entre les étages FI (deux étages) se font par des transformateurs accordés, ayant une excellente courbe de sélectivité tout en ayant une bande passante globale à 3 dB égale à 9 kHz afin de laisser passer convenablement le signal AF ($B_3 = 6$ kHz en téléphonie).

Les transformateurs sont différents et peuvent être soit à primaire seul accordé, soit à primaire et secondaire accordés.

Les deux premiers transformateurs sont réglés au couplage critique ($l = 1$) ou très légèrement au-dessus, le troisième avec un couplage plus serré ($l = 1,5$) pour compenser l'amortissement introduit par la diode de détection. Le couplage est réglé au moyen d'une vis en ferrite douce que l'on enfonce plus ou moins dans les bobinages. La courbe de sélectivité globale doit avoir la forme de la courbe en trait plein ci-contre ($B_3 = 9$ kHz).



$$\omega_1 = \omega_0 / \sqrt{1+k} \quad \omega_2 = \omega_0 / \sqrt{1-k}$$

$$\text{Facteur de couplage } k = M / \sqrt{L_1 L_2}$$

$$\text{Indice de couplage } l = k \sqrt{Q_1 Q_2}$$

$L_1 L_2$ inductances du primaire et du secondaire

$Q_1 Q_2$ coefficient de qualité de L_1 et L_2

b) Application

Fig. 42 - On utilise en général deux étages à FI, soit trois transformateurs. Les prises intermédiaires sur les enroulements permettent de diminuer l'amortissement provoqué par les faibles résistances en parallèle sur les CO. La fréquence de coupure des transistors doit être comprise entre 5 et 10 MHz. Ils sont polarisés et stabilisés de façon classique. La diode SFD 106 est une diode d'amortissement utilisée en complément de la CAG qui polarise le premier transistor amplificateur (voir principe CAG en K6).

Le courant I_B du premier transistor amplificateur FI est commandé par la tension de CAG. Pour les signaux faibles, la diode D_1 est polarisée au blocage par la résistance R . Pour les signaux forts, le potentiel en A diminue par suite de la diminution de I_C consécutive à la diminution de I_B contrôlée par CAG. La diode se débloque et amortit le CO, compensant ainsi partiellement l'augmentation de la résistance d'entrée du transistor. Le gain diminue et la bande passante du transformateur augmente.

La tension de CAG est à seuil réglable par le potentiomètre P .

En principe, il n'y a pas lieu de neutrodynner avec les transistors BF 233. Si un accrochage se produit, il suffit de brancher sur T_2 (éventuellement sur T_1) un condensateur céramique de 3,3 pF (C_n en pointillés sur la figure: voir principe du neutrodynage sur amplificateurs RF en K1).

2° Réception en MF

a) Principe

Les différences avec l'amplification FI en MA sont:

- $FI = 10,7$ MHz et $B_3 = 200$ kHz. (Pour obtenir une large bande les circuits sont surcouplés.)

- Nécessité d'utiliser trois à quatre étages d'amplification.

- Neutrodynage de chaque étage si nécessaire (cela dépend des types de transistors utilisés).

- Dernier étage fonctionnant généralement en limiteur d'amplitude. Il permet d'éliminer les parasites d'amplitude et d'appliquer au discriminateur un niveau constant. Il suffit pour cela de régler convenablement la polarisation du dernier étage pour que l'écrêtage (ou limitation) se fasse à la saturation. Dans ce cas, on ne neutrodynne pas.

b) Applications

Fig. 43 - La tension de CAG prévue pour agir sur l'étage amplificateur RF est obtenue par détection et filtrage à partir du collecteur de T_2 . Les résistances de 1 kΩ en série sur les collecteurs diminuent l'amortissement des CO.

Fig. 44 - L'amplificateur est réalisé au moyen de trois circuits intégrés utilisés avec des transformateurs à primaire et secondaire accordés. Le dernier étage joue aussi un rôle de limiteur.

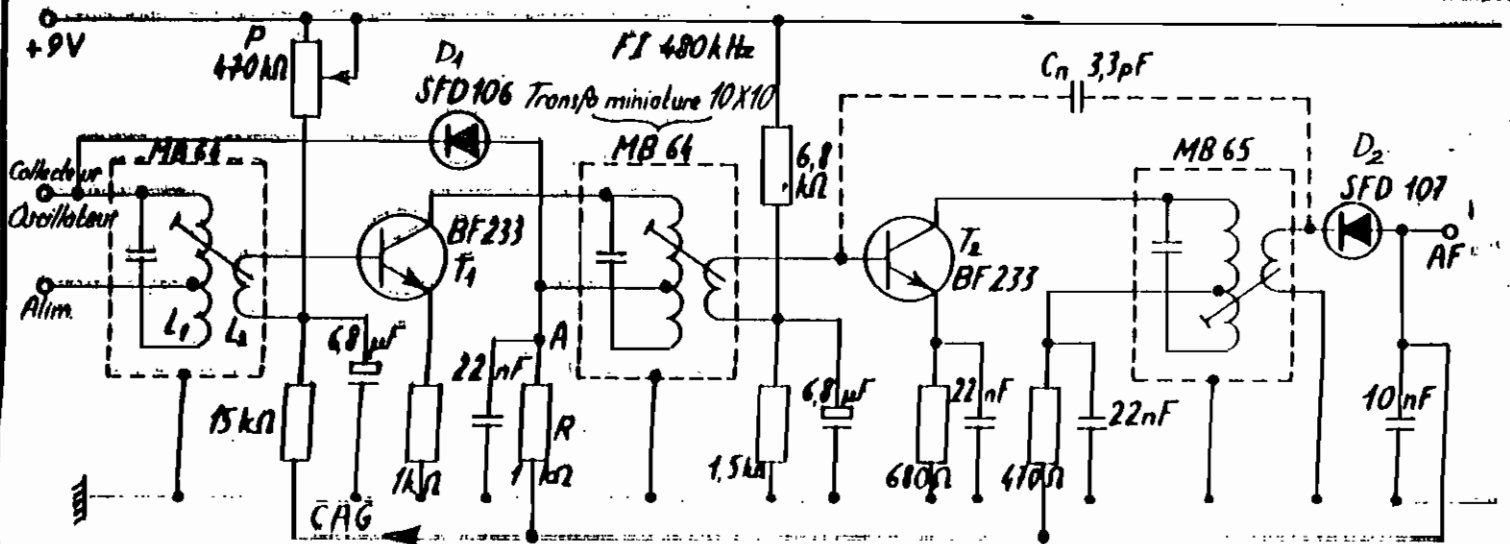


Fig. 42 — Étages amplificateurs à FI en MA

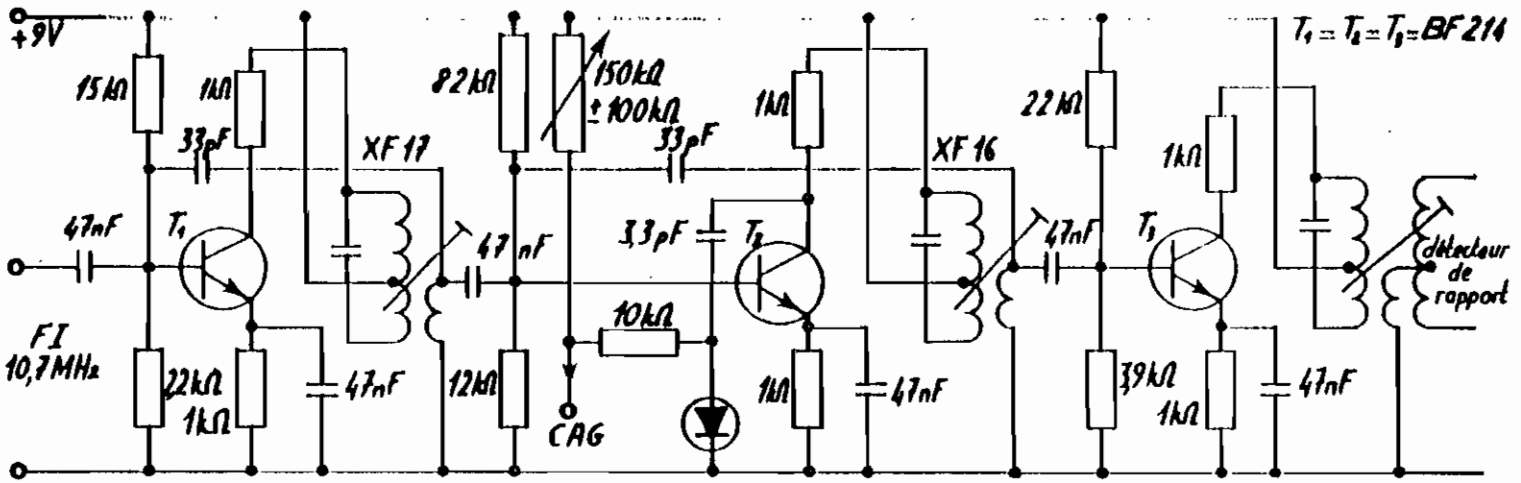


Fig. 43 — Étages amplificateurs à FI en MF

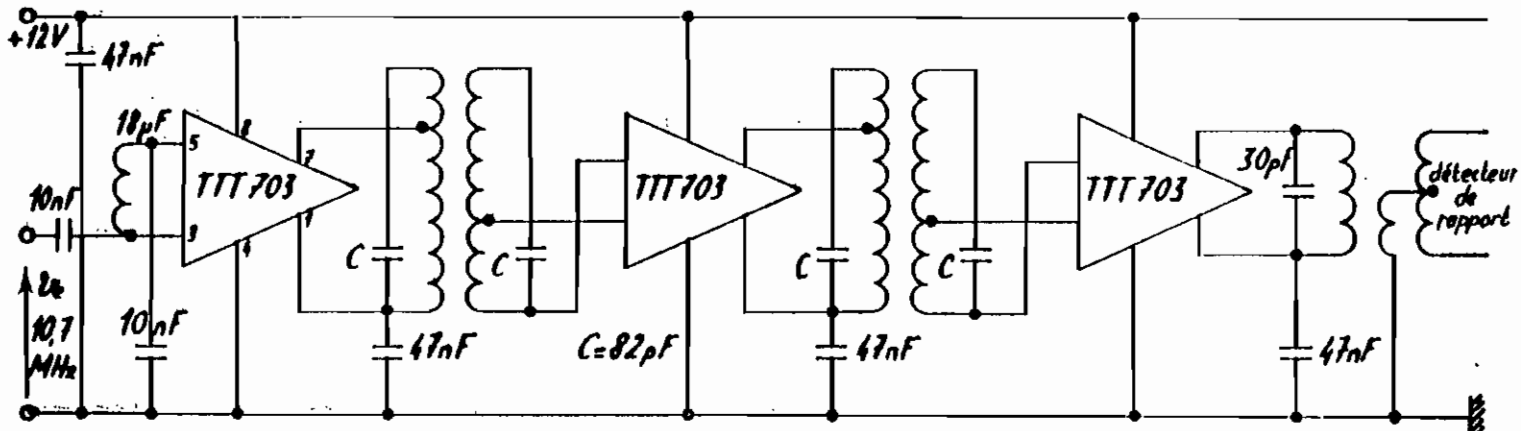


Fig. 44 — Étages amplificateurs à FI en MF avec circuits intégrés

VIII - DÉMODULATION EN MF OU DISCRIMINATION

1° Discriminateur de phase (discriminateur Foster-Seelay)

a) Principe (fig. 56)

Le circuit secondaire est accordé sur la FI. Le condensateur C amène la tension primaire aux bornes de R . La tension aux bornes de R est pratiquement égale à la tension au primaire V_p . Les tensions V_{s_1} et V_{s_2} sont à tout instant égales et en opposition de phase.

Les figures 57 à 59 montrent ce que deviennent les tensions à détecter V_{d_1} et V_{d_2} lorsque la fréquence s'écarte plus ou moins de la FI.

— La tension AF aux bornes de R_{d_1} , R_{d_2} est égale à la différence des tensions aux bornes de R_{d_1} et R_{d_2} . La différence est d'autant plus grande que le décalage de fréquence par rapport à la fréquence intermédiaire est plus grand.

b) Critique

Le système est sensible à la MA et il doit être précédé d'un limiteur d'amplitude efficace. La symétrie est difficile à obtenir. On ne dispose pas de tension négative de CAG.

2° Discriminateur de rapport

a) Principe (fig. 60 et 61)

Les diodes sont disposées en série dans le circuit de détection. Le condensateur de 10 μF donne une tension AF nulle aux bornes de AB. Les tensions à détecter déterminent la tension AF entre les points EF.

— Si la fréquence à détecter F_0 est égale à FI: $L_{s_1} \omega = 1/C_s \omega$ et $L_{s_2} \omega = 1/C_s \omega$,
 $V_{s_1} = V_{s_2}$ et $V_{c_1} = V_{c_2}$,

$V_{AF} = V_{c_1} - V_{R_1} = V_{c_2} - V_{R_2} = 0$, d'où $V_{R_1} = V_{R_2}$.

— Si la fréquence à détecter F_0 est plus grande que la FI: $L_{s_1} \omega > \frac{1}{C_s \omega}$.

La composition vectorielle de V_{s_1} et V_{s_3} d'une part, et de V_{s_2} et V_{s_3} d'autre part, donne, comme pour le discriminateur de phase, $V_{c_1} < V_{c_2}$, tandis que l'on a toujours $V_{R_1} = V_{R_2}$.

$V_{AF} = V_{R_1} - V_{c_1} = V_{c_2} - V_{R_2}$ soit $V_{AF} = \frac{V_{c_2} - V_{c_1}}{2}$.

— Si la fréquence à détecter F_0 est plus petite que la FI, on a: $1/C_s \omega > L_{s_1} \omega$. La composition vectorielle des tensions donne un résultat inverse et $V_{AF} = \frac{V_{c_1} - V_{c_2}}{2}$.

$V_{c_1} + V_{c_2} = C^{te}$ et la tension détectée est d'autant plus grande que le rapport V_{c_1}/V_{c_2} s'éloigne de un.

b) Critique

Ce système simple a une action de limiteur, car la constante de temps $R_1 R_2 C_3$ est élevée. En A la tension négative peut être utilisée comme tension de CAG.

Pour ne pas trop amortir l'étage précédent, on préfère prélever la tension de référence par un entoulement tertiaire, couplé serré avec le primaire, et l'angle de déphasage de la tension tertiaire ne varie pratiquement pas avec la fréquence.

La sensibilité est moitié de celle du discriminateur de phase, car il ne travaille que pendant une alternance, au lieu de deux.

c) Variante: figs 62 et 63

C'est le montage le plus utilisé. Les deux tensions RF, correspondant à l'alternance redressée, se referment par le condensateur C , aux bornes duquel on prélève la tension AF (fig. 37). La résistance R de 47 Ω évite une surcompensation des écarts d'amplitude et un désamortissement du primaire.

Le circuit $R_1 C_1$, filtre de désaccentuation dont la constante de temps est normalisée à 75 μs , a pour but de ramener les aiguës à leur niveau d'origine, car à l'émission ils sont renforcés pour augmenter le rapport signal bruit.

Plages d'influence des bruits

	1MHz	30MHz	50MHz	100MHz
Bruits de Fond				
Bruits atmosphériques				
Bruits indus. et brouillages				
Bruits dûs aux équipements				
Fading				
Plage conseillée				

LISTE BIBLIOGRAPHIQUE

- #1 GORDON RAISBCECK, Théorie de l'information, Edition MASSON et Cie, MIT 1964
- #2 E. ROUBINE, Introcduction à la théorie de la communication, Tome I, Editions MASSON et Cie, 1970
- #3 ALEXANDRU SPÄTARU, Théorie de l'information, Tome 1: Signaux et bruits, Editions MASSON et Cie, 1972
- #4 GEORGES CULLMAN, Codage et transmission de l'information Editions Eyrolles-Paris 2ème édition, 1972
- #5 J.CLAVIER - N. NIQUIL - G. COFFINET - F. BEHR, Théorie et technique de la transmission de données, Tome 1 et 2 Editions MASSON et Cie, 1972
- #6 P. DURANTON, Les Walkies-talkies, Editions techniques et scientifiques françaises
- #7 M. AUMIAUX , Microprocesseurs 8 bits Edition..... 4ème édition, février 1985.
- #8 SAMES , Telephone IC Databouk, Edition SIGMA press