

RÉPUBLIQUE DU SÉNÉGAL



ÉCOLE POLYTECHNIQUE DE THIÈS

PROJET DE FIN D'ÉTUDES

EN VUE DE L'OBTENTION DU DIPLOME D'INGÉNIEUR DE CONCEPTION

TITRE CONCEPTION ET REALISATION
D'UNE INTERFACE ANALOGIQUE NUMERIQUE
POUR SYSTEME D'ACQUISITION DE DONNEES - II

AUTEUR : Abdou-Rahmani SANA

DIRECTEURS : Igor SABATIN

Raymond PRINCE

DATE : MAI 1987

REMERCIEMENTS

L'auteur tien à remercier les personnes suivantes de leur assistance.

Professeurs

M^r Igor SABATIN : professeur d'Electricité, département de
Genie Mecanique EPT

M^r Xavier ARREGUIT et Christian C. ENZ : chargés de cours.
Département d'Electricité EPFL Lausanne (SUISSE)

M^r Pape Alioune N'diaye : département d'electricité ENSUT-Dakar.

Techniciens

M^r Raymond PRINCE : Laboratoire d'Electrotechnique EPT

M^r Roger FAYE : Laboratoire d'Electrotechnique EPT

Ingénieur

M^r Tamoussi Obod BONZI : Ingenieur en Genie Mecanique
9^e promotion EPT

Elèves - Ingénieurs

M^r Ibrahim SANA Ecole des Hautes Etudes Industrielles
LILLE (FRANCE)

M^r Beyhim Ould Sidi Ould TACHEFINE : 12^e promotion EPT

RESUME

L'Interface Analogique d'Acquisition de Données (IAAD)*
Conçue et réalisée à l'École Polytechnique de Thiès est un instrument de mesure par ordinateur.

Elle permet (l'interface) de mesurer et de traiter, à la fois jusqu'à 64 paramètres physiques de toute nature avec une très grande vitesse et une précision de 1 pour 1000, autorisant ainsi la prise de décision en temps réel et/ou la constitution de banques de données.

Le présent ouvrage présente les différentes étapes de la réalisation :

- de la théorie à la pratique
- de l'analogique au digital
- du matériel au logiciel

* entendez par là Interface Analogique-numérique pour système d'Acquisition de Données

TABLE DES MATIERES

Matieres	Page
AVANT PROPOS	1
INTRODUCTION	2
<hr/>	
CHAPITRE I GENERALITES	4
<hr/>	
1-1 CONFIGURATION GENERALE D'UN SYSTEME D'ACQUISITION ET DE CONTROLE PAR ORDINATEUR	4
1-2 CONFIGURATION D'UN SYSTEME D'ACQUISITION DE DONNEES	6
<hr/>	
CHAPITRE II LES CHARGES ET LA SOLUTION RETENUE	9
<hr/>	
2-1 LE CAHIER DE CHARGES	9
2-2 LA SOLUTION RETENUE : LE BLOC DIAGRAMME DE L'INTERFACE	10
<hr/>	
CHAPITRE III LES PRINCIPAUX BLOCS FONCTIONNELS	13
<hr/>	
3-1 LA CONVERSION ANALOGIQUE-DIGITALE	13
3-1-1 Caracteristiques des A/D	13

3-1-1 a	la quantification	14
3-1-1b	Fonction de transfert	14
3-1-1-c	Résolution	15
3-1-1-d	Précision	15
3-1-1-e	le temps de conversion	16
3-1-2	Caractéristiques Réelles des A/D	16
3-1-2-a	l'erreur de gain	16
3-1-2-b	l'erreur de décalage	16
3-1-2-c	les erreurs de linéarité	16
3-1-3	Cadence limite de conversion	18
3-1-4	le codage binaire dans les A/D	19
3-1-5	le ADC 82 de BURR-BROWN	20
3-1-5-1	Principe des A/D à Approximations Successives	20
3-1-5-2	Caractéristique du ADC 82	22
3-1-5-3	mise en œuvre du ADC 82	23
	a) mode opératoire	23
	* mode continu	24
	* mode intermittent	26
	b) choix du mode de fonctionnement	27
3-2	<u>L'ECHANTILLONNAGE-BLOQUE (S/H)</u>	28
3-2-1	principe de l'échantillonneur bloqueur (S/H)	28
3-2-2	réalisation	29
3-2-3	Fréquence d'échantillonnage	30
3-2-4	Spécification du S/H	30

3-2-5	le SHC80 de BURR-BROWN	32
3-2-5-a	Caractéristiques	33
3-2-5-b	mise en œuvre	34
	* la durée de l'échantillonnage	34
	* la commande d'échantillonnage	35

3-3 L'AMPLIFICATION ET LE FILTRAGE 37

3-3-1	L'amplificateur différentiel	37
3-		
3-3-2	condition d'utilisation d'un amplificateur différentiel	38
3-3-3	spécification de l'amplificateur différentiel	40
3-3-4	l'amplificateur d'instrumentation	41
3-3-5	le PGIA 3606 de BURR-BROWN	41
3-3-5 a	Caractéristiques du PGIA 3606	42
	* Sélection du gain	43
	* Largeur de bande	44
	* temps de montée	44
	* Rejection de mode commun	44
	* Réduction du bruit	45
3-3-5-b	mise en œuvre	45

3-4 LE MULTIPLEXAGE ANALOGIQUE 46

3-4-1	la porte de transmission CMOS	46
3-4-2	le T1PC8D de BURR BROWN	48
3-4-2-a	Description et principe de fonctionnement	48
3-4-2-b	Comportement statique	49
3-4-2-c	Comportement dynamique	50

* temps de monte	51
* temps de commutation	52
* le crosstalk	52
* rejection de mode commun	53
3-4-2-d mise en oeuvre	53
3-5 <u>LA LOGIQUE DE CONTROLE</u>	55
3-5-1 décodage des adresses	55
3-5-2 les lignes de commande	57
3-5-3 synchronisation	59
3-5-4 les chronogrammes d'acquisition	59
* mode "multivoie"	59
* mode "univoie"	61
3-6 <u>LES ALGORITHMES D'ACQUISITION</u>	62
3-7 <u>CARACTERISTIQUE DE L'IARD</u>	63
3-7-1 interfacage avec les microprocesseurs	63
3-7-2 caractéristiques électriques	63
.a. caractéristiques d'entrée	63
.b. cadences maximum d'acquisition	63
.c. alimentation	64
.d. fonction de transfert	65
.e. résolution	66
.f. protection contre les surtensions	66
.g. connexion du signal	66

3-7-2 tableau résumé des caractéristiques de l'IAAD	67
---	----

CHAPITRE IV ADAPTATION A APPLE II ET PROGRAMMATION

69

4-1 LE SYSTEME APPLE II

69

4-1-1 le microprocesseur 6502

70

a) organisation interne du 6502

70

b) les instructions du 6502

72

4-1-2 les mémoires du système Apple II

72

4-1-3 interfacement des entrées-sorties.

73

4-2 INTERFACAGE DE L'IAAD AVEC APPLE II

73

4-2-1 description du VIAR6522

74

4-2-2 les fonctions du VIAR6522

75

4-2-3 mise en oeuvre du VIA

79

4-3 Programmation

80

4-3-1 Choix du langage

80

4-3-2 les adresses du VIA

81

4-3-4 programmation en mode "Multivoie"

82

4-3-5 programmation en mode "Univoie"

83

CHAPITRE V CARTES ET REGLAGES

84

5-1 LES CARTES DE L'IAAD

84

5-2	<u>LES REGLAGES DE L'IAAD</u>	85
CHAPITRE VI CONCLUSION		87
<u>APPENDICE I LA SOLUTION INITIALE</u>		89
	Cahier de charge	90
	bloc diagramme de l'interface	91
	schéma logique de l'interface	93
<u>APPENDICE II CARACTERISTIQUES ET MISE EN ŒUVRE DES PRINCIPAUX BLOCS FONCTIONNELS</u>		94
AII-1	<u>LA CONVERSION ANALOGIQUE NUMERIQUE</u>	95
	a) schéma de mise en œuvre du ADC82AG	95
	b) spécifications du ADC82AG	96
AII-2	<u>L'ECHANTILLONNAGE-BLOQUE</u>	97
	a) schéma de mise en œuvre du SHC80KP	97
	b) spécification du SHC80KP	98
AII-3	<u>L'AMPLIFICATEUR PGIA3606AG</u>	99
	a) schéma de mise en œuvre du PGIA3606AG	99
	b) spécifications du PGIA3606AG	100

d)	Caractéristique de gain du PGIA3606	102
A II-4	<u>LE MULTIPLEXAGE</u>	103
a)	mise en oeuvre du TAPC80 BURR-BROWN	103
b)	spécifications du TAPC80 BURR-BROWN	104
A II-5	<u>PROTECTION CONTRE LES SURTENSIONS</u>	105
	schéma de mise en oeuvre	105
A II-6	<u>LA LOGIQUE DE CONTROLE</u>	106
a)	circuit logique de l'IAAD	106
b)	caractéristiques des circuits logiques	107
A II-7	<u>MISE EN OEUVRE DU VIA 6522 (schéma)</u>	112
A II-8	<u>L'ALIMENTATION STABILISEE HAA15-08A</u>	113
<hr/>		
APPENDICE III LES SIGNAUX ET LE JEU		
d'INSTRUCTION de APPLE II		115
<hr/>		
A III-1	LES SIGNAUX DU SYSTEME APPLE II	116
A III-2	JEU D'INSTRUCTION DU 6502	120
<hr/>		
APPENDICE IV CARTES ET PLANS		128
<hr/>		
A IV-1	<u>CARTE CENTRALE</u>	129
a)	gravure du circuit imprimé côté composants	129
b)	gravure du circuit imprimé côté soudures	130

AIV-2 CARTE MULTIPLEXEURS 131

- a) gravure du circuit imprimé côté composants 131
- b) gravure du circuit imprimé côté soudures 132

AIV-3 CARTE VIA 6522 133

- a) gravure du circuit imprimé côté composants 133
- b) gravure du circuit imprimé côté soudures 134

AIV-3 PLANS

PLAN 1 CIRCUIT ELECTRONIQUE
DE L'INTERFACE

PLAN 2 IMPLANTATION CARTE CENTRALE
(amplificateur, convertisseur A/D, échantillonneur
bloqueur SA et logique de contrôle)

PLAN 3 IMPLANTATION DE 8 MPC8D

PLAN 4 IMPLANTATION du VIA 6522.

BIBLIOGRAPHIE

AVANT PROPOS

La présente étude constitue la deuxième phase d'un projet intitulé "Conception et réalisation d'une interface analogique d'acquisition de données (IAAD)*" proposé dans le but de doter les laboratoires de l'EPT d'un instrument de mesure par ordinateur, précis, fiable et versatile.

La première phase où le système a été préconçu a été menée par dans un projet de fin d'étude précédent.

Le travail actuel (phase de réalisation) est donc mené sur la base de choix déjà effectués lors de la première phase. La nature pratique de ce travail (réalisation) nous oblige à réduire au minimum nécessaire les notions théoriques. La réalisation n'exclut pas cependant des modifications du système préconçu afin de l'adapter à de nouvelles exigences techniques, matérielles et logicielles.

Compte tenu des disponibilités en matériel expérimental du laboratoire d'électro-technique (carrence ou vétusté) certains paramètres des composants du systèmes n'ont pu être accessibles; aussi l'auteur se contente-t-il dans la plupart des cas des données du fournisseur pour mener des analyses et des choix d'après les critères suivants:

- Réduction du matériel (le plus possible) pour des raisons de coût et surtout de disponibilité
- Simplicité des logiciels d'acquisition
- vitesse d'acquisition

* Interface analogique-numérique pour système d'acquisition de données

INTRODUCTION

L'origine de ce projet tient à l'idée d'utiliser les grandes possibilités de traitement de l'information par les ordinateurs, et de bénéficier des avantages des systèmes digitaux par rapport aux systèmes analogiques : plus grandes vitesses, précision, versatilité, capacité de stockage etc...

Le monde qui nous entoure et notamment les grandeurs physiques concernées par la mesure (vitesse, accélération, force, pression, son, image etc...) sont de nature essentiellement analogique, c'est à dire qu'il s'agit de grandeurs continues pouvant prendre une infinité de valeurs entre deux limites fixées.

Dans les chaînes de mesure ces grandeurs analogiques sont dans un premier temps converties en signaux électriques (tension - courant...) de même nature mais plus facile d'exploitation grâce aux capteurs.

Par ailleurs les systèmes à processeur (l'ordinateur par exemple) ne peuvent traiter que des signaux numériques digitaux, c'est à dire des signaux qui ne peuvent prendre que deux valeurs discrètes (par exemple 0V et 5V ou 0mA et 400mA) représentant les deux états d'une variable logique* ("0" et "1").

Il est donc nécessaire qu'il existe un "interprète", un lien entre l'analogique et le digital afin de permettre le transfert des informations. Ce lien constitue l'Interface Analogique d'Acquisition de Données (IAAD) dont la réalisation est proposée.

On entend par donnée tout signal ou suite de signaux, porteur d'in-

* dans la suite de cet ouvrage nous considérerons que les termes "logique" "digital" et "numérique" sont équivalents

formations utiles ; la notion d'information utile étant elle-même naturellement, liée au contexte, aux besoins

Il a été dit que les grandeurs analogiques à mesurer étaient dans un premier temps converties en signal électrique grâce aux capteurs. Il ne sera ici traité des capteurs que dans une moindre mesure, l'essentiel étant la réalisation de l'interface d'acquisition proprement dit. A cette fin l'approche suivante est proposée :

- Généralités : étude de la configuration générale des systèmes d'acquisition de données et de contrôle ; objet du chapitre I
- présentation des charges et de la solution retenue objet du chapitre II
- Etude théorique et pratique des principaux blocs fonctionnels afin d'en déterminer les caractéristiques individuelles puis combinaison de ces caractéristiques individuelles afin de déterminer les performances globales du système : objet du chapitre III
- Adaptation à l'unité centrale de traitement et programmation : objet du chapitre IV.
- Enfin des annexes, figures et plan sont présentés en appendices et constituent un complément nécessaire à la compréhension de certains points développés dans le texte.

L'interface est conçue pour fonctionner avec des capteurs source de tension. De ce fait nous considérons dans tout le texte les signaux comme des tensions.

CHAPITRE I: GENERALITES

I-1 Configuration Générale d'un système d'acquisition et de contrôle PAR ordinateur

Un système complet d'acquisition et de contrôle peut être logique analogique ou hybride

La figure I-1 montre un exemple de configuration

* Le système analogique comprend:

- Un capteur analogique en contact avec la grandeur physique à mesurer dont il assure la conversion en signal électrique analogique. (tension)

- Une interface analogique d'acquisition chargée du conditionnement de la conversion du signal analogique en signal numérique et de l'isolation

- Une unité de traitement numérique (l'ordinateur et ses mémoires par exemple)

Une interface analogique de contrôle assurant la conversion numérique - analogique des ordres issues de l'ordinateur

- Un actionneur servant de relais entre l'organe à commander et l'interface de contrôle, assurant aussi l'isolation et l'adaptation de puissance entre l'ordinateur et l'organe à commander

- l'organe à commander, généralement un moteur électrique de puissance relativement élevée par rapport à l'ordinateur.

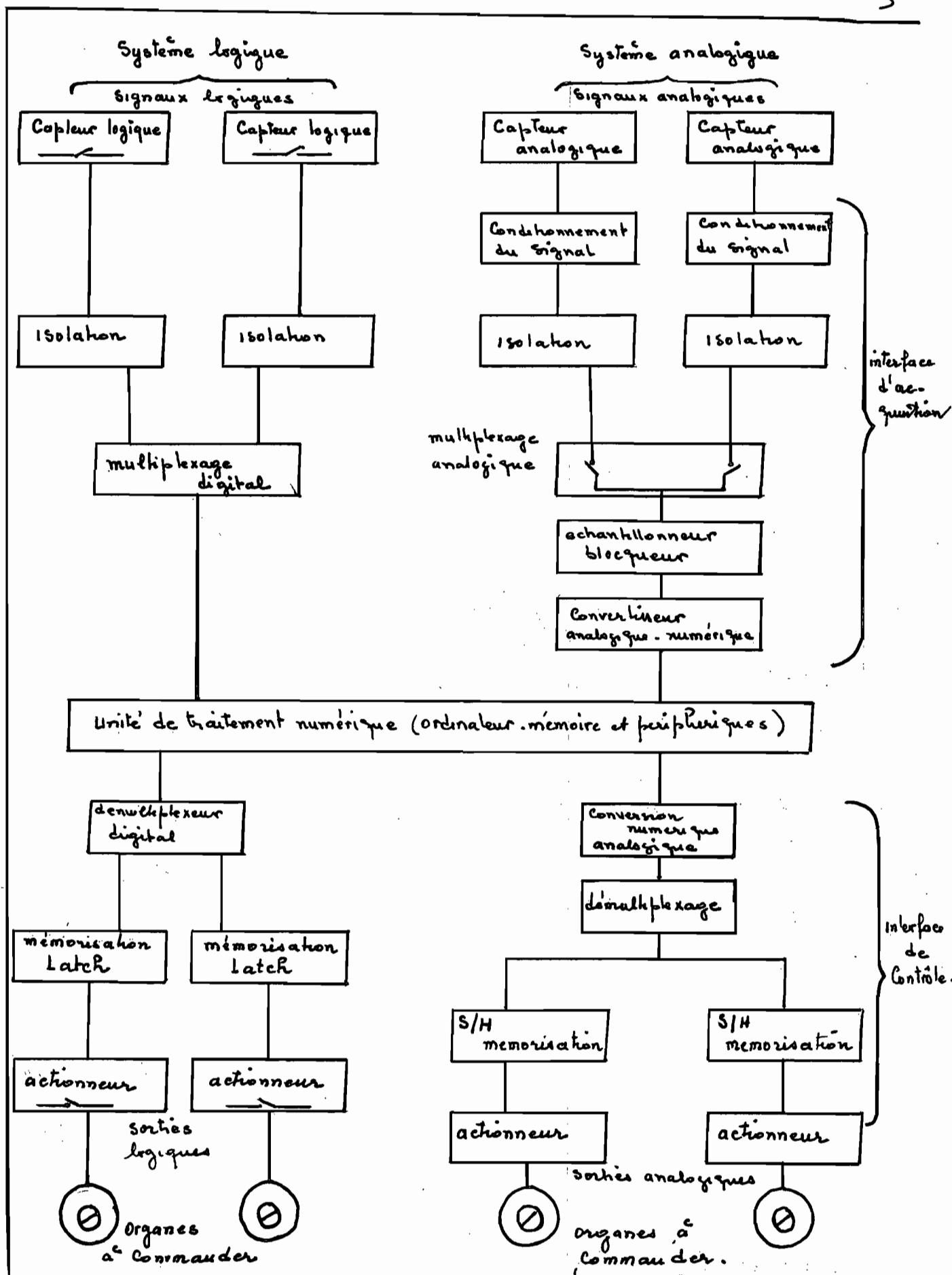


Fig 1:1 Configuration générale des systèmes d'acquisition de données et de contrôle par ordinateur.

Le système logique renferme à peu près les mêmes éléments que le système analogique avec cependant les différences suivantes

- le capteur, l'interface d'acquisition, et l'interface de contrôle sont digitaux.

- Il n'existe plus de conversion analogique-numérique puisque les signaux traités sont logiques.

Les systèmes hybrides sont de deux natures selon la nature des interfaces d'acquisition et de commande.

On distingue ainsi :

- les systèmes hybrides à acquisition analogique et commande logique.

- les systèmes à acquisition logique et commande analogique.

1-2 Configurations des systèmes d'acquisition de données

En pratique les systèmes d'acquisition de données sont conçus pour mesurer plusieurs paramètres à la fois. Ils comportent donc plusieurs entrées (ou voies ou canaux).

La structure d'ensemble d'un système d'acquisition est représentée à la figure 1-4. On y trouve

- Un capteur spécifique à chaque voie suivant la nature de

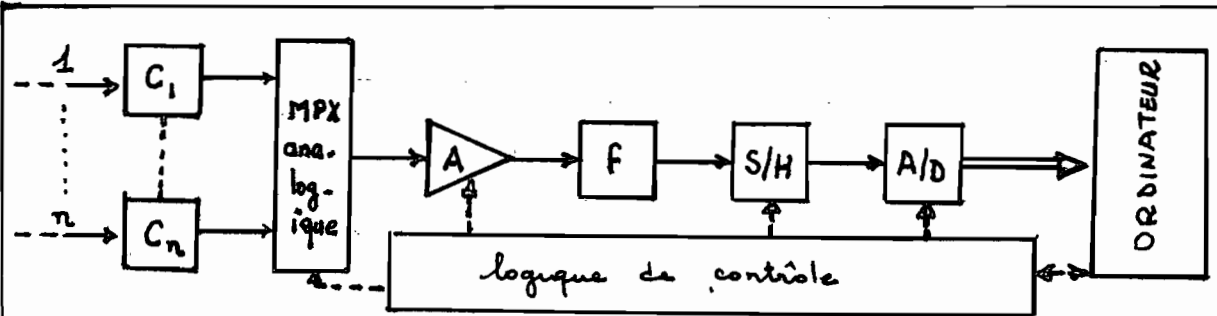


Fig 1-2 : multiplexage analogique avant amplification .

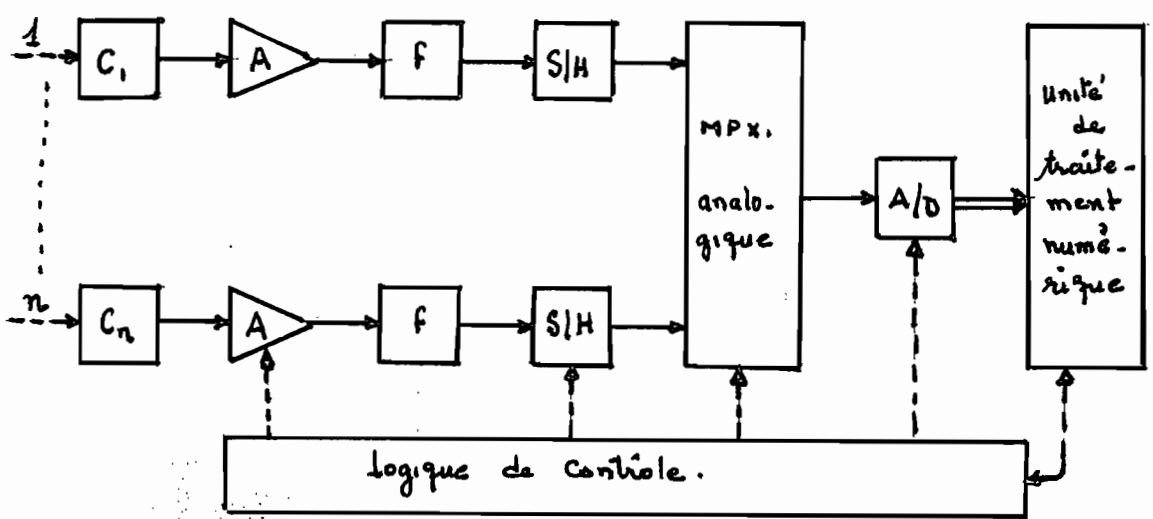
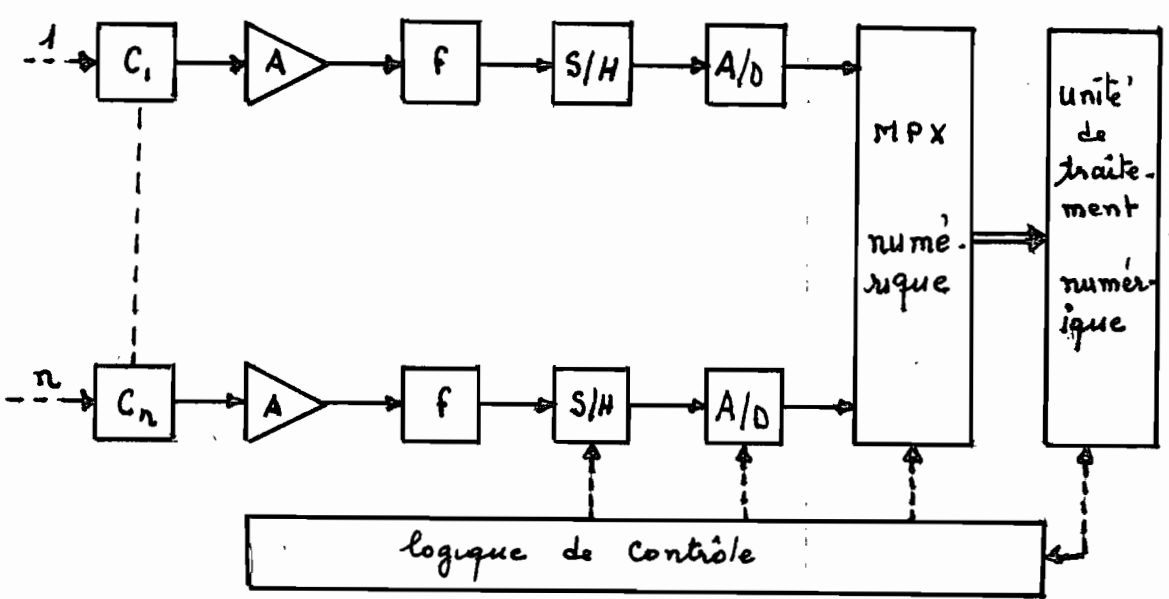


Fig 1-3 : multiplexage analogique après échantillonnage .

Fig 1-4 : multiplexage numérique .



la grandeur physique à mesurer

- Un multiplexeur analogique
- Un amplificateur et un filtre par voie
- Un échantillonneur - bloqueur (SH) par voie
- Un convertisseur analogique - numérique (A/D)
- la logique de contrôle et l'unité de traitement.

la figure 1.4 représente un exemple de configuration. Il en existe d'autres : selon la nature (digitale ou analogique) du multiplexage ; et dans le dernier cas selon la place (après échantillonnage ou avant amplification du signal) du multiplexage (figure 1.2 et 1.3)

Le choix d'une configuration donnée dépend de l'environnement du système, des besoins et bien sûr des coûts. Dans les environnements peu sévères (laboratoire par exemple) les critères de choix sont habituellement la précision et la vitesse. Dans les environnements hostiles (milieu électriquement perturbé par exemple) les critères de choix seront principalement l'isolation galvanique et la réjection en mode commun. Certains critères sont "mutuellement exclusifs" par exemple vitesse et précision. On est alors conduit à adopter des solutions de compromis, ou à satisfaire tel critère aux dépens de tel autre selon les besoins. En fonction du coût des composantes on sera conduit à adopter des solutions simples (peu de composantes) mais satisfaisantes.

CHAPITRE II LES CHARGES ET LA SOLUTION RETENUE

L'interface d'acquisition comme illustré dans le chapitre précédent se situe entre le capteur et l'unité centrale de traitement. Le présent chapitre présente le cahier de charges et la solution retenue. Le cahier de charge a été modifié afin de satisfaire de nouvelles contraintes ce qui a conduit à modifier la solution initiale (présentée en appendice I)

2-1 LE CAHIER DE CHARGES

Le cahier de charges contient quatre points qui sont :

① Caractéristiques

- nombre de voies 64 (différentielles)
- largeur de bande 0 - 10 KHZ
- précision requise $\leq 0,1\%$
- vitesse d'acquisition 5000 à 20000 mesures/s

② Mode de fonctionnement

L'interface doit fonctionner selon deux modes sélectionnés par logiciel :

- le mode "uni-voie" doit permettre de suivre avec précision l'évolution d'un signal raccordée à l'une des entrées (échantillonnage avec possibilité de reconstitution).

- le mode "Multi-voie" permet l'exploitation séquentielle de plusieurs canaux.

③ Matériel

- 8 multiplexeurs analogiques à 8 entrées différentielles chacun : MPCBD de la compagnie BURR-BROWN

- Un amplificateur d'instrumentation à gain programmable et filtrage interne PGIA 3006 BURR-BROWN
- Un échantillonneur-bloqueur (S/H). S/H80KP BURR-BROWN
- Un convertisseur analogique-digital (A/D) ADC 82 BURR-BROWN
- Unité centrale : micro-ordinateur APPLE II standard (1 MHz) 48Ko
- Un VIA R 6522 A (2 MHz) interface d'entrée sortie parallèle adapté au microprocesseur 6502 dont le Apple est équipé.

④ logiciels disponibles

- Basic Apple soft
- Assembleur LISA

2-2 La solution Retenue : bloc-diagramme de l'interface. IAAD

- La figure 2-1 représente le schéma-bloc de l'interface. On y trouve :
- les éléments classiques de l'acquisition (A/D, S/H, amplificateur et multiplexeur)
 - un verroux (latch) L_1 associé à un décodeur D_1 , permettant la sélection des voies analogiques multiplexées
 - un temporisateur (timer) pour la commande de l'échantillonneur bloqueur
 - une interface d'entrée-sortie parallèle ^{VIA} qui sert de protocole de communication entre le microprocesseur et l'interface d'acquisition. Le VIA se charge aussi de la synchronisation des fonctions des différentes composantes. Il possède en outre 2 timers programmés.

bles permettant d'envisager l'utilisation de l'interface en temps réel.

- Un verrou L_2 permettant de fournir 8 lignes de sorties en vue de commander des organes extérieurs. Cette dernière possibilité non prévue dans le projet d'acquisition est envisagée afin d'utiliser aux maximum les possibilités du VIA.

- Des blocs de Bufferisation afin de faciliter l'interfaçage et la synchronisation des échanges de données. (b_1 - et b_2)

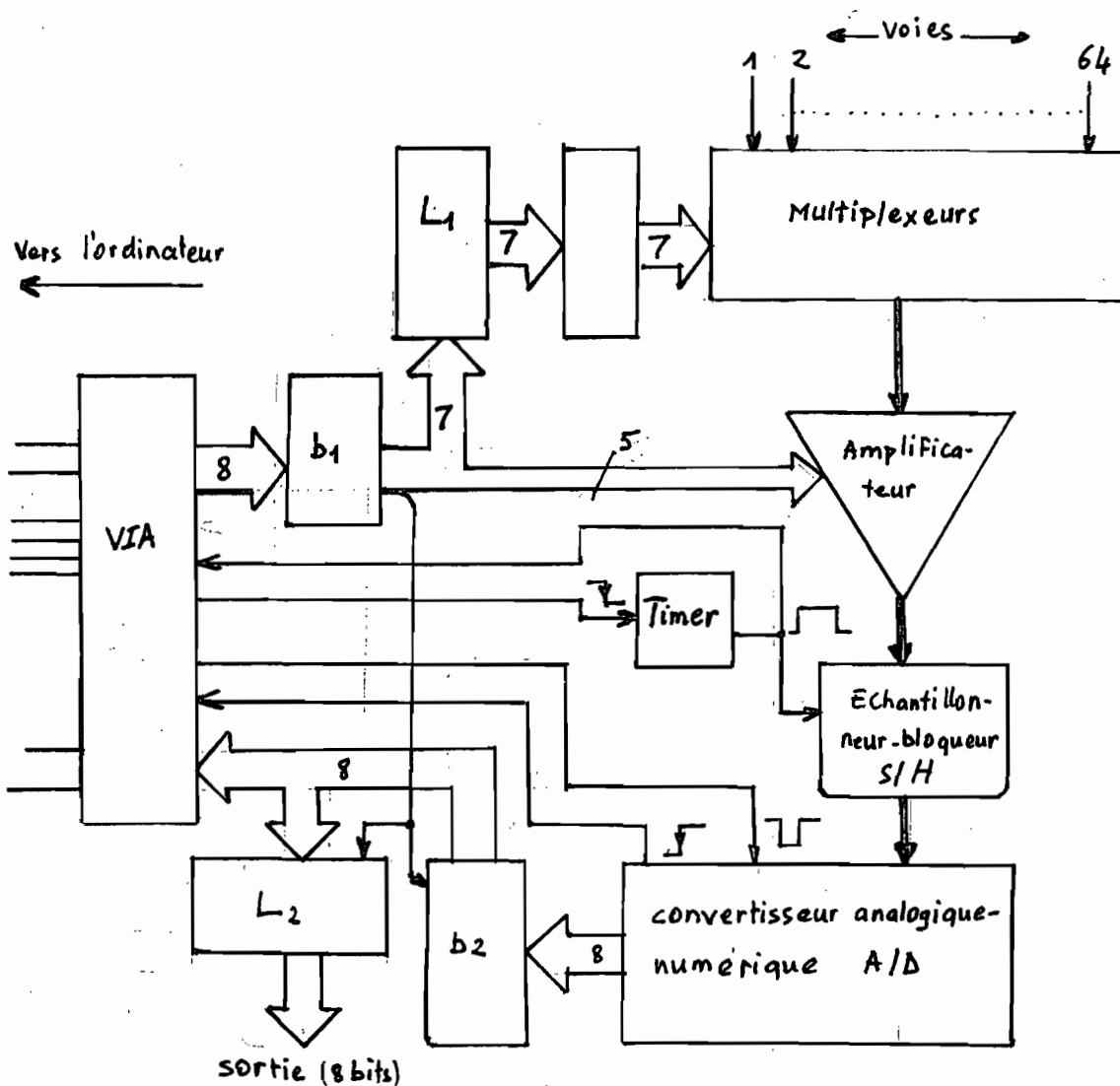


fig 2-1 Le bloc-diagramme de l'interface.

Le schéma bloc illustre la solution retenue : le multiplexage est fait juste après les capteurs. Cette solution est particulièrement simple et économique (peu de composants). La précision est moyenne due à la nécessité d'adapter les composants partagés (Amplificateur, S/H, A/D) aux spécificités de chaque voie suivant les séquences définies. Elle (la précision) demeure cependant suffisante pour les besoins imposés par le cahier de charge. En outre cette solution permet grâce à sa rapidité, des fréquences d'échantillonnage élevées.

CHAPITRE III LES PRINCIPAUX BLOCS FONCTIONNELS

3.1 LA CONVERSION ANALOGIQUE-DIGITALE (A/D)

Avant d'être traités par l'ordinateur les signaux analogiques (en principe des tensions) doivent être transformés en nombre digitaux, c'est le rôle principal de la conversion analogique - digitale (A/D)

Les convertisseurs A/D peuvent être classés d'après :

- la technique de conversion
- la complexité et la nature des circuiteries (analogique ou numérique, réaction - etc...)
- la vitesse de conversion et la précision.

D'après la technique de conversion on distingue deux groupes principaux de A/D :

- la conversion directe dans laquelle le code digital est déduit immédiatement de la tension à convertir
- la conversion indirecte dans laquelle la tension à convertir est d'abord transformée en fréquence ou en durée proportionnelle obtenue par intégration ; puis cette nouvelle grandeur est convertie en code digital par comptage.

Les convertisseurs directs sont plus rapides, alors que les convertisseurs indirects beaucoup plus lents sont à prix égal beaucoup plus précis.

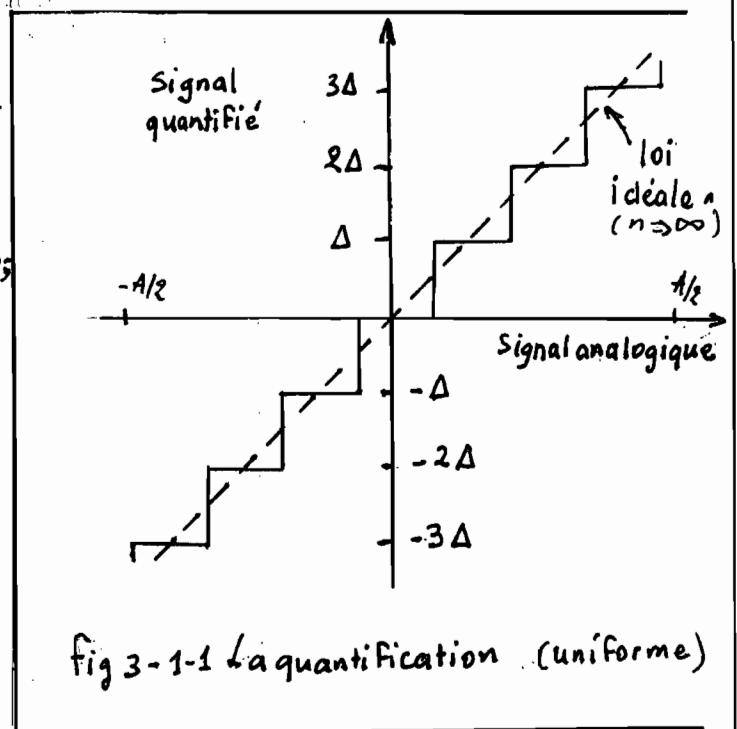
3.1.1 Caractéristiques Théoriques des A/D

a) La quantification

La conversion analogique - digitale (A/D) fait correspondre à chaque échantillon du signal analogique une suite binaire $\{N\} = \{b_1 \cdot b_2 \dots b_n\}$ nécessairement finie (nombre de bit naturellement limité). La nature finie du nombre binaire N impose que seul un nombre fini d'échantillons du signal analogique peut être représenté. Toute autre valeur sera tronquée ou arrondie à la valeur immédiatement inférieure ou supérieure. On dit qu'on quantifie (ou discrétise le signal). Chaque valeur discrète représente donc un ensemble de valeurs analogiques contenues dans un intervalle de largeur Δ appelé "pas de quantification". Si le "pas" est constant on dit que la quantification est uniforme.

La quantification introduit une distorsion intrinsèque appelée erreur de quantification; pour la quantification uniforme on montre que l'erreur de quantification est majorée par $\frac{1}{2} \Delta$. (Ref. \rightarrow page 3-16)

L'étendue des tensions convertibles (V sur la figure 3-1) définit la plage de conversion.



b) fonction de transfert

La conversion est effectuée en comparant la tension d'entrée (A) à une tension de référence U_r pondérée par les poids successifs

des bits du nombre binaire N . ($N = b_1 b_2 \dots b_n$)

Idealement on peut écrire:

$$A = \frac{U_r}{2^n} \cdot N = U_r \left(\frac{b_1}{2} + \frac{b_2}{4} + \dots + \frac{b_n}{2^n} + \frac{b_{n+1}}{2^{n+1}} + \dots \right)$$

où b_i est la variable booléenne traduisant la présence ($b_i=1$) ou l'absence ($b_i=0$) du bit correspondant.

La suite $\sum_{i=1}^{\infty} \frac{b_i}{2^i}$ est nécessairement bornée (la quantification limite le nombre de bits du nombre N). On approxime

alors la tension A par la relation $A = \sum_{i=1}^n \frac{b_i}{2^i}$ avec une erreur $\left(\sum_{i=n+1}^{\infty} \frac{b_i}{2^i} \right)$ majorée par la quantité

$$\frac{1}{2} \cdot \left(\frac{U_r}{2^n} \right) = \Delta/2 \text{ erreur de quantification.}$$

La fonction de transfert idéale est alors donnée par les relations

$$\begin{cases} E = U_r \left(\frac{b_1}{2} + \frac{b_2}{4} + \dots + \frac{b_n}{2^n} \right) \\ E - \Delta/2 < A < E + \Delta/2 \end{cases}$$

où l'inégalité représente l'étendue des tensions convertissibles (la dynamique)

— c la Résolution —

La résolution est donnée par $r = \frac{U_r}{2^n}$. Elle représente la plus petite variation de tension analogique que le convertisseur peut détecter. La résolution correspond au "pas" de quantification (ou à la valeur du bit de plus faible poids. (LSB).

— d) la précision (accuracy) —

La précision est l'écart entre les valeurs théorique et réelle

de la tension d'entrée fournissant un nombre N à la sortie. Idéalement cet écart est donné par l'erreur de quantification mais d'autres sources d'erreurs entrent en considération et sont étudiées dans les caractéristiques réelles. (3-1-2)

e) Le temps de conversion :

Le temps de conversion est le temps requis pour réaliser la conversion selon les techniques utilisées ce temps est fonction ou non de l'amplitude du signal d'entrée.

3-1-2 Caractéristiques réelles des A/D

Les performances réelles des A/D diffèrent des performances idéales du fait de trois types d'erreurs tous sensibles à la température.

a - l'erreur de gain (fig 3-2 a)

L'influence de la température peut provoquer une variation relative du "pas" de quantification ($\Delta = \frac{U_r}{2^n}$). Cette variation se traduit par une variation de la pente de la caractéristique idéale. La fonction de transfert devient $\bar{E} = k U_r \left(\frac{b_1}{2} + \frac{b_2}{4} + \dots + \frac{b_n}{2^n} \right)$ où k est la variation relative du "pas" de quantification.

b - l'erreur de décalage (fig 3-2-b)

L'erreur de décalage est l'écart entre la valeur pratique de la tension d'entrée qui met dans l'état "1" le LSB, et la valeur théorique effectuant cette transition. Erreur donnée en % de la pleine échelle.

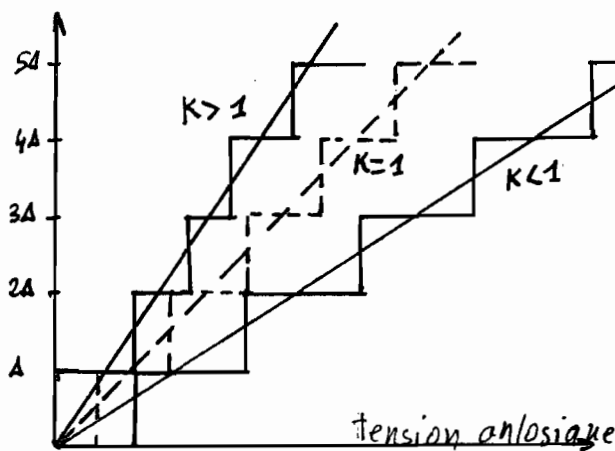
c - les erreurs de linéarité (fig 3-2 c et d)

On distingue entre l'erreur de linéarité et l'erreur de linéarité

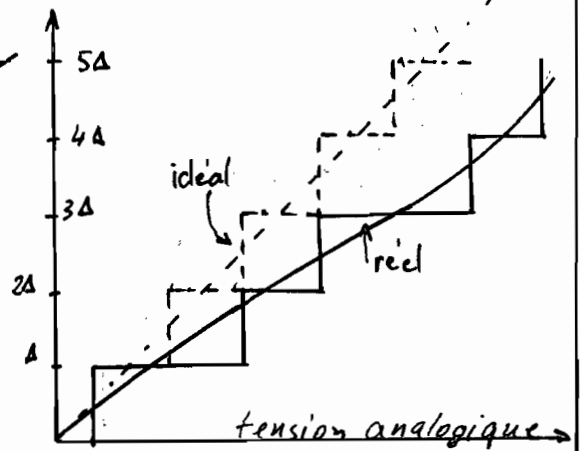
différentielle.

L'erreur de linéarité (fig 3-12 c) représente la déviation du niveau réel des transitions, par rapport au niveau théorique défini pour chaque bit du A/D.

L'erreur de linéarité différentielle est due aux ondulations excessives ($> \pm \Delta$) de la caractéristique, entraînant la perte de certains codes (missing codes).



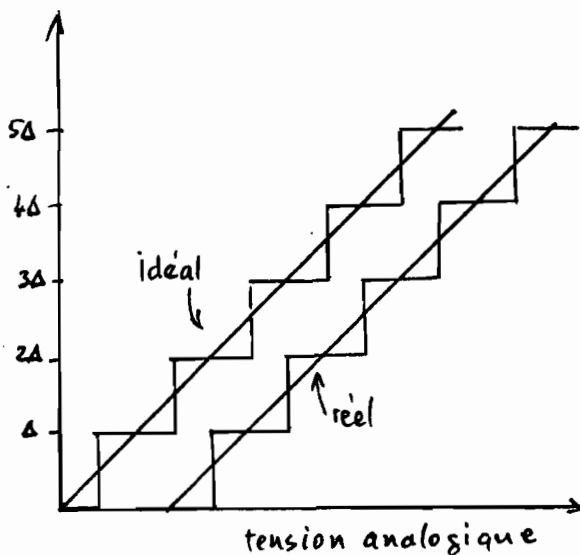
a) erreur de gain



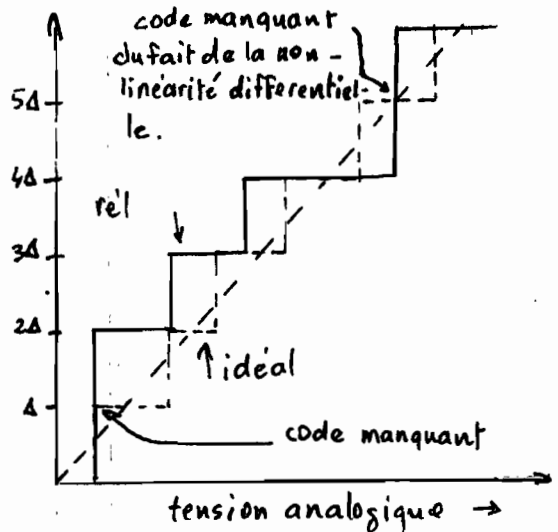
c) erreur de linéarité

fig 3-12 erreurs des A/D.

b) erreur de décalage



d) erreur de linéarité différentielle



3-1-3 Cadence limite de conversion

La procédure de conversion (notamment la quantification) assigne à chaque échantillon de valeur comprise entre $A - \frac{1}{2}\Delta$ et $A + \frac{1}{2}\Delta$ la valeur $x = A\Delta$ où $\Delta = \frac{U_r}{2^n}$ est le "pas" de quantification (ou le LSB), U_r la plage des tensions convertibles et $A = 0, \dots, 2^n$ (figure 3-1-3).

Si le signal varie pendant le temps de conversion Δt le résultat numérique peut être erroné. (pour des variations $\geq \pm \frac{1}{2}\Delta$).

La valeur absolue de l'erreur globale doit être inférieure au LSB pendant l'intervalle Δt pour garantir une conversion correcte ; ce qui impose $\Delta x \leq (1/2)\Delta$.

Si en plus on fait l'approximation $\frac{\Delta x}{\Delta t} \approx \left| \frac{dx}{dt} \right|$ alors on obtient en combinant les deux équations (i et ii)

$$\left| \frac{dx}{dt} \right| \leq \frac{1}{2} \frac{\Delta}{\Delta t} \quad \text{d'où la variation maximum permise}$$

$$\left| \frac{dx}{dt} \right|_{\max} = \frac{\Delta}{2\Delta t} = \frac{U_r}{2^{n+1}\Delta t}$$

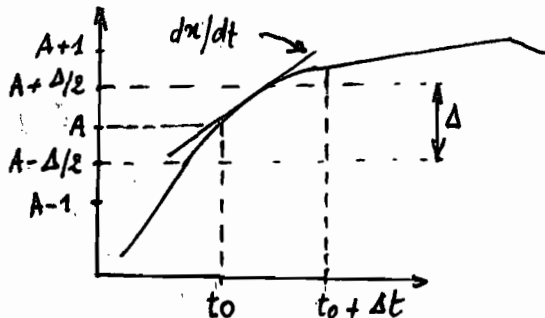
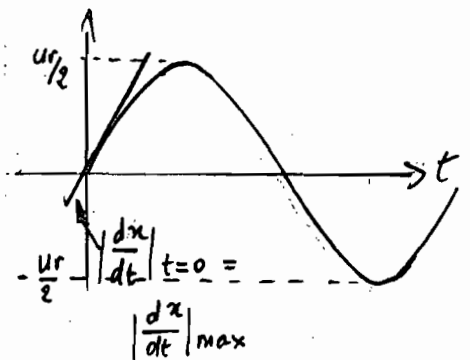


Fig. 3-1-3



pour un signal sinusoïdal dont l'amplitude crête à crête égale la dynamique du convertisseur $\left| \frac{dx}{dt} \right|_{\max} = \frac{d}{dt} \left[\frac{U_r}{2} \sin(2\pi ft) \right]_{t=0} = \pi f \frac{U_r}{2}$

d'où $f_{\max} = \frac{1}{2^{n+1} \pi \Delta t}$ la fréquence maximum des signaux analogiques

riques convertibles avec la marge d'erreur tolérable $\pm a$.

3.1.4 Le codage binaire dans les A/D

Le codage binaire est la représentation binaire des niveaux discrets définis par la quantification. à chaque niveau discret correspond un mot binaire de n bits si il existe 2^n niveaux distincts.

Le code utilisé dépend de la technique de conversion, de l'origine et de la destination de l'information.

Tous les codes se déduisent du code binaire pur. On distingue les codes pour signaux unipolaires et les codes pour signaux bipolaires. Le tableau 3.1 donne les principaux codes utilisés.

Tableau 3-1 : les codes binaires dans les A/D			
code	Polarité d'entrée	Sorties digitales 8 bits	entrées analogique
CSB (complément à 1)	unipolaire	0 0 0 0 0 0 0 0	Pleine échelle
		0 1 1 1 1 1 1 1	1/2 échelle
		1 1 1 1 1 1 1 1	Zéro
CCD (complément à 1 code décimal)	unipolaire	0 1 0 1 0 1 0 1	Pleine échelle
		1 0 1 1 1 0 1 1	1/2 échelle
		1 1 1 1 1 1 1 1	Zéro
COB (complément à 1 et bit de signe)	bipolaire	0 0 0 0 0 0 0 0	pleine échelle >0
		0 1 1 1 1 1 1 1	Zéro
		1 1 1 1 1 1 1 1	pleine échelle <0
CTC (complément à deux)	bipolaire	1 0 0 0 0 0 0 0	pleine échelle >0
		1 1 1 1 1 1 1 1	Zéro
		0 1 1 1 1 1 1 1	pleine échelle <0

3.1.5 Le ADC 82 de BURR-BROWN

Le ADC 82 est un convertisseur analogique-numérique de huit bits à grande vitesse de conversion qui fonctionne suivant le principe des approximations successives.

— 3.1.5.1 Principe des A/D à approximations successives.

La figure 3-24a illustre le principe du A/D à approximations successives.

- On y trouve :
- Un convertisseur digital-analogique qui génère des tensions pondérées U_c proportionnelles au code numérique appliqué à son entrée.
 - Un bloc logique qui génère les codes numériques
 - Un comparateur qui compare la tension d'entrée U_x et les tensions pondérées U_c .
 - Un registre de sortie chargé de stocker l'information pendant la conversion
 - Une horloge pour synchroniser les opérations.

Le processus de la conversion est illustré à la figure 3-24-b.

Le bloc logique génère un premier code (10000000) correspondant au seul MSB (bit le plus significatif). La tension U_c délivrée par le D/A vaut alors $U_r/2$ [du fait que $U_c = U_r \left(\frac{b_1}{2} + \dots + \frac{b_n}{2^n} \right)$]. Le résultat de la comparaison ($U_x > 0$ ou $U_x - U_c > 0$ ou $U_x > U_c$) indique que le MSB doit être conservé. A l'étape suivante on ajoute le bit de poids immédiatement inférieur (11000000), la tension U_c vaut alors $U_r \left(\frac{1}{2} + \frac{1}{4} \right)$. La comparaison ($U_x < U_c$) indique que ce bit vaut zéro et est donc annulé pour la suite. Le processus continue jusqu'à ce que tous les bits soient déterminés.

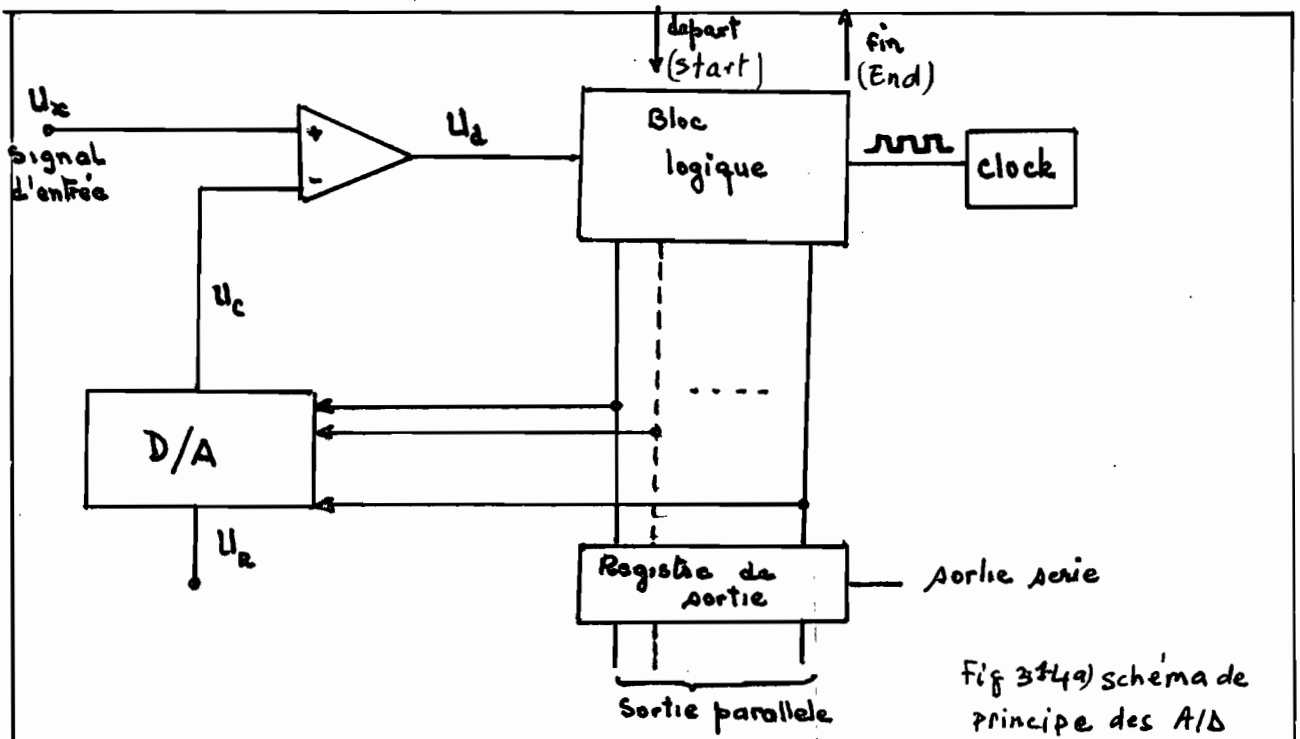


Fig 34a) schéma de principe des A/D à approximations successives

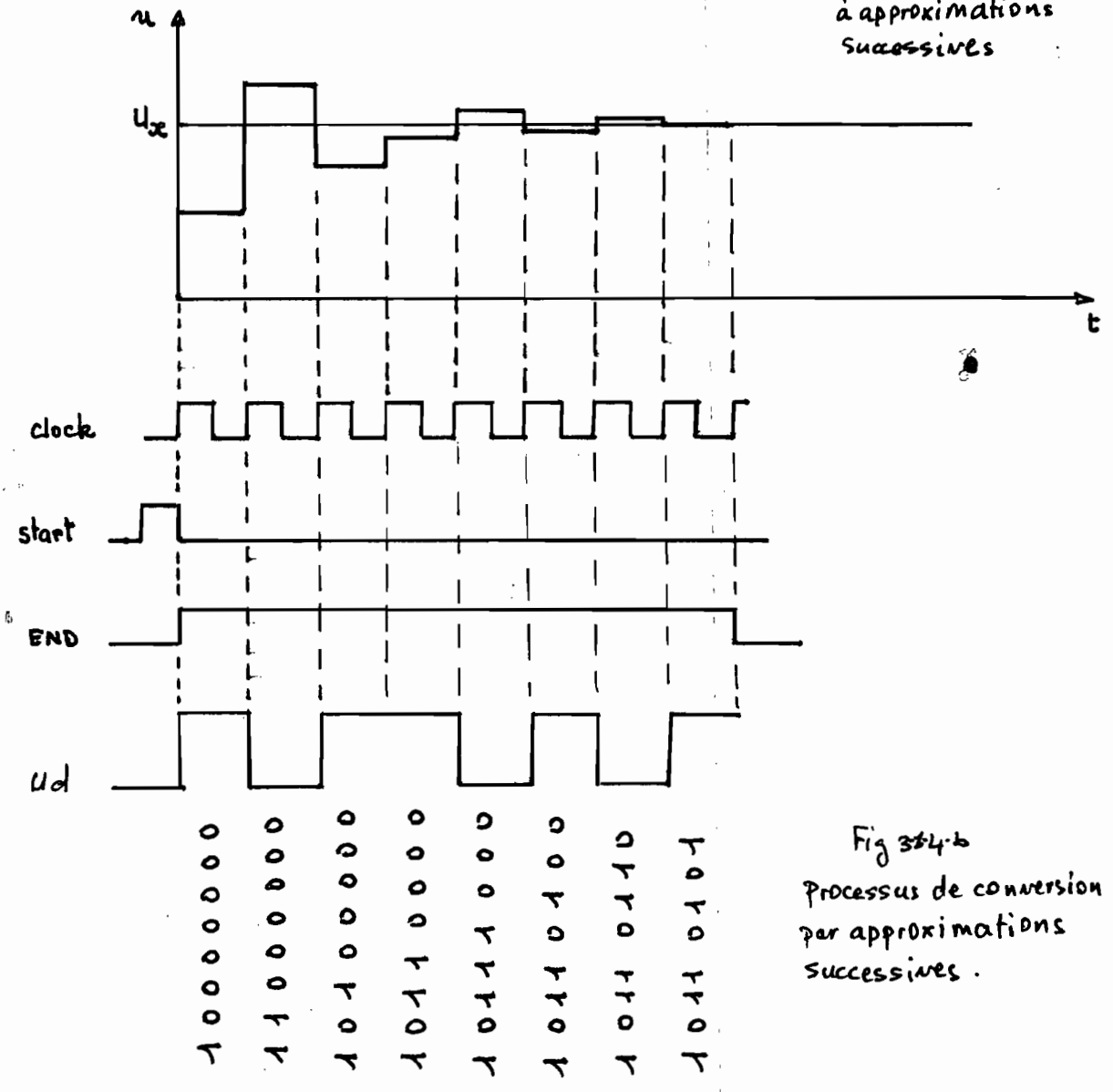


Fig 34-b
Processus de conversion par approximations successives.

La valeur d'un bit est déterminée en une période d'horloge. En plus il faut en général une, deux ou 3 périodes d'horloge pour initialiser le bloc logique et les registres internes, d'où le temps de conversion typique d'un A/D à approximations successives $T_c = (N+2)T_0$ où N est le nombre de bits et T_0 la période d'horloge.

3-1-5-2 Caractéristiques du ADC 82

Les caractéristiques du ADC 82 sont données en appendice AII-16

Les caractéristiques principales sont les suivantes :

- plages de conversion $\pm 10V; \pm 5V; \pm 2,5V; 0-10V; 0-5V$ et $0-20V$ en option. Nous retenons pour nos besoins les deux options bipolaires $\pm 10V$ et $\pm 5V$

- La résolution, qui vaut pour les deux options respectivement $78,13\text{ mV}$ et $39,06\text{ mV}$.

- le temps de conversion variable dépendant du mode opératoire décrit plus loin. (3-15-3)

- précision : $\pm 1\text{ LSB}$

- erreur de gain $\pm 0,1\%$

- erreur de linéarité $\pm 0,2\%$ de la pleine échelle

- erreur de linéarité différentielle $\pm \frac{1}{2}\text{ LSB}$.

Compte tenu de la précision et de l'erreur de linéarité différentielle la pleine échelle inférieure et supérieure est donnée par

$$\left. \begin{array}{l} +10V - 3/2\text{ LSB} \\ -10V + 1/2\text{ LSB} \end{array} \right\} \text{ pour la plage de } \pm 10V \text{ et par } (\text{LSB} = 78,13\text{ mV})$$

$$\left. \begin{array}{l} +5 - 3/2\text{ LSB} \\ -5 + 1/2\text{ LSB} \end{array} \right\} \text{ pour la plage de } \pm 5V \text{ } (\text{LSB} = 39,06\text{ mV})$$

On obtient donc les fonctions de transferts suivantes :

$$\text{plage de } \pm 10V : \left\{ \begin{array}{l} 0V \leq R \leq 10V \quad R = 10 - 3/2 \cdot \text{LSB} - E \cdot \text{LSB} \\ -10V \leq R \leq 0V \quad R = -10 + 1/2 \cdot \text{LSB} + E \cdot \text{LSB} \\ \text{LSB} = 78,13 \text{ mV} \end{array} \right.$$

$$\text{plage de } \pm 5V : \left\{ \begin{array}{l} 0V \leq R \leq 5V \quad R = 5 - 3/2 \cdot \text{LSB} - E \cdot \text{LSB} \\ -5V \leq R \leq 0V \quad R = -5 + 1/2 \cdot \text{LSB} + E \cdot \text{LSB} \\ \text{LSB} = 39,06 \text{ mV} \end{array} \right.$$

où R représente la valeur de la tension analogique à l'entrée et E le nombre obtenu à la sortie en valeur décimale.

La valeur binaire de E dépend du code utilisé: les deux codes proposés compte tenu de la configuration ^{retenue} (acquisition de signaux bipolaires) sont le COB (code binaire décalé) et le CTC (code complément à 2). Nous choisissons le CTC du fait que c'est la représentation la plus utilisée dans les ordinateurs et les microprocesseurs. C'est le code qui est employé en particulier pour le $\mu 6502$ élément central de notre système d'acquisition

$$\text{Représentation CTC} \left\{ \begin{array}{l} 1000 \ 0000 \quad \text{pleine échelle } 50 \\ \dots \dots \dots \\ 1111 \ 1111 \quad \dots \dots \dots 0 \\ \dots \dots \dots \\ 0111 \ 1111 \quad \text{pleine échelle } 40 \end{array} \right.$$

3.1.5.3 Mise en œuvre du ADC 82

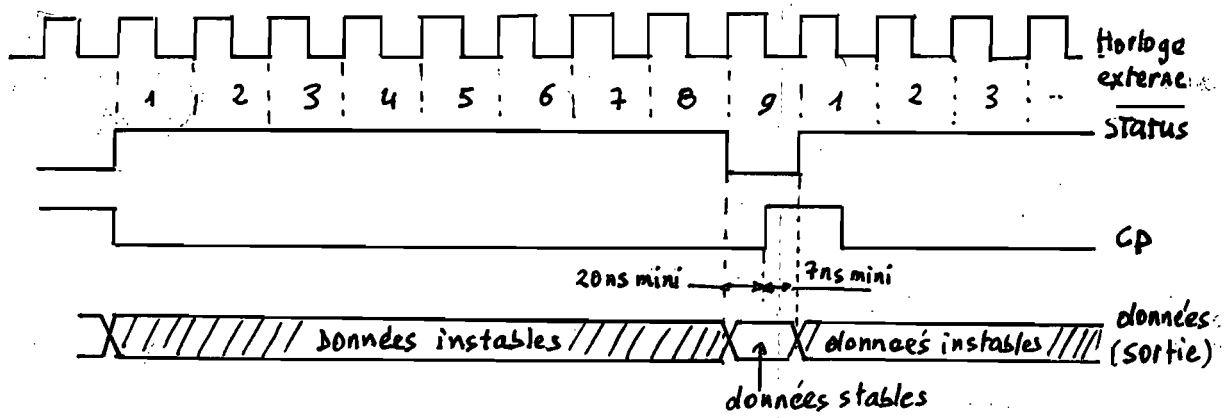
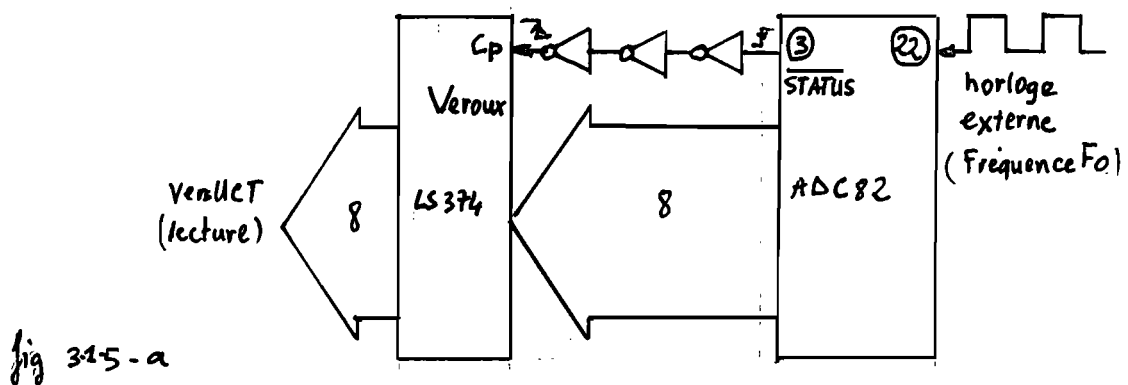
- a) mode opératoire

Le ADC 82 fonctionne selon deux modes principaux :

- la conversion continue
- et - la conversion intermittente.

* le mode continu

Dans ce mode la conversion est cadencée par une horloge externe (celle du Apple II à 1714Hz). Le convertisseur réalise sans arrêt des cycles de conversion l'un après l'autre tant que le signal d'horloge est actif. Les figures 3-1-5a et b représentent respectivement la configuration et le chronogramme de fonctionnement



temps de conversion :
9 périodes d'horloge soit $T = \frac{9}{F_0}$

La conversion est réalisée en 8 impulsions d'horloge. La ligne status passe à l'état haut pendant la conversion, puis à l'état bas durant un cycle, dès la fin de la conversion par la suite la prochaine conversion est initiée.

Le convertisseur étant à approximations successives, il convertit

les 8 bits l'un après l'autre. Les bits ne sont donc pas stables à la sortie pendant la conversion, et ne le deviennent qu'à la fin et cela juste pour une période d'horloge avant le début de la conversion suivante; l'indication de données stables est reconnue par l'état bas du status

. Lorsque le bus de données de l'ordinateur est directement connecté à la sortie du convertisseur, il se pose un problème de synchronisation: en effet les instructions de lecture de l'ordinateur prennent au minimum 2 périodes d'horloge (une pour la recherche de l'instruction, une autre ou plus pour l'exécuter), alors que les données ne sont stables que pour une période: les données lues dans ces conditions seront toujours erronées.

On évite ce problème en intercalant entre l'ordinateur et le ADC82 un verrou qui sert de mémoire tampon (fig. 2). Ce verrou est le circuit intégré 74LS374 (caractéristiques en appendice AII-6b).

Une fois la conversion terminée la ligne status à l'état bas commande l'ouverture du verrou et permet l'écriture des données. Lorsque la conversion suivante débute le tampon est verrouillé (Status haut) les données y inscrites sont mémorisées et l'ordinateur dispose alors de 8 cycles (le temps de la conversion en cours) pour la lecture.

. Un second problème de synchronisation apparaît lorsque le verrou est mis en oeuvre: la porte Cp du verrou commande l'ouverture à l'état haut et la fermeture du tampon à l'état bas; c'est un état complémentaire de la ligne status. D'un autre côté le verrou n'accepte les données que si elles sont stables 20 ns avant l'ouverture de la porte Cp (voir t_s et t_h du LS374 appendice AII-6-b). Il faut donc que STATUS attaque Cp avec au moins 20 ns de retard par rapport

aux bits de données. Pour satisfaire cette double exigence deux solutions sont possibles: la première consiste à complémentar $\overline{\text{status}}$ par un seul inverseur qui crée un retard de 9 ns et de générer un retard de 11 ns au moins par capacité. Cette solution essentiellement analogique est difficile à mettre en oeuvre

- la deuxième solution consiste à mettre 3 inverseurs en cascade pour complémentar $\overline{\text{status}}$ et obtenir un retard de 27 ns (9 ns par porte). Cette solution plus simple est présentée à la figure 3.1.5.9

* Le mode intermittent

Dans ce mode la conversion est effectuée au rythme de l'horloge interne dont la période est de 2,857 MHz. (fig 3.1.6)

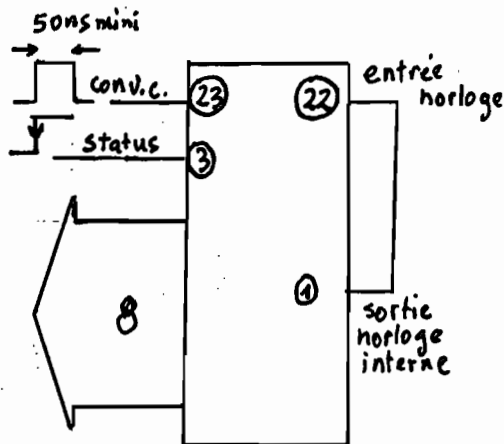


Fig 3.1.6 a configuration

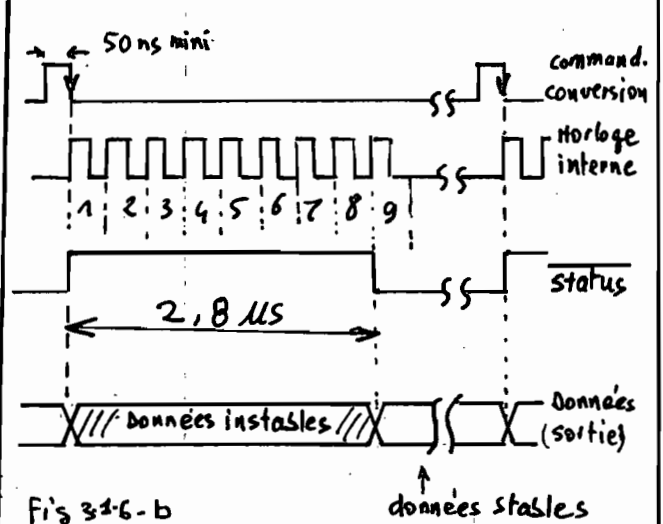


Fig 3.1.6 b

fig 3.1.6 : configuration et chronogramme en conversion intermittente

$$\text{Temps de conversion } (1/2,857) \times 8 = 2,8 \mu\text{s}$$

Cadence limite de conversion pour un signal sinusoïdal d'amplitude 10 V

$$F_{\text{max}} = \frac{1}{2^{n+1} \pi \times 2,8 \cdot 10^{-6}} = 222 \text{ Hz}$$

au delà de 222 Hz la conversion donne des valeurs erronées.

L'horloge est enclenchée par une impulsion externe (commande de conversion) active sur le flanc descendant. Le $\overline{\text{status}}$ (fin de conversion) est mis à "1" pendant la conversion, passe à "0" à la fin de la conversion. L'horloge s'arrête un cycle après, et il faut à nouveau une impulsion (commande de conv.) pour initier une autre conversion.

L'inconvénient dans ce mode est que le temps de conversion est fixe et immuable mais du fait qu'il est faible ce temps est suffisant pour nos besoins.

Les avantages sont : - contrôle du cycle conversion-lecture par logiciel.

L'ordinateur peut ainsi commander la conversion et la lecture selon les besoins de l'utilisateur. - Sur le plan matériel on n'a plus besoin du verrou; En

effet à la fin d'une conversion les données à la sorties restent stables jusqu'à la commande de la conversion suivante.

b) * Le choix de l'un ou l'autre des modes de fonctionnement dépend de trois critères : le logiciel, le matériel, et la vitesse :

La conversion continue requiert plus de matériel (verroux, inverseurs) et plus de minutie dans la programmation afin de synchroniser parfaitement la lecture du verroux et la conversion.

Du point de vue du temps de conversion, la conversion continue n'est intéressante que lorsque la fréquence de l'horloge externe est nettement supérieure à celle de l'horloge interne au moins $3,2 \text{ MHz}$. ($\frac{t_c}{F_{\text{ext}}} \leq 2,8 \mu\text{s}$ où $2,8 \mu\text{s}$ est le temps de conversion avec l'horloge interne et F_{ext} fréquence de l'horloge externe). La fréquence du Apple étant de 17 MHz ($\leq 2,857 \text{ Hz}$) la conversion continue est rejetée au profit de la conversion intermittente. (temps de conversion réduit, matériel réduit, programmation plus simple).

Le schéma détaillé de mise en œuvre du ADC 82 est montré en appendice II-1

3.2 L'ÉCHANTILLONNAGE-BLOQUE

Dans l'étude de la conversion analogique numérique il a été montré que le temps de conversion imposait une cadence maximale de conversion qui limite la fréquence des signaux convertibles à un maximum $f = \frac{1}{n_{\text{max}} \cdot 2^{\frac{n-1}{2}} \cdot \pi \Delta t}$. La fréquence f_{max} est généralement très faible ($\ll 1 \text{ KHz}$). Pour convertir des signaux de fréquence plus élevée (dans les limites d'erreurs admises par la quantification) il faut nécessairement maintenir constante la valeur de l'échantillon durant tout le temps de conversion: c'est le rôle principal de l'échantillonneur bloqueur (S/H: sample and hold).

Le S/H fonctionne donc suivant deux modes: (fig 3-2-1.b)

- le mode échantillonnage durant lequel la sortie suit l'entrée
- le mode blocage durant lequel le circuit maintient à la sortie pendant un temps déterminé la valeur de la fonction prélevée à l'instant du blocage.

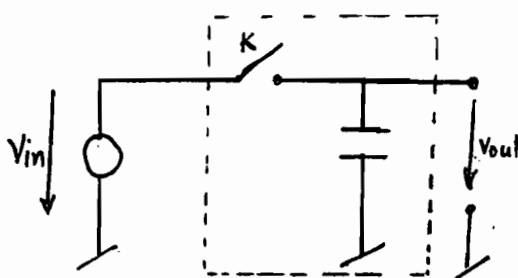
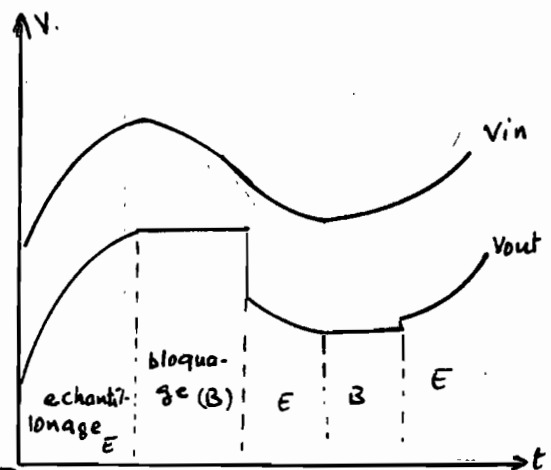


Fig 3-2-1 a principe

Fig 3-2-1-b mode de fonctionnement →



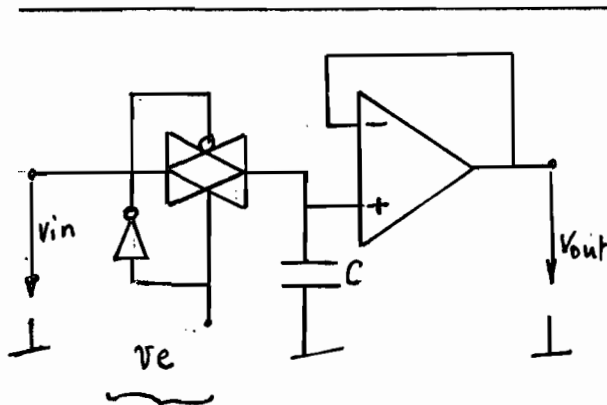
3-2-1 Principe du S/H

La figure 3-2-1a illustre le principe du S/H: pendant l'échantillonnage (ou sample ou tracking) l'interrupteur K est fermé la sortie Vout suit l'entrée Vin et la capacité se charge. Pendant le blocage (hold)

l'interrupteur K est ouvert la capacité C maintient la tension à la sortie pendant un certain temps. En pratique les temps de charge (temps d'acquisition ou de prélèvement) et de décharge de la capacité influent grandement sur le comportement du S/H (voir au 3-2-4).

3-2-2 Réalisation

La plus part des échantillonneurs bloqueurs est réalisé d'après l'un des schémas de la figure 3-2-2



interrupteur CMOS commandé par la tension V_g

Fig 3-2-2 a

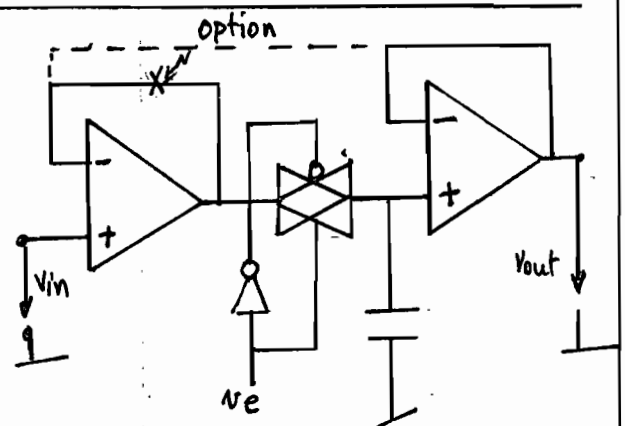


Fig 3-2-2 b

A la figure 3-2-2-a le condensateur de mémorisation se trouve à l'entrée d'un ampli-suiveur. Ce condensateur est chargé directement par la source. C'est donc l'impédance de source qui détermine le temps de charge. Si cette impédance est élevée le temps de charge devient grand et les performances du S/H se dégradent. En outre l'impédance d'entrée de ce circuit dépend de la fréquence de commutation de l'interrupteur ($R_{in} = \frac{1}{C \cdot F}$). Plus la fréquence de commutation est élevée plus R_{in} est élevé et le circuit peut charger la source. L'amplificateur suiveur entre la capacité et la sortie

permet d'éviter l'effet d'une impédance de charge non nulle et d'obtenir un temps de décharge élevé utile en mode blocage.

Le circuit de la figure 3-2-2-b permet de résoudre les problèmes d'impédances de source, d'entrée, de sortie et de charge grâce aux deux suiveurs qui isolent (du point de vue de l'effet de charge) la capacité de mémorisation de la source et de la charge. La boucle de contre réaction dans l'option en pointillé permet d'asservir la sortie à l'entrée. Ainsi la sortie suit avec précision les variations (même très lentes) du signal d'entrée.

3-2-3 Fréquence d'échantillonnage

Lorsqu'un signal doit être échantillonné il est important de savoir si on peut reconstituer le signal d'origine à partir des échantillons prélevés ou non. C'est la question de la réversibilité du processus d'échantillonnage qui se pose. Cette question est résolue par le théorème de Shannon (ou Théorème d'échantillonnage qui stipule que : " Un signal $f(t)$ dont le spectre est limité à une fréquence maximale f_{max} est entièrement déterminée par la suite complète de ses échantillons prélevés à intervalle régulier de durée T_e inférieure ou égale à $1/(2 f_{max})$ ". En d'autres termes la réversibilité est assurée si $f_e = 1/T_e > 2 f_{max}$ f_e étant la fréquence d'échantillonnage. La fréquence d'échantillonnage choisie en pratique est nettement supérieure à la limite théorique $f_e = 2 f_{max}$.

3-2-4 Spécifications d'un S/H.

La figure 3-2-3 illustre le fonctionnement idéal et le fonctionnement réel du S/H. On y trouve les grandeurs suivantes :

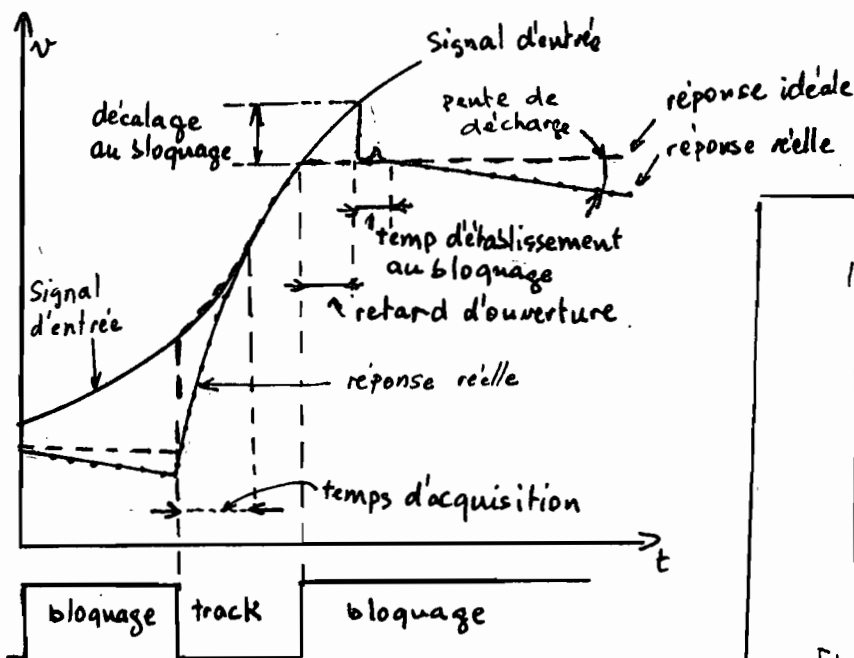


Fig 3-2-3

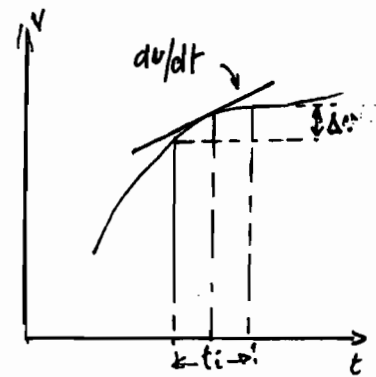


Fig 3-2-4

- Le temps d'acquisition (acquisition time) : c'est le temps requis pour que la sortie atteigne la valeur finale avec une précision donnée (1%, 0,1% etc...) lorsque l'interrupteur est fermé (instant de l'échantillonnage). En d'autres termes c'est le temps minimum requis pour le prélèvement d'un échantillon. Ce temps idéalement nul vaut en pratique quelques micro-secondes (μs).
- Retard à l'ouverture (aperture delay) ; Le temps de commutation de l'interrupteur c_{mos} introduit un retard t_0 à l'ouverture du circuit qui correspond à l'instant du passage au bloquage. Un retard à l'ouverture constant n'altère pas de façon sensible le processus d'échantillonnage. En réalité t_0 varie (d'une part de manière aléatoire et d'autre part en fonction de la température et de la tension d'entrée). Cette variation de t_0 appelée incertitude d'ouverture (aperture jitter) et notée t_i induit une erreur illustrée à la Figure 3-2-4 et évaluée comme suit ; on assimile le rapport $\frac{\Delta v_i}{t_i}$ à la pente de la course au milieu de l'intervalle t_i , soit

$$(\Delta v_i) t_i = dv/dt \quad \text{et} \quad \Delta v_i = t_i (dv/dt)$$

pour un signal sinusoïdal d'amplitude V l'erreur maximale est

$$\Delta V_{\max} = t_i \frac{d}{dt} [V \sin(2\pi f t)]_{t=0} = (2\pi f V) t_i$$

et en grandeurs relatives

$$\Delta V_{r\max} = \left(\frac{\Delta V}{V}\right)_{\max} = 2\pi f t_i$$

Une incertitude d'ouverture de 16 ns produit déjà une erreur de 9,14% pour un signal de 10 KHz, d'où l'importance de ce paramètre qui peut constituer une limitation sérieuse de la bande passante des signaux d'entrée pour une précision donnée.

- le temps d'établissement (sample to hold settling time) c'est le temps nécessaire à un amortissement donné de la tension parasite créée par l'ouverture de l'interrupteur à l'instant du blocage.
- le décalage au blocage ou décalage de charge (S/H offset) (en mV ou μV) c'est la tension parasite citée ci-dessus.
- pente de décharge (hold mode droop rate). La décharge du condensateur pendant la mémorisation est due à l'impédance d'entrée en réalité limitée de l'amplificateur suiveur de sortie.
- taux de rejection (hold mode feedthrough) : c'est le rapport de la variation du signal de sortie à celle du signal d'entrée; dû au fait que la sortie n'est pas parfaitement isolée de l'entrée pendant le blocage.

3.2.5 Le SH C80 du BURR-BROWN

Le SH C80 est un échantillonneur-bloqueur caractérisé par une fonction de transfert ultra-linéaire, un temps d'acquisition faible et une grande précision ($\pm 0,01\%$ de la pleine échelle) due à la compensation interne des sources d'erreurs. Son schéma de principe est illustré à la figure 3.25. On y trouve le montage avec deux suiveurs dont la sortie est asservie à l'entrée et dont les avantages et le fonctionnement ont

été décrits au paragraphe 3-2-2

Le SHC80 contient en outre un circuit logique (CMOS) assurant la commande d'échantillonnage et de blocage.

3-2-5 a) Caractéristiques

Les caractéristiques du SHC80 sont données en annexe*. Nous résumons ici l'essentiel, à 25°.

- tensions analogiques d'entrée
± 10V Gain 1 ± 0,01%

- l'impédance d'entrée élevée (10³Ω // 15pF) et l'impédance de sortie faible (0,5Ω) font qu'il n'est pas besoin d'une adaptation d'impédance avec l'amplificateur et avec le ADC 82. (convertisseur analogique-numérique)

- alimentation ±15V ±5mA. - précision 0,01%

- temps d'acquisition 12 μs pour une amplitude de 20V à 0,01%.

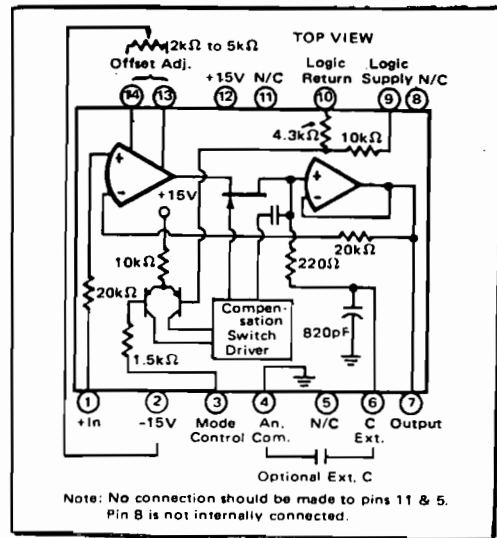
- retard d'ouverture 40ns - Temps d'établissement au blocage 1 μs

- incertitude d'ouverture 1ns d'où la fréquence maximale des signaux à l'entrée pour une précision de 0,01% (besoins du cahier de charge)

$$\Delta r V_{\max} = 2\pi F t_i \Rightarrow F = \frac{\Delta r V_{\max}}{2\pi t_i} = \frac{0,01 \cdot 10^{-2}}{2\pi \cdot 10^{-9}}$$

$F = 15,915 \text{ kHz}$. Cette fréquence étant supérieure à la 10 kHz (largeur de bande fixée par le cahier de charge) le fonctionnement correct est assuré.

- pente de décharge = 0,5 mV/ms : le temps de conversion étant de 2,8 μs la décharge pendant ce temps est insignifiante par rapport à l'erreur de quantification ±39,06 mV.



**
fig 3-2-5 schéma de principe
du SHC80 Burr-Brown

-3.2.5.5 Mise en oeuvre

* La durée de l'échantillonnage : L'importance de ce temps est mieux saisie lorsqu'on examine les algorithmes et les chronogrammes d'acquisition (Paragraphe 3-5-4 pages 59-60 et 61)

Pour le mode "multivoie" chaque cycle contient le multiplexage et l'amplification en dehors du S/H et du A/D. De plus le temps d'acquisition du S/H ($12\mu\text{s}$) est très inférieur à celui de l'ensemble multiplexeur-amplificateur ($150\mu\text{s}$ environ). On a donc intérêt à commander l'échantillonnage en même temps que la sélection du canal pour "noyer" le temps d'acquisition du S/H dans les $150\mu\text{s}$ de l'ensemble (MPX-ampli). On échantillonnera donc pendant $150\mu\text{s}$, le temps que le signal atteint la sortie du S/H, noté t_{aA} sur la Fig 3-2-6-a.

Pour le mode "uni voie" le multiplexage et l'amplification n'interviennent qu'au premier cycle la vitesse réelle d'acquisition dépendra donc uniquement du S/H et du A/D. Le mode échantillonnage durera donc le temps d'acquisition du S/H c'est à dire $12\mu\text{s}$ fig 3-2-6-b.

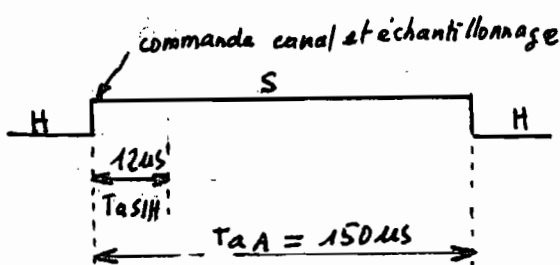
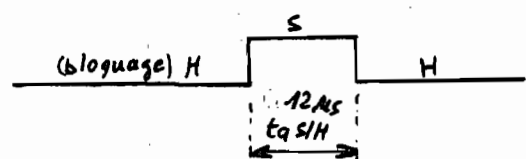


Fig 3-2-6-a



$t_{a S/H}$ = temps d'acquisition du S/H C80

Fig 3-2-6-b

le choix de l'une ou l'autre (ou des deux à la fois) solution dépend des facilités (matériel - logiciel) de mise en oeuvre de la commande d'échantillonnage.

* La commande d'échantillonnage : deux solutions sont envisageables

• Solution logicielle : le STH80 est commandé par l'ordinateur directement par le VIA (ligne de contrôle CB2 fig 3-2-7-a). La longueur des impulsions est entièrement contrôlée par logiciel. Cette solution permet donc d'adapter le temps d'échantillonnage au mode de fonctionnement et est donc très efficace.

• Solution matérielle : cette fois l'ordinateur commande le STH80 par l'intermédiaire d'un timer MC555 monté en monostable. La longueur de l'impulsion de commande est fixée une fois pour toute par les valeurs de C_1 et R_1 (fig 3-2-7-b). Il faut donc privilégier le mode "univoie" où la fréquence d'acquisition est critique (reconstitution possible du signal analogique) d'où le temps d'échantillonnage de $12 \mu s$ (échantillonnage après amplification). Cette solution qui a été retenue pénalise légèrement le temps d'acquisition en mode "multi-voie" mais ce temps reste suffisant pour nos besoins. En plus le logiciel est plus simple.

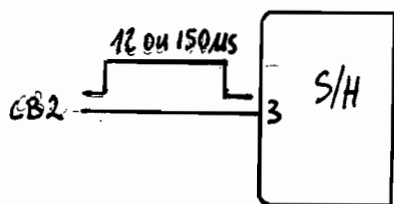
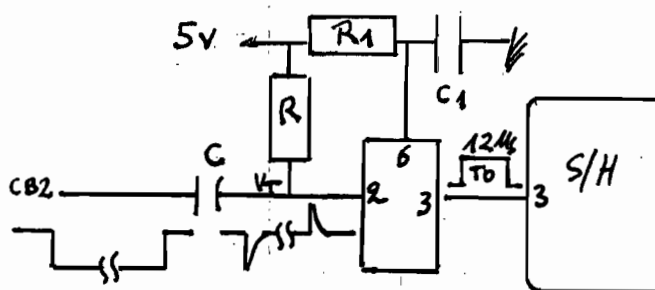


Fig 3-2-7-a



$$T_0 = 1,1 R_1 C_1$$

$$\text{Pour } T_0 = 12 \mu s$$

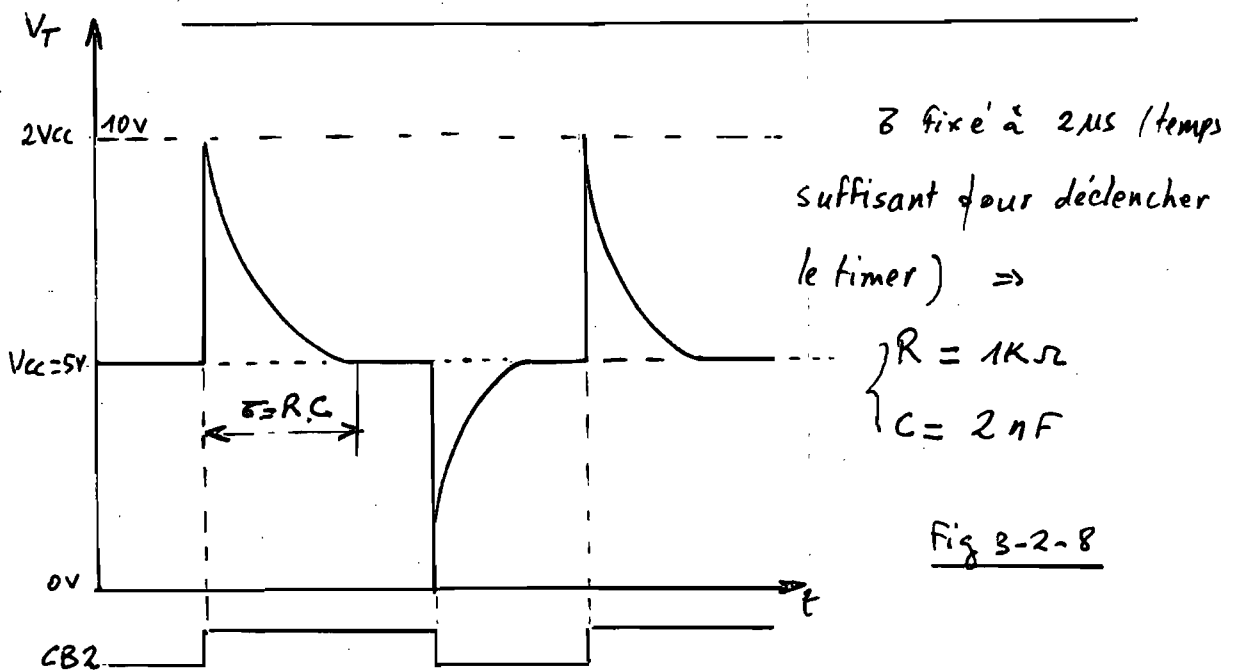
$$R_1 = 1k\Omega \text{ (fixé)} \Rightarrow C_1 = 10,9 nF$$

Choix $C_1 = 10 nF$ (normalisée

et disponible)

Fig 3-2-7-b

Le timer 555 monté en monostable génère une seule impulsion de durée définie $T_0 = 1,1 R_1 C_1$ en réponse à une excitation niveau bas (fig 3-2-7-b). L'excitation doit descendre en dessous de $2/3 V_{CC}$ et être très courte (temps $\ll T_0$) pour assurer un fonctionnement correcte. Cette excitation est générée par l'ensemble C-R (fig 3-2-7-b) qui n'est sensible qu'aux transitions du signal CB2 et dont la réponse est donnée à la fig 3-2-8 (charge instantanée, décharge fonction de la constante de temps RC). La transition haut \rightarrow bas de CB2 génère l'impulsion basse active sur le timer MC 555. La transition bas \rightarrow haut de CB2 engendre une impulsion de niveau $2 V_{CC}$ qui n'a aucun effet sur le timer dont l'entrée 3 peut supporter des tensions de 20V.



Le schéma complet de mise en oeuvre du 555 est représenté en appendice AII-2-a

3-3 L'AMPLIFICATION ET LE FILTRAGE

Les signaux délivrés par les capteurs sont d'une manière générale faibles (quelques dizaines de millivolts au maximum) et leur variations restent du même ordre de grandeur. Il faut donc amplifier nécessairement ces signaux afin de rencontrer les exigences de la résolution et de la précision du convertisseur A/D (Analogique - Digital) : En effet un capteur qui délivre une tension de sortie dont la variation maximale est de 20 mV ne peut être "sentit" par un convertisseur A/D de résolution $\alpha = 78,13 \mu\text{V}$.

L'amplificateur peut assurer plusieurs autres fonctions dans la chaîne de mesure : - La rejection des signaux de mode commun qui se superposent au signal utile (on a alors recours à un amplificateur différentiel. voir 3-3-1)

- L'isolement entre la source du signal et l'unité de traitement en milieu hostile (perturbations électriques, industriel ...). On utilise l'amplificateur d'isolement.

- Le filtrage afin de réduire les influences ou les perturbations aléatoires (bruit de fond) ou de déterministes qui affectent l'intelligibilité de l'information véhiculée par le signal.

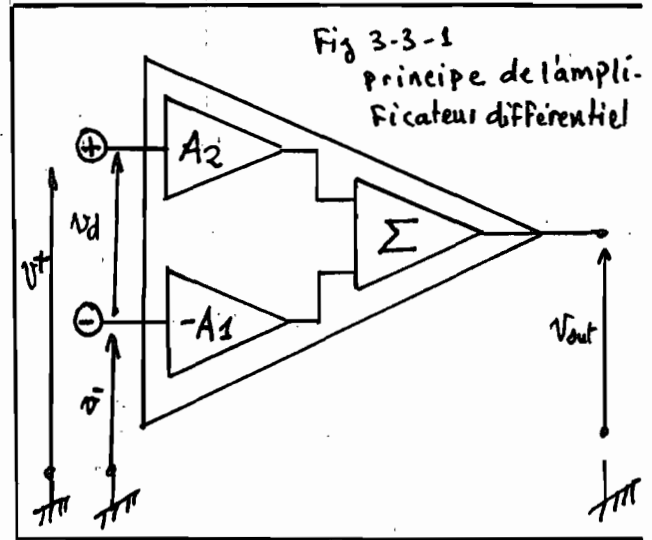
Les amplificateurs intégrés monolithiques ou hybrides contiennent des circuits permettant de réaliser une ou plusieurs des fonctions sus-décrites à la fois.

3-3.1 l'amplificateur différentiel

Lorsque le signal apparaît comme tension différentielle aux extrémités d'une liaison, son traitement par un amplificateur différentiel s'impose.

L'amplificateur différentiel est constitué: (Fig 3-3-1)

- de deux voies amplificatrices, une voie inverseuse de gain $(-A_1)$ et une voie non inverseuse de gain (A_2) .
- d'un sommateur additionnant les tensions fournies par chacune



des voies précédentes et dont la sortie est celle de l'amplificateur différentiel

On obtient à la sortie $N_0 = A_2 v^+ - A_1 v^-$ où v^+ et v^- sont les tensions statiques des entrées, non inverseuse (+) et inverseuse (-) respectivement et N_0 tension de sortie. Si on y ajoute la tension de mode commun V_{cm} (valeur de la tension statique commune aux deux entrées $V_{cm} = (v^+ + v^-) / 2$) on obtient alors

$$N_0 = \frac{A_1 + A_2}{2} N_d + (A_2 - A_1) V_{cm} \quad \text{ou encore}$$

$$N_0 = \frac{A_1 + A_2}{2} \left[N_d + \frac{A_2 - A_1}{A_1 + A_2} V_{cm} \right]$$

où $\frac{A_1 + A_2}{2} = A_d$ est le gain d'amplification différentiel
 $A_2 - A_1 = A_{cm}$ est le gain de mode commun
 $\frac{A_d}{A_{cm}} = \frac{1}{\frac{A_2 - A_1}{A_2 + A_1}}$ est le taux de rejetion du mode commun. (CMRR)

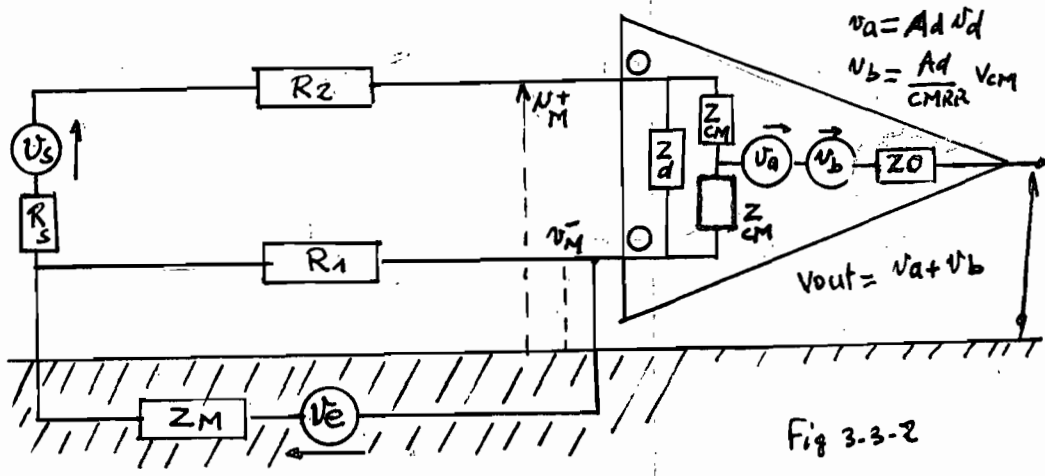
tenant compte de cette terminologie on aboutit à

$$N_0 = A_d \left(N_d + \frac{1}{CMRR} V_{cm} \right)$$

Plus les gain A_2 et A_1 sont proches plus le CMRR est élevé et moins la sortie est influencée par le mode commun. le CMRR augmente

avec le gain.

3.3-2 Condition d'utilisation d'un amplificateur différentiel.



Le circuit réel de l'amplificateur différentiel est présenté à la Figure 3.3-2. On y trouve : - l'impédance de mode commun Z_{CM} entre chacune des bornes d'entrée et la masse - l'impédance différentiel entre les deux entrées Z_d et l'impédance de sortie Z_0 .

En présence d'une tension de masse (couplage par masse) et si on appelle R_1, R_2 et R_s les résistances des lignes de liaison et de source respectivement, une analyse du circuit de la Figure 3-3-2 montre que :

- si $R_2 + R_s = R_1$ les tensions V_M^+ et V_M^- sont égales et deviennent des tensions de mode commun réduites à la sortie par le CMRR. Dans le cas contraire $(V_M^+ - V_M^-)$ est amplifiée comme tension différentielle indésirable.

- les impédances d'entrées doivent être très grandes $|Z_d|, |Z_{CM}| \gg R_s, R_1, R_2$ afin que les tensions d'entrée soient indépendantes des impédances de source, de liaison et de leur variations éventuelles. On a alors $V_M^+ = V_M^- = V_{CM} = V_e$ qui sera réduite à la sortie grâce au CMRR de l'amplificateur.

En définitive le bon fonctionnement de l'ampli-différentiel n'est assuré que si un CMRR élevé est associé à des caractéristiques d'entrée s'approchant de l'idéal et à des caractéristiques de sources et de liaison favorables.

3-3-3 Spécifications de l'amplificateur différentiel

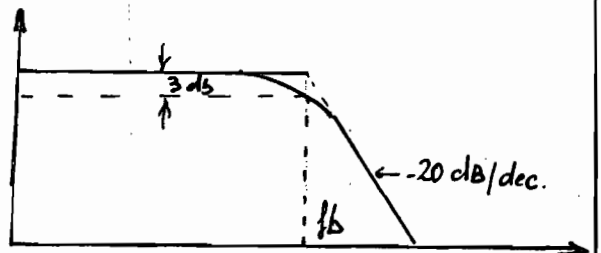
Les spécifications tiennent compte du comportement réel de l'amplificateur. Outre le taux de rejection du mode commun (CMRR) on rencontre habituellement :

— la tension de décalage : Ce paramètre dont la valeur initiale est ajustable à zéro varie en fonction de la température et peut dégrader fortement les performances de l'amplificateur ; c'est le décalage de tension observé à la sortie lorsque la tension à l'entrée est nulle. Le décalage et ses variations sont fonctions du gain.

— Non linéarité : définit la déviation par rapport à la caractéristique théorique.

— temps d'acquisition : C'est le temps nécessaire pour que la sortie atteigne l'entrée avec une tolérance donnée.

— la largeur de bande : Dans la plus part des applications la réponse en fréquence de l'amplificateur est assimilée à celle d'un filtre passe bas du premier ordre. La fonction de transfert est alors $G(f) = \frac{G_0}{1 + j(f/f_b)}$ où f_b définit la largeur de bande. Pour des fréquences inférieures à f_b le gain est constant et vaut G_0 . Pour des fréquences supérieures à f_b le gain n'est plus constant.



— le slew rate : La réponse en fréquence de l'ampli implique l'existence d'une capacité interne. La vitesse de charge et de décharge de cette capacité est naturellement limitée ($\frac{dv}{dt} \Big|_{\text{max}} = \frac{i}{C} = s_r$ et i limité par l'énergie fourni à l'amplificateur par l'alimentation). Cette variation maximum définit le slew rate s_r .

Pour un signal sinusoïdal $v(t) = V \sin \omega t$

$$S_r = \left. \frac{dv}{dt} \right|_{\max} = \left. \frac{dv}{dt} \right|_{t=0} = \frac{v}{c} = \omega V$$

d'où la fréquence maximum admissible pour des signaux d'amplitude V et due à S_r

$$\omega = \frac{S_r}{V} \Rightarrow f_{\max} = \frac{S_r}{2\pi V}$$

3-3-4 l'amplificateur d'instrumentation.

L'amplificateur d'instrumentation est un module d'amplificateur différentiel sous forme de circuit intégré adapté au traitement de signaux en présence de mode commun important. Il présente les caractéristiques suivantes

- gain différentiel de 1 à 10^4
- impédance d'entrée $10^{10} \Omega$ // 5pF typiquement
- impédance de sortie très faible $0,1 \Omega$ réduisant l'effet de charge sur le gain.
- courant de polarisation des entrées très faible
- grande stabilité thermique
- CMRR élevé 100 à 120 dB.

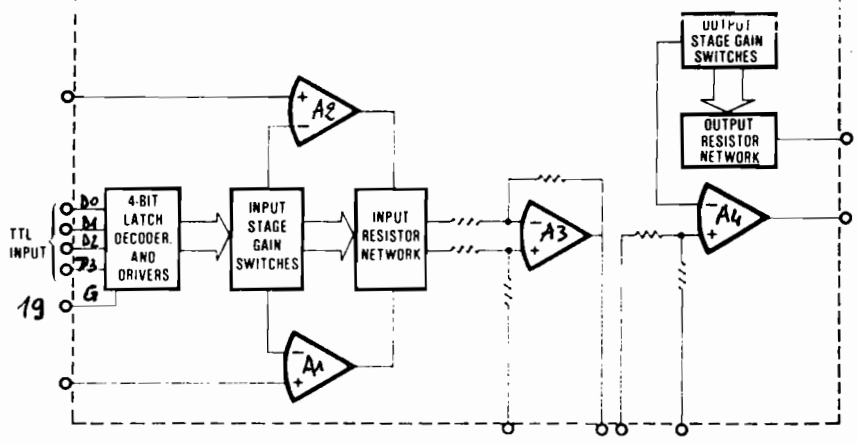
3-3-5 le PGIA3606 de BURR-BROWN.

Le PGIA3606 est un amplificateur d'instrumentation à gain programmable dont le gain différentiel peut prendre 11 valeurs (1 à 1024) suivant les puissances de 2. (2^0 à 2^{10}). La sélection du gain se fait par l'envoi d'un mot binaire (niveau TTL) codé sur 4 bits. Le PGIA3606 permet ainsi de traiter des signaux de grande dynamique, avec une bonne résolution.

En outre les caractéristiques d'entrées, de transfert et de sortie quasi idéales permettent d'obtenir des précisions très élevées (0,01%)

La figure 333 représente le schéma bloc du PGIA3606. On y trouve

Fig 3-3-3
Schéma de principe
du PGIA A3606
BURR-BROWN *



On y trouve :

- l'étage d'entrée constitué de deux voies amplificatrices, (A_1 pour le signal \ominus et A_2 pour le signal \oplus) et d'un sommateur A_3 à gain unitaire qui fournit à sa sortie la différence des sorties de A_1 et A_2 .
- l'ensemble A_1 et A_2 à un gain, variable
- l'étage de sortie (A_4) à gain également variable qui amplifie la tension différentielle issue du sommateur A_3 .
- la logique de sélection du gain comprenant un verrou, un décodeur 4 bits un actionneur, et par étage, des commutateurs et un réseau de résistance les lignes D_2 et D_3 déterminent le gain du premier étage et D_0 et D_1 celui du second.

3-3-5 a Caractéristiques du PGIA 3606

Les spécifications du PGIA 3606 sont fournies en annexe. ** On a essentiellement

- tensions d'entrées maximum $\pm 15V$
- plage de tension de mode commun 8 à 10V
- impédance d'entrée différentielle $10^{10} \Omega // 3pF$ très élevée. (idéale)
- impédance de mode commun $10^{10} \Omega // 3pF$ très élevée. (idéale)
- impédance de sortie $0,05 \Omega$ très faibles. (idéale)
- précision (non linéarité maximale) 0,01%
- courant de sortie 5mA à 10V.

* Sélection du gain : La sélection de gain se fait par l'envoi d'un mot binaire codé sur 4 bits sur les lignes $\Delta 0$ à $\Delta 4$. Les données qui apparaissent sur ces lignes ne sont prises en compte que lorsque le verrou interne est ouvert (ligne G - crochets à "i"). Le tableau suivant donne les codes pour le gain.

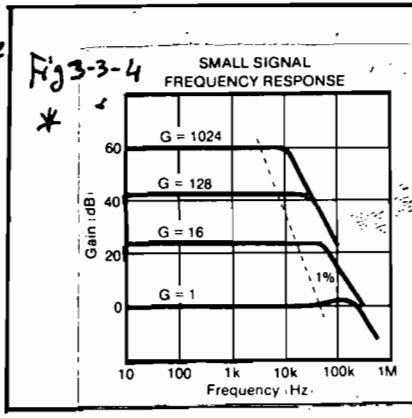
binaire	Hexa	decimal	Valeur du gain
0 0 0 0	0	0	1
0 0 0 1	1	1	2
0 0 1 0	2	2	4
0 0 1 1	3	3	4
0 1 0 0	4	4	4
0 1 0 1	5	5	8
0 1 1 0	6	6	16
0 1 1 1	7	7	16
1 0 0 0	8	8	32
1 0 0 1	9	9	64
1 0 1 0	A	10	128
1 0 1 1	B	11	128
1 1 0 0	C	12	256
1 1 0 1	D	13	512
1 1 1 0	E	14	1024
1 1 1 1	F	15	1024

- Caractéristiques de gain : Les mesures suivantes ont été obtenues pour les tensions d'entrée et de sortie après avoir ajusté le gain ($G=1$, $G=1024$ et $G=256$) les courbes représentatives* montrant la linéarité parfaite de la caractéristique gain dans la plage de fonctionnement. Mesures effectuées avec des signaux sinusoidaux de fréquence 1KHz.

$G=1$	V_{in} (V)	-15,5	-10	-4	-0,20	0,5	4,0	8,0	12,0	15,0
	V_{out} (V)	-14,3	-10,02	-4	-0,20	0,51	4,01	8,02	11,98	14,08
$G=256$	V_{in} (mV)	-60	-45	-39,3	-8,5	3,6	20,1	39,7	60	70
	V_{out} (V)	-14,08	-11,53	-7,77	-2,19	0,93	5,13	10,16	14,0	14,3
$G=1024$	V_{in} (mV)	-15	-12,1	-5,2	-0,4	0,8	6,2	10,8	15	17
	V_{out} (V)	-14,3	-12,09	-5,36	-0,42	0,88	6,38	11,11	14,10	14,3

* Largeur de bande :

La figure 3-3-4 montre la réponse en fréquence du PGA3006. D'après cette figure la largeur optimum est 10KHz. Au delà de 10KHz on observe pour les gains supérieurs une forte atténuation du gain.



- Limitation de bande due au slew rate: -

le slew rate est de 0,5 V/μs typiquement

ce qui donne les

fréquences maximums de
$$F_{max} = \frac{sr}{2\pi V} = \frac{0,5}{2\pi \cdot 10 \cdot 10^{-6}} = 7957,7 \text{ Hz}$$
 pour des amplitudes de 10V.

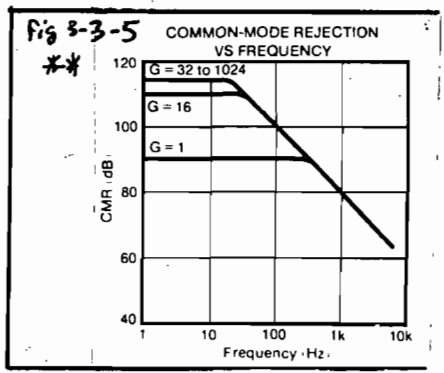
la largeur de bande voulue par le cahier de charge étant de 10KHz ne peut être atteinte avec le PGA3006 en oeuvre. Nous considérons désormais la largeur de bande de 7,9KHz.

* temps de montée selon les données du fournisseur et pour un gain de 128 et une précision de 0,1% est de 100 μs. étant donnée qu'il faut des précisions inférieures, et si on tient compte du temps de sélection du gain on peut augmenter ce temps de 40% soit 140 μs.

* Rejection du Mode Commun

le CMRR est fonction de la fréquence, et du gain en basse fréquence

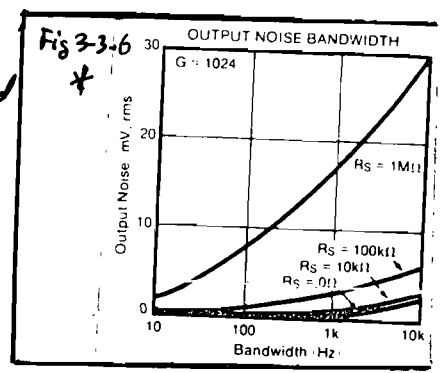
la figure 3-3-5 montre que le CMRR initialement élevé (5,50) se dégrade fortement avec la fréquence (=60 pour 10KHz) pour une fréquence maximale de 7,9KHz on obtient par interpolation un CMRR = 65 dB valeur limite pour les fréquences inférieures.



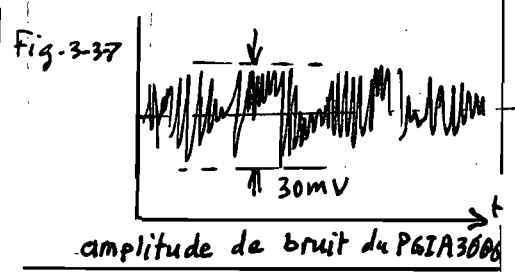
* et ** ref 16 page 2-56

* Réduction du bruit

D'après la figure 3-3-6 le bruit à la sortie dépend de la résistance de source et de la fréquence pour un gain donné. Pour $F = 7,9 \text{ KHz}$ et $R_s \approx 0 \Omega$ (résistance de sortie du multiplexeur) on obtient l'amplitude du bruit de 2 mV RMS .



D'après les mesures effectuées pour $G = 1024$ $R_s \approx 0 \Omega$ on obtient des valeurs crête à crête de 30 mV dues au fonctionnement des circuits logiques



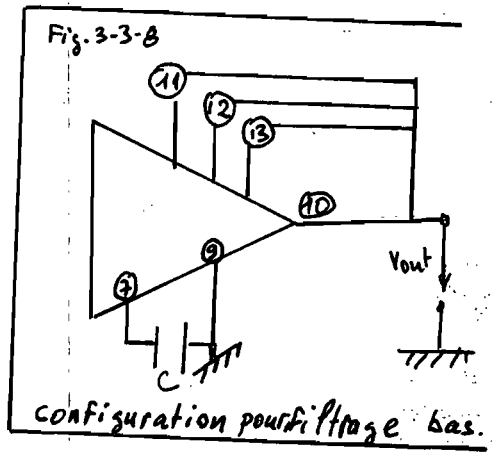
proches (commutations) et aux différentes influences aléatoires (variations du réseau, de l'alimentation etc...).

Le PGA3006 contient des circuits pour le filtrage passe bas dont la configuration est représentée à la fig 3-3-8

La valeur de la capacité C est déterminée par l'équation suivante

$$F_{\text{max}} = \frac{1}{2\pi \times 5 \cdot 10^3 (C_2 + 330 \text{ PF})}$$

(donnée par le fournisseur.)



Pour la fréquence de coupure de $7,9 \text{ KHz}$ on obtient $C_2 = 4 \text{ nF}$ le filtrage permet de limiter la bande passante de bruit et de réduire l'effet des commutations haute fréquence des circuits logiques.

On aboutit finalement à un niveau de bruit de 2 mV crête à crête pour le gain de 1024, à la sortie. soit $2 \cdot 10^{-6} \text{ V}$ ramené à l'entrée.

3-3-5-b Mise en oeuvre

Le détail de la mise en oeuvre du PGA3006 est montré en annexe**

3.4 LE MULTIPLEXAGE ANALOGIQUE

Un système d'acquisition comporte généralement plusieurs voies. Par ailleurs l'ordinateur ne peut traiter instantanément qu'un seul signal à la fois. Il est donc nécessaire de lui raccorder successivement selon une séquence définie toutes les voies : C'est le rôle du multiplexeur (MPX). L'équivalent électronique du MPX est un combinateur à 2^n positions sélectionnées par n bits. Un seul des 2^n entrées

est aiguillée vers la sortie fig 3.4.1

Le MPX peut être analogique (entrées et sorties analogiques) ou numérique (entrées et sorties numériques). Le multiplexage

analogique peut être singulier (entrées singulières) ou différentiel (entrées différentielles). Seul le multiplexage analogique est examiné ici.

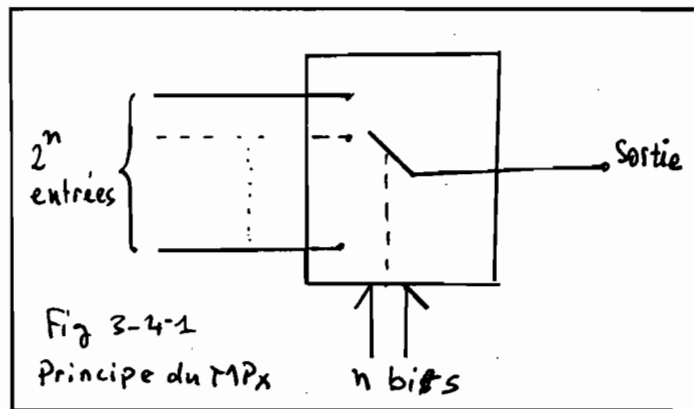


Fig 3-4-1
Principe du MPX

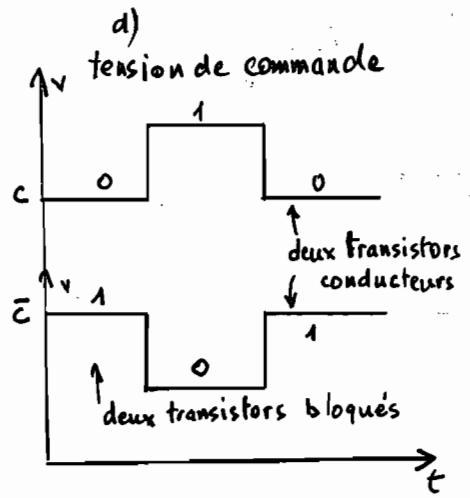
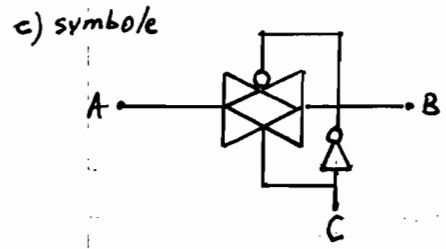
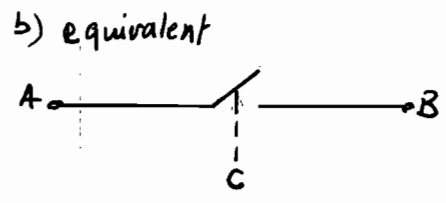
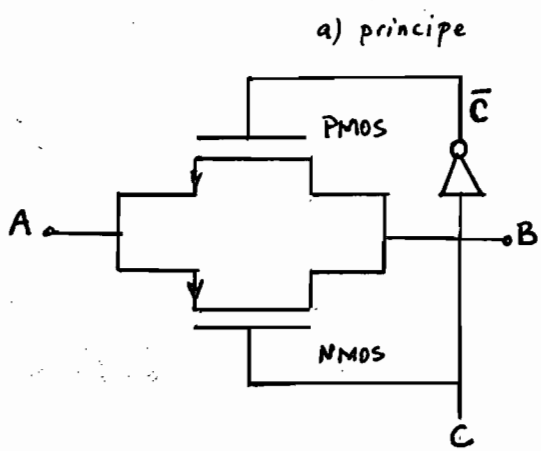
3-4-1 La porte de transmission CMOS.

La porte de transmission (ou commutateur) CMOS est l'élément fondamental du MPX analogique. Son principe est illustré à la fig 3-4-2a. On y trouve deux transistors MOS (un NMOS et un PMOS) connectés en parallèle et commandés par des signaux logiques complémentaires c et \bar{c} . Les caractéristiques de résistance des transistors et de la porte CMOS sont illustrées à la fig 3.4-2e. - Pour les valeurs ($c=0$ et $\bar{c}=1$) les deux transistors sont bloqués et la résistance équivalente en circuit ouvert entre les points A et B (Fig 3-4-2a) est très élevée ($\rightarrow \infty$)

- Pour les valeurs ($c=1$ et $\bar{c}=0$) les deux transistors

sont conducteurs. La résistance équivalente en circuit fermée (R_{on}) est faible ($\ll 1K\Omega$) et le commutateur se comporte comme un interrupteur fermé.

Réalisation: chaque voie du MPX contient une porte de transmission CMOS. C'est la logique interne du MPX qui détermine le niveau des variables de commande \bar{C} et C des portes de manière à les rendre tour à tour passantes, une seule à la fois.



e) caractéristiques de résistance

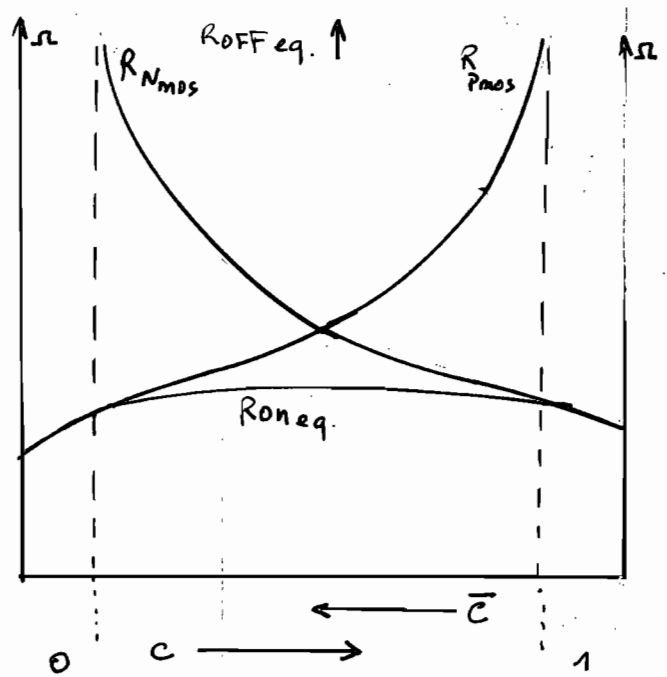


fig. 3-4-2
Le commutateur CMOS

3-4-2 Le MPC8D de BURR-BROWN

3-4-2 a Description et principe de fonctionnement

Le MPC8D est un multiplexeur analogique monolithique à 8 entrées différentielles de technologie CMOS. Il permet le transfert avec une précision inférieure à 0,01% et une fréquence d'échantillonnage supérieure à 200kHz des signaux analogiques d'amplitude supérieure à 10V. La logique interne de sélection du canal est compatible TTL, DTL et CMOS.

La figure 3-4-3 représente le schéma de principe du MPC8D. On y trouve les entrées différentielles (chanal) : CH1 à CH8 et leurs circuits de protection internes (écrêtage de la tension analogique par diode); la paire de

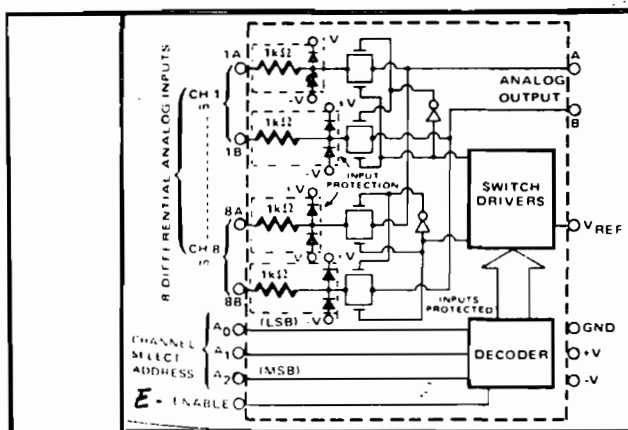


Fig 3-4-3* principe du MPC8D

commutation CMOS pour chaque entrée; des actionneurs de commutateurs (switch drivers) et le décodeur qui reçoit l'adresse digitale du canal par A2 A1 A0 et agit sur le commutateur approprié. Le décodeur est mis en fonction ou inhibé par la ligne E. La sortie différentielle est fournie par les lignes A(+) et B(-). La table de vérité et le brochage du MPC8D sont représentés aux fig 3-4-4-a et 3-4-4-b respectivement.

A ₂	A ₁	A ₀	EN	ON SWITCH PAIR
X	X	X	L	NONE
L	L	L	H	1
L	L	H	H	2
L	H	L	H	3
L	H	H	H	4
H	L	L	H	5
H	L	H	H	6
H	H	L	H	7
H	H	H	H	8

a) table de vérité

b) brochage

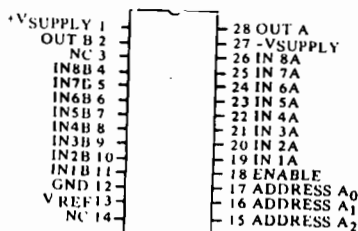


Fig 3-4-4**

* et * Ref 16 page 9-11

3-4-2 b. Comportement statique

Le schéma statique du MPC8B est illustré à la figure 3-4-5

On y trouve : - les tensions de source V_{S1} à V_{S8} et les résistances de source (R_{S1A}, R_{S1B}) - à (R_{S8A}, R_{S8B})

- les résistances équivalentes de fermeture (R_{ON1A}, R_{ON1B}) du canal 1 et d'ouverture R_{OFFA} et R_{OFFB} des autres canaux : (le canal 1 est supposé fermé et les autres ouverts).

- les courants de fuite I_{LA} et I_{LB} dus aux canaux ouverts
- les courants de polarisation $I_{bias A}$ et $I_{bias B}$.
- la résistance de mode commun pour chaque entrée R_{cm}
- l'impédance de charge $R_d // C_d$ et de mode commun de

la charge $R_{cm} // C_{cm}$.

L'analyse de ce circuit permet de faire les remarques suivantes :

- Des erreurs sont incorporées par l'effet des résistances de source, de charge, de fermeture R_{on} , par l'impédance de mode commun et l'impédance différentielle, au niveau de la charge
 - les courants de polarisation des entrées et de fuite des canaux ouverts induisent un décalage de tension à l'entrée fonction de la résistance R_{on} et de la résistance de source.
 - La complexité du circuit rend le contrôle de ces erreurs difficile surtout lorsque les tensions différentielles d'entrées sont faibles (10 à 100mV)
- On peut néanmoins réduire leur effet en prenant les mesures suivantes :

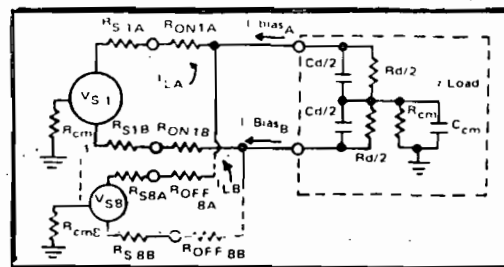


Fig 3-4-5* comportement statique du MPC8B

- utilisation d'amplificateur d'entrée pour des signaux dont l'amplitude est inférieure à 25 mV. La réalisation de cette condition revient au traitement du signal au niveau des capteurs non décrit dans cet ouvrage.

- la charge doit avoir un courant de polarisation très faible (ce qui est obtenu puisque l'amplificateur a ± 15 nA de courant de polarisation)

- l'impédance de la charge doit être $\geq 10^{10} \Omega$ (réalisé aussi)

- l'impédance de source doit être faible $\ll 1 \text{ k}\Omega$ et ses variations faible ($\pm 50 \Omega$ maximum) (rôle du traitement aux capteurs).

- les boucles de terre doivent être évitées et les couplages réduits.

Les caractéristiques statiques du MPC8D sont données en annexe (Appendice AII-4b) on résume ici l'essentiel.

- dynamique ($0, \pm 15 \text{ V}$). Alimentation $\pm 15 \text{ V} \pm 18 \text{ mA}$.

- courant de sortie 5 mA

Résistance de fermeture $R_{ON} = 1,4 \Omega$. Résistance d'ouverture $R_{OFF} = 10^8 \Omega$

3.4.2.6 Comportement dynamique

La fig 3-4-6 représente le schéma équivalent petits signaux du MPC8D

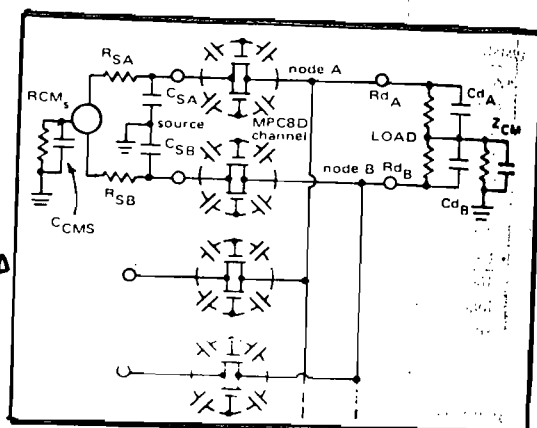


Fig 3-4-6
schéma équivalent
petits signaux du MPC8D
(Ref 16 page 9.14)

on y trouve : - les capacités parasites grille-source et grille-drain des CMOS.
 - les capacités de source C_A et C_{S3}
 - l'impédance de charge, de mode commun et de source
 et l'impédance de mode commun de charge.

Les caractéristiques dynamiques sont déduites de ce schéma et des courbes de la figure 3-4-7 pour une résistance de source de $1K\Omega$

* le temps de montée : il est dû à la présence des capacités parasites du CMOS, de la source et de la charge. Ces capacités induisent des constantes de temps (charge et décharge) retardant le transport de charge de l'entrée à la sortie. Le temps de montée a donc deux composantes :

La première est le courant transmis à la charge et à la source par la paire CMOS, dont la valeur est déterminée par l'amplitude (V_c), le temps de montée du signal de commande, et des capacités parasites C du CMOS.

$$i = C (dV_c / dt) \quad dt = \text{temps d'accès fig 3-4-7-a}$$

La deuxième composante résulte de ce transfert de charge du CMOS vers la source et la charge : la tension fournie à la source et à la charge est déterminée par le courant ci-dessus et les capacités de source et de charge selon la loi suivante

$$dV_{\text{charge}} = (i / C_{\text{charge}}) dt \quad (\text{ou } dV_{\text{source}} = (i / C_{\text{source}}) dt)$$

$$\text{avec } i = C_{\text{CMOS}} (dV_c / dt)$$

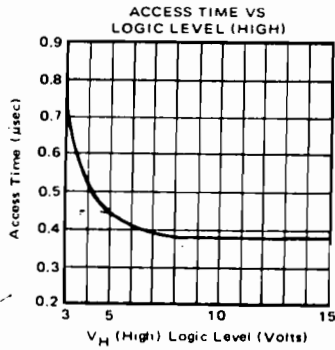
La source ainsi chargée doit donc redistribuer cette charge à travers la résistance de source d'où l'effet de R_s sur le temps de montée

le temps de montée est défini pour une précision donnée.

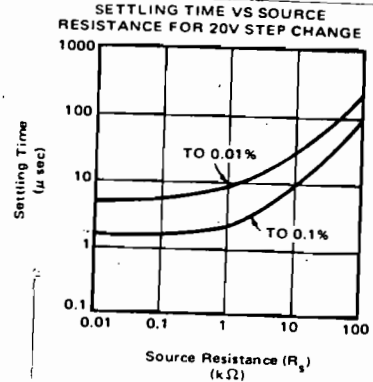
pour les besoins de l'interface : précision de 0,1% et $R_s = 1K\Omega$

on obtient de la figure 3-4-7-b un temps de montée de $3\mu s$. Si on tient

compte du temps d'accès on aboutit à 4,5µs environs.



a) temps d'accès



b) temps de montée

c) crosstalk

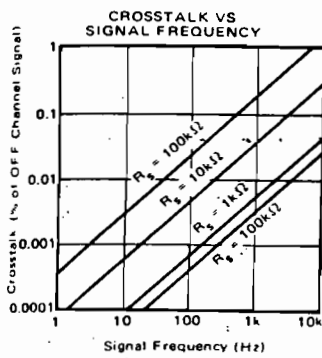
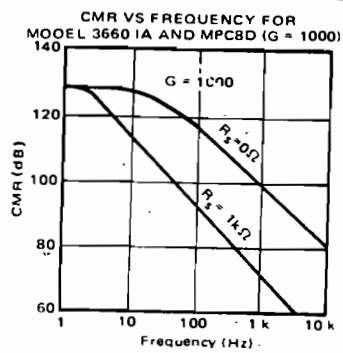


Fig 3-4-7
(Ref 16 - page 9-15)

d) rejection de mode commun



✶ le temps de commutation (switching time) : c'est le temps requis pour que le CMOS change d'état (fermeture Turn ON ou ouverture turn OFF) dès que l'on applique un code binaire aux lignes de sélection. Il inclut le temps du décodage d'une part et d'autre part le temps d'actionnement et de basculement des commutateurs CMOS. On a Turn ON = 0,5µs et Turn OFF = 0,3µs.

✶ le crosstalk. Le crosstalk désigne l'effet des canaux ouverts sur le canal sélectionné (fermé). On sait (fig 3-4-7-c) que les canaux ouverts, par la résistance R_{OFF} , constituent avec les résistances R_{ON} , R_s et les capacités parasites du canal fermé un diviseur de tension. De ce fait une portion des tensions V_s connectées aux canaux non sélectionnés

nés se retrouve sur le canal sélectionné et est transmise à la sortie comme quantité indésirable. Pour $R_s = 1\text{K}\Omega$ et $f = 7,9\text{KHz}$ on obtient (fig 3-4-7.c) un crosstalk maximum de 0,07% du signal du canal ouvert. 0,07% est inférieure à la précision requise 0,1%.

* Rejection du mode commun : les facteurs affectant le CMRR sont (fig 3-4-6) :

- * Le courant de polarisation de la charge et l'impédance différentielle de charge et leur variations. (fig. 3-4-6)
- * l'impédance de mode commun de la source et de la charge
- * Les capacités de mode commun apparaissent entre chaque signal et la masse et limitant le CMRR en haute fréquence.

Les caractéristiques de l'amplificateur étant quasi idéales, la rejection en mode commun du MAPX sera déterminée par la source seule. La fig 3-4-7-d représente le CMRR en fonction de la fréquence et de la résistance de source. Pour $R_s = 1\text{K}\Omega$ et $f = 7,9\text{KHz}$ on obtient $\text{CMRR} = 63\text{dB}$. Le CMRR est amélioré pour des résistances de source et des fréquences faibles.

34-2-d Mise en oeuvre

Le MPC 80 ne nécessite ni réglage ni protection externe pour le mettre en oeuvre; il suffit de respecter le brochage et les gammes de tensions autorisées.

Les 64 voies sont obtenues par la mise en cascade de 8 MPC 80. on associe aux multiplexeurs un verroux (74LS 873) et un décodeur / demultiplexeur (74LS 135). L'adressage des 64 (2^6) voies exige 6 lignes de données D0 à D5. Les lignes D0, D1 et D2 servent à coder une voie parmi 8 de chaque multiplexeur. Les lignes D3 à D6

transitent par le décodeur et permettent de valider un multiplexeur parmi 8. Le verroux sert à mémoriser l'adresse du canal pendant le traitement. Le montage simplifié du multiplexage est présenté à la figure 3-4-8. Le schéma complet est montré en annexe à l'appendice AII-4-a.

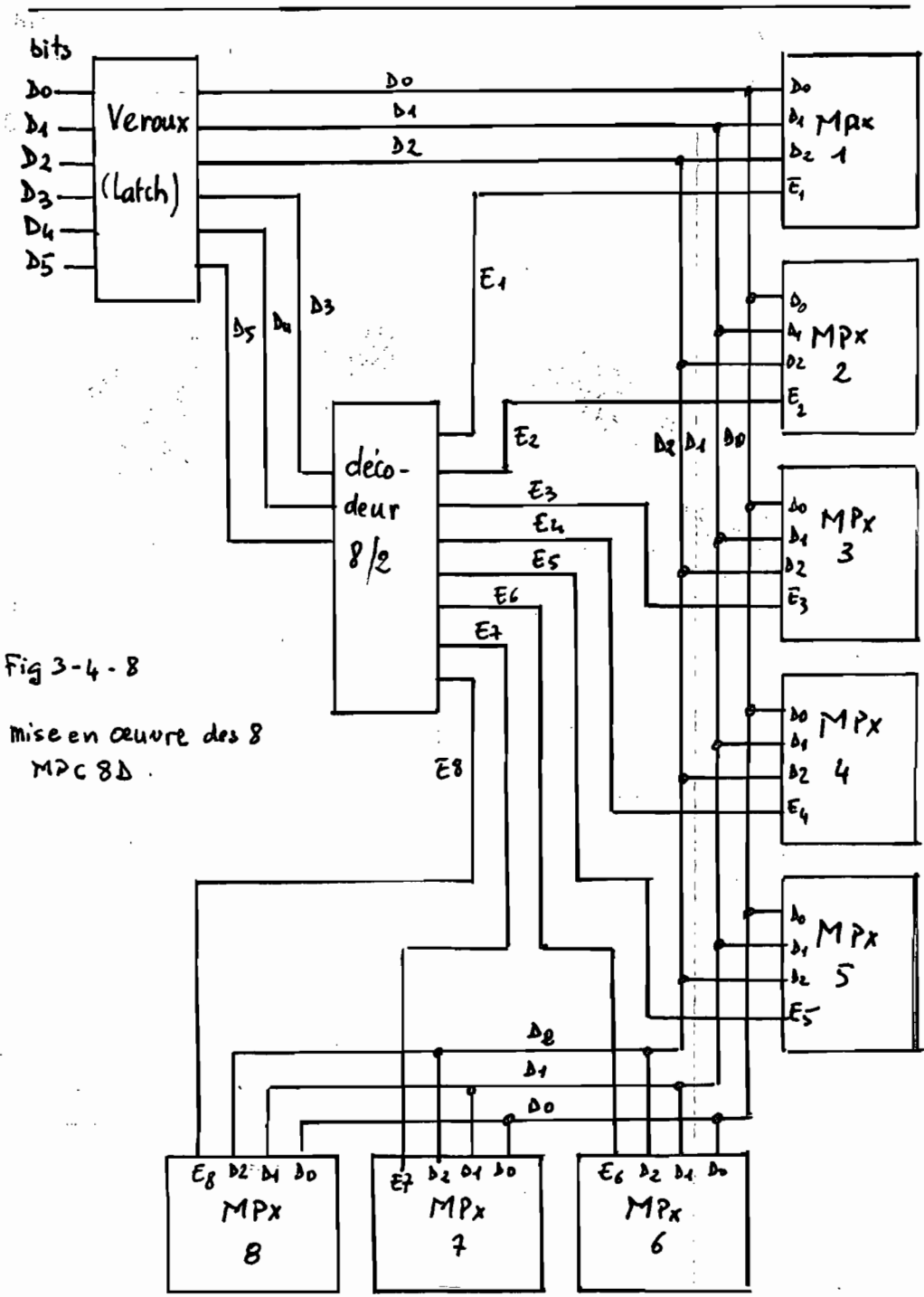


Fig 3-4-8
mise en oeuvre des 8
MPC 8D.

Fig 3-4-8 mise en oeuvre du MPC 8D (schéma simplifié)

3-5 LA LOGIQUE DE CONTROLE

La mise en œuvre d'une interface d'acquisition de données requiert des éléments logiques afin de synchroniser le transfert de données entre les différents éléments (sélection d'un canal, sélection du gain de l'amplificateur, commande d'échantillonnage, commande de conversion). La gestion de l'interface étant assurée par ordinateur, la logique renferme nécessairement deux aspects matériel et logiciel. Nous décrivons dans cette section la logique propre à l'interface d'acquisition; l'interfaçage avec le microprocesseur, et les logiciels sont étudiés plus loin. (au chap IV)

Le circuit logique de l'interface (Appendice AII-6a) comprend 23 lignes d'entrées logiques (toutes issues de l'ordinateur) et 8 lignes de sorties pour la commande (O_0 à O_7). Parmi les entrées logiques on trouve 8 lignes d'adresse^(A₀ à A₇), 8 lignes de données (D_0 à D_7) 5 lignes de commande et les lignes d'alimentation (0 et 5V).

3-5-1 décodage des adresses.

Les 8 lignes d'adresse permettent la sélection d'un canal, la sélection du gain et le choix du mode opératoire de l'interface (acquisition ou commande).

Les 6 premiers bits permettent la sélection d'un canal parmi 64 de la façon suivante (voir fig 3-5-1) : Le circuit intégré 74LS139 renferme deux décodeurs 2/4 qu'on met en cascade pour obtenir un décodeur 2/8.

Les bits A_0 , A_1 et A_2 sélectionnent pour chaque multiplexeur valide un canal parmi 8 ($2^3 = 8$). Les bits A_3 et A_4 valident pour chaque décodeur sélection.

tionné un multiplexeur parmi 4 ($2^2=4$). Enfin le bit A5 sélectionne un décodeur parmi deux ($2^1=2$)

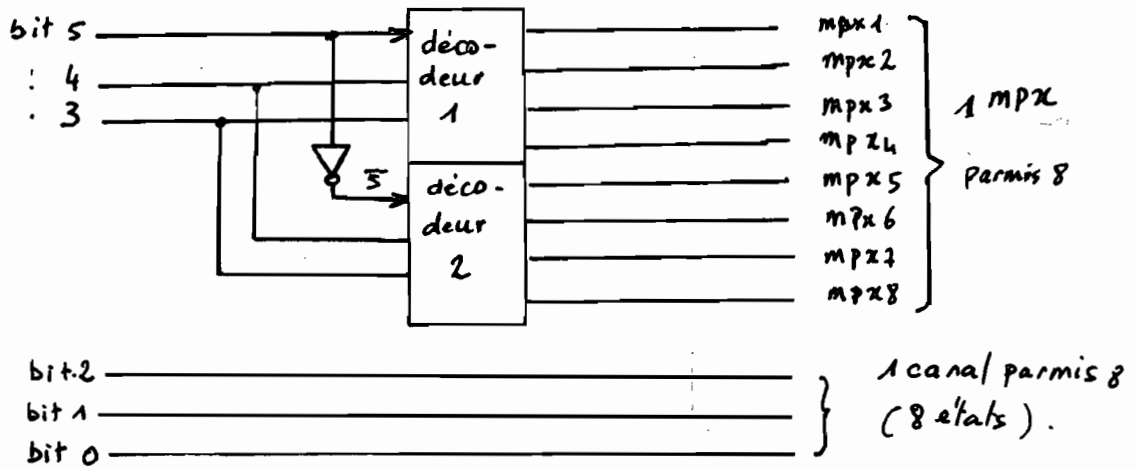


Fig 3-5-1

Parmi ces 6 premiers bits (A_0 à A_5) 4 sont utilisés pour sélectionner le gain ; 16 (2^4) possibilités. Ce sont les bits A_0 , A_1 , A_2 et A_3 qui deviennent alors des données car la valeur du gain dépend de leur état (voir amplification section 3-3). La sélection du canal et du gain n'est pas simultanée mais l'un après l'autre ; comme on utilise les bits A_0 à A_3 à la fois pour la sélection du gain et du canal il faut que le circuit puisse reconnaître la nature du code envoyé. On utilise pour cela le circuit intégré 74LS873 comme "registre d'adresse" pour la sélection des canaux et le registre (latch) de gain incorporé dans l'amplificateur. Selon que l'un des registres est sélectionné le contenu des bits sera interprété par l'interface comme l'adresse d'un canal ou comme le code d'un gain. On utilise le bit n° 7 pour la sélection des registres, "adresse" et gain.

Le bit A_6 enfin fait de l'interface une sortie (commande) à l'état "1" en autorisant l'inscription de la donnée de commande dans le verrou L2 qui est un circuit 74LS873 comme le verrou L1 ; à l'état "0" le bit A_6

Configure l'interface en acquisition, on peut alors choisir le mode d'acquisition (univoie ou multivoie) par programme. La figure 3-52⁹ (page suivante) montre la configuration des bits d'adresse pour les différentes options de l'interface.

La sélection se fait alors par les mots (0000xxxx) où xxxx représente le code correspondant au gain (voir ^{aussi} l'amplificateur section 3-34 page 42)

Les adresses des différentes voies sont déterminées par les mots (10xxxxxx) où (xxxxxx) est le code correspondant à la voie. Les adresses étant successives (par construction) on obtient (1000 0000) pour la voie n° 1 et (10 11 1111) pour la voie 64. La succession des adresses facilite la programmation.

3-5-2 Les lignes de commande

La ligne $\overline{S\overline{Z}}$ active sur le plan descendant commande l'échantillonnage comme décrit (au paragraphe 3-2-4-b page 34)

La ligne $\overline{H\overline{Z}}$ active aussi sur le plan descendant suit la sortie du timer et permet de détecter la fin de l'échantillonnage (qui dure 12 μ s), donc l'instant du blocage afin de générer la commande de conversion.

La ligne \overline{CVC} (convert command) est chargée de commander la conversion par une impulsion niveau bas inversée par la suite et dont la durée minimale est de 50 ns

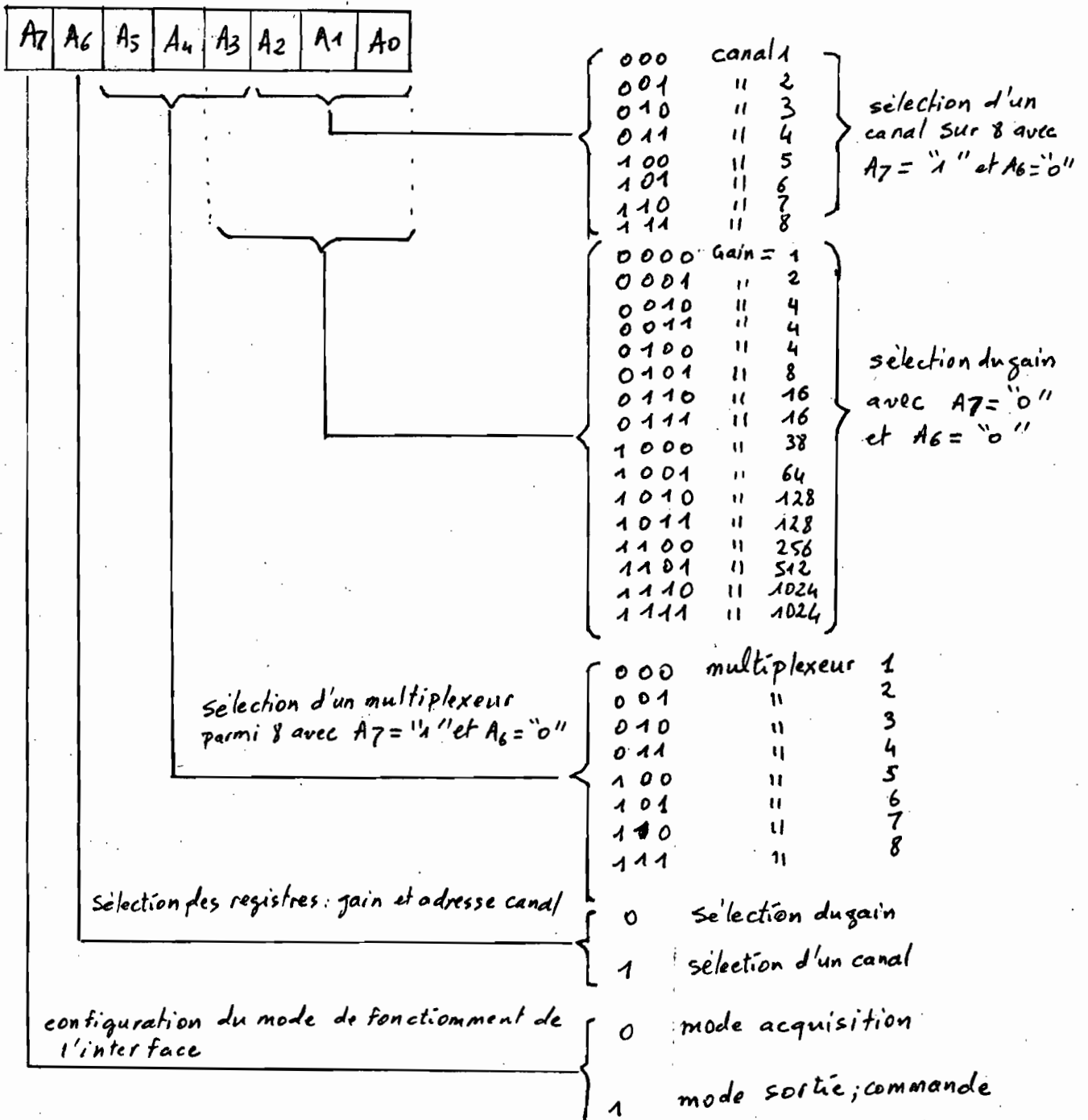
La ligne \overline{Status} sert à reconnaître la fin de conversion.

Les lignes \overline{status} et $\overline{H\overline{Z}}$ peuvent fonctionner en mode interruption ou en mode dialogue ou en sondage.

3-5-3 Synchronisation

Le circuit 74LS873 qui sert de véroux (L1) d'adresse comprend deux

fig 5-1-2 Configuration des bits d'adresse pour les différents modes de fonctionnement de l'interface.



registres 4 bits validés respectivement par les entrées ($\bar{2}$, 23) et ($\bar{11}$, 14). Les broches $\bar{2}$ et $\bar{11}$ sont mises à la masse ("0") afin de permettre la mémorisation de l'adresse durant le temps de traitement. Les broches 23 et 14 autorisent ou inhibent l'écriture dans les registres. Elles sont actives à l'état "1". Le temps requis pour l'ouverture et le verrouillage est de 11 ns. Par ailleurs les données issues du microprocesseur sont parallèles; les valeurs des bits changent donc simultanément. Comme le bit A7 est utilisé pour sélectionner les registres il se pose un problème de synchronisation: pour que les données soient inscrites dans le registre il faut que le bit A7 les sélectionne 11 ns au moins avant l'arrivée des autres bits. De même pour que les données soient mémorisées il faut que A7 aie la même avance (11 ns minimum) à la fermeture. (voir temps de propagation en appendice A116)

Ce problème de synchronisation est résolu en ajoutant le Buffer LS245. Les 8 premiers bits qui y passent y perdent 30 à 40 ns par rapport au bit A7. On crée ainsi une avance suffisante pour le bit A7. Le LS245 sert par ailleurs à renforcer le bus du microprocesseur au niveau de l'interface. La configuration ainsi montrée ne permet qu'une seule séquence: sélection du canal obligatoirement avant le gain.

Le verrou L_2 est autorisé ou inhibé par le bit A6 pour ces mêmes raisons de synchronisation.

Le circuit 74LS245 à la sortie du ALD permet d'isoler le ALD du bus de données pendant le mode sortie (commande) sur les lignes O_0 à O_7 . Le circuit sert aussi de Buffer pour les données issues du ALD en mode acquisition.

3-5-4 les chronogrammes d'acquisition

Les chronogrammes représentent le séquençage des opérations au cours du cycle d'acquisition. On associe à chaque mode de fonctionnement un chronogramme.

* Mode multivoie. Le chronogramme en mode multivoie est représenté à la figure 3-5-2. Le canal (n) est supposé en cours d'exploitation. On y trouve les détails des temps perdus par les bits A0-A5 à travers les différents circuits (LS245, LS873, LS139) établis sur la base des temps de transfert de ces circuits.* L'adresse met 83 ns ($40+5+39$) pour atteindre le multiplexeur. Mais le canal n'est effectivement ouvert que $0,5 \mu\text{s}$ (turn on) plus tard (Turn on est le temps de réponse du circuit logique interne du multiplexeur). Le canal n-1 qui vient d'être exploré reste ouvert (turn off) $0,3 \mu\text{s}$ après la sélection du canal n (turn off est le temps d'ouverture des commutateurs CMOS et du circuit logique interne). Comme $\text{Turn off} < \text{Turn on}$ il n'y a pas de risque que deux canaux soient ouverts en même temps. Une fois le canal (n) ouvert il faut compter $145 \mu\text{s}$ (le temps de montée pour le multiplexeur de $0,5 \mu\text{s}$ et celui de l'amplificateur $140 \mu\text{s}$ pour une précision de 0,1%) avant de commander l'échantillonnage par $\overline{\text{SE}}$ et attendre pendant $12 \mu\text{s}$ l'instant du blocage signalé par $\overline{\text{HE}}$. La commande de conversion doit survenir $1 \mu\text{s}$ après le blocage ($1 \mu\text{s}$ est le temps de stabilisation du transitoire de blocage). La fin de conversion est reconnue par $\overline{\text{status}}$ et les données peuvent être lues. Le traitement du canal (n) peut se faire immédiatement après la lecture, avant d'acquiescer le canal suivant (lecture et traitement sans recouvrement). Le traitement peut aussi se faire pendant les $145 \mu\text{s}$ d'attente de stabilisation de l'amplificateur et du multiplexeur lors de l'acquisition du canal suivant : (la donnée

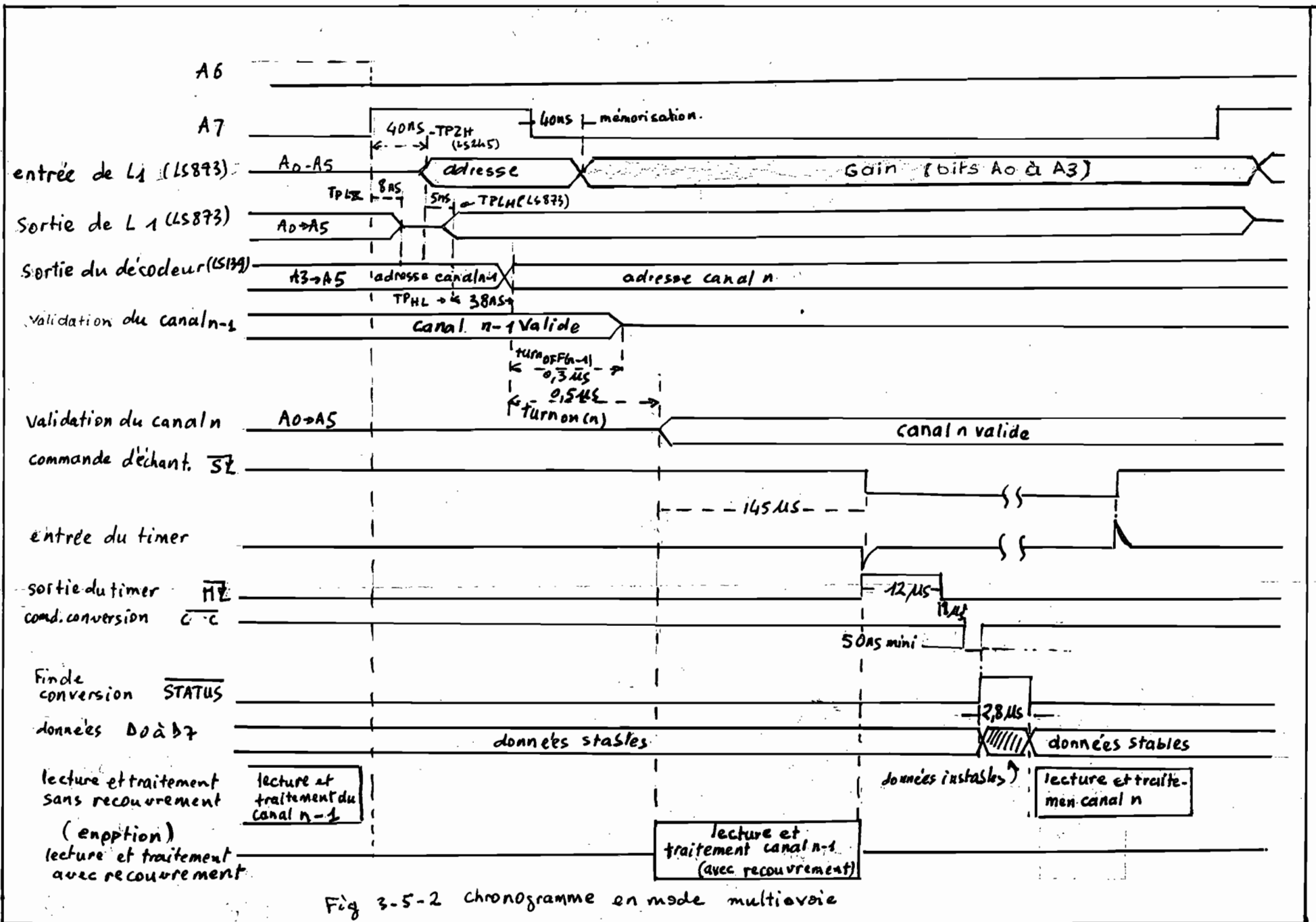


Fig 3-5-2 chronogramme en mode multivoie

du canal $n-1$ est traité pendant l'acquisition du canal n). Cette option est le fonctionnement avec recouvrement : Il est souhaitable que le temps de traitement soit inférieur au $45 \mu s$ de stabilisation afin d'avoir le maximum d'efficacité sur le plan de la vitesse d'acquisition. Dans tous les cas le fonctionnement avec recouvrement est plus rapide.

* Mode uni voie (voir fig 3.5.3) pour ce mode le premier cycle est identique au cycle multivoie. Dans le chronogramme on est supposé faire la même acquisition, sur le même canal. L'adresse du canal est alors valide et fixée une fois pour toute. Le cycle ne renferme que l'échantillonnage la conversion et éventuellement le traitement.

* Pour le mode sortie (commande) le bit A_6 doit changer d'état (niveau haut) pour interdire le passage des données issues du A/B et autoriser l'écriture dans le latch de sortie (L2)

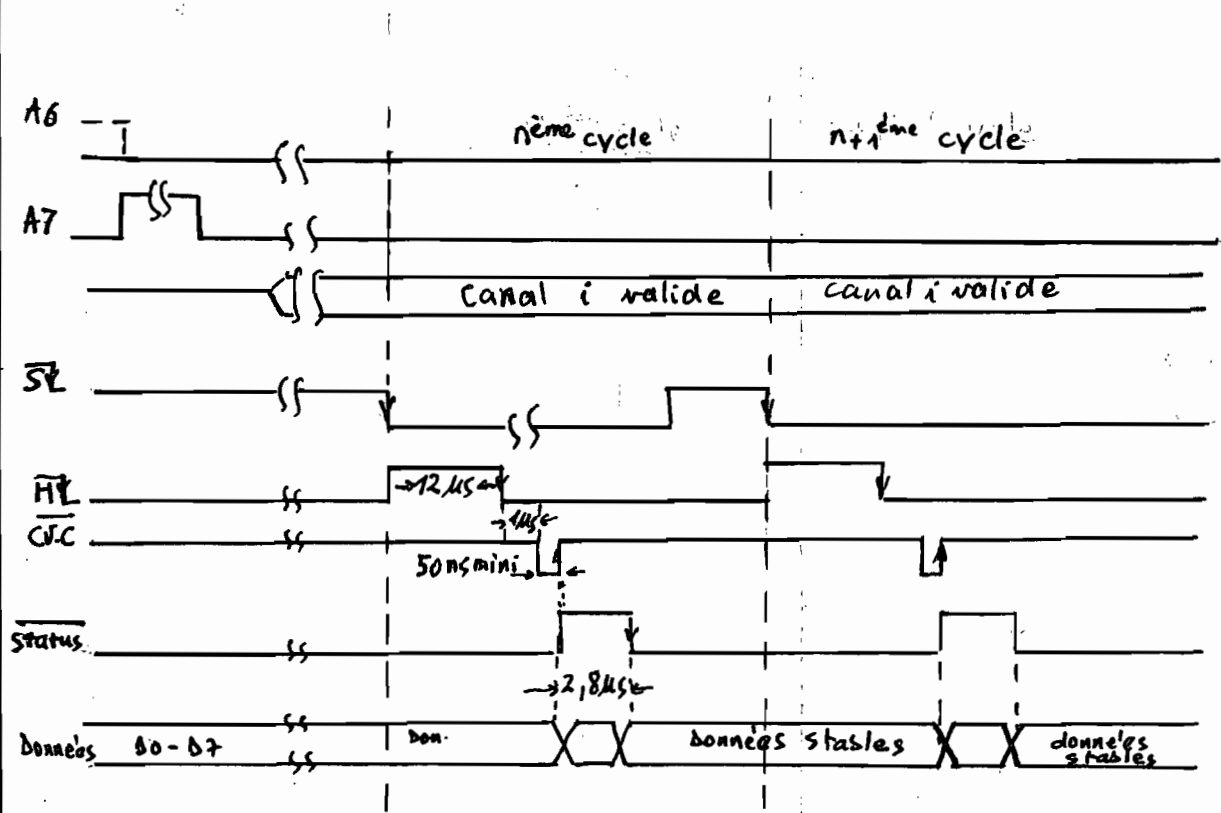


Fig 3-5-3 chronogramme en mode uni-voie

3-6 LES ALGORITHMES D'ACQUISITION

Le mode d'acquisition (multi ou uni voie) est déterminé par logiciel. La programmation se fait par les algorithmes suivants.

Multivoie

- ① envoi de l'adresse du canal s
- ② envoi du gain du canal
- ③ boucle d'attente de $145 \mu s$ ou traitement canal $n-1$ en cas de fonctionnement avec recouvrement
- ④ commande d'échantillonnage par \overline{SE}
- ⑤ sondage de la fin de l'échantillonnage (ou boucle d'attente de $19 \mu s$ ou attente d'une interruption de \overline{HL}) reconnue par \overline{HL}
- ⑥ attente de $1 \mu s$ et commande de la conversion $\overline{CONV.}$ \overline{L}
- ⑦ attente de la fin de conversion ($2,8 \mu s$) ou sondage de \overline{STATUS} ou interruption par \overline{STATUS}
- ⑧ lecture et traitement des données dans le cas du fonctionnement sans recouvrement. puis bouclage en ② après incrémentation de l'adresse

Uni voie : Pour ce mode le point ① devient

- ① envoi de l'adresse du canal.

Les autres points ne changent pas pour la première acquisition. Il n'y a pas de recouvrement possible. Au point ⑧ le bouclage se fait en ④ au lieu du point ②.

3-7 CARACTERISTIQUES DE L'INTERFACE D'ACQUISITION DE DONNEES. (IAAD)

3-7-1 Interfaçage avec les microprocesseurs

L'IAAD est conçue pour communiquer avec les microprocesseurs (de 8 à 16 bits) par l'intermédiaire d'une interface programmable. L'interface programmable contient habituellement deux ports de sorties (8 bits --) et quatre lignes de contrôle pouvant générer les fonctions de commande de l'IAAD. Le bus d'adresse de l'IAAD sera relié aux 8 lignes d'un port tandis que le bus de données de l'IAAD sera relié à l'autre. Les lignes de commandes de l'IAAD seront reliées aux lignes de commandes des deux ports. Un exemple d'interfaçage est étudié dans le chapitre IV.

3-7-2 Caractéristiques électriques:

Les caractéristiques globales d'un système sont déduites de la combinaison des caractéristiques individuelles des éléments constitutifs. En règle générale les performances du système sont au mieux égales à celles du module le moins performant, et les caractéristiques d'entrées sont déterminées par celles du module d'entrée. L'IAAD n'échappe pas à cette règle.

- a - les caractéristiques d'entrées sont déterminées par celle du MPC80 (multiplexeur). La rejection en mode commun sera déterminée par la combinaison Multiplexeur-amplificateur. Le CMRR est de 63 dB minimum pour des fréquences $\leq 7,9 \text{ KHz}$ et une résistance de source $\leq 1 \text{ K}\Omega$ réelles.
- b - les cadences d'acquisitions/dependent à la fois des temps de transfert de l'interface, et du logiciel d'acquisition. Nous donnons ici les

fréquences d'acquisition sur la base des temps définis dans les chronogrammes.

* pour l'acquisition multivoie la cadence maximum est obtenue par le mode avec recouvrement soit $160,9 \mu\text{s}$ (cycle ou $6,2 \text{ KHz}$) ($160,9 \mu\text{s} = 2,8 + 1 + 12 + 145 + 0,083 \mu\text{s}$ voir chronogramme). Cette cadence est aussi la cadence réelle si le temps de traitement est $\leq 145 \mu\text{s}$.

* pour l'acquisition univoie la cadence maximum est obtenue par les temps d'échantillonnage et de conversion soit $15,8 \mu\text{s}$ ($12 + 1 + 2,8 \mu\text{s}$) ce qui donne la fréquence maximum d'acquisition de $63,3 \text{ KHz}$.

c-) L'alimentation :

* estimation de la puissance consommée: l'interface contient au total 19 circuits intégrés dont 11 reçoivent l'alimentation $+5\text{V}$ et 11 la tension $\pm 15\text{V}$. Le courant consommé est estimé comme suit:

<u>5 V</u>		<u>$\pm 15\text{V}$</u>	
Ampli PGIA3606	10 mA	PGIA3606	$\pm 20\text{ mA}$
SHC 80	1 mA	SHC 80	$\pm 20\text{ mA}$
ADC 82	80 mA	ADC 82	$\pm 20\text{ mA}$
2x 74LS245	95 mA	8x MPC8D	$\pm 4\text{ mA}$
2x 74LS873	95 mA		
1. MC 555	200 mA		
1. 74LS139	11 mA		
	<u>492 mA</u>		<u>$\pm 64\text{ mA}$</u>

(pour une fréquence $\leq 100\text{ KHz}$ on a $\pm 95\text{ mA}$ par multiplexeur)

Puissance consommée

$$P = VI = 5 \times 0,492$$

$$\underline{P = 2,46 \text{ W}}$$

Puissance consommée

$$P = VI = 2 \times 15 \times 64 \cdot 10^{-3}$$

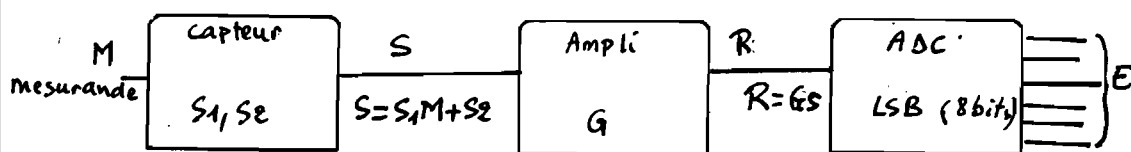
$$\underline{P = 1,92 \text{ W}}$$

Si on tient compte du fait que tous les circuits ne fonctionnent pas

en même temps cette puissance doit être inférieure mais du fait des pertes inévitables (dissipation) la puissance mesurée est de 2,6 Watts pour les 5 volts et 2 Watts pour les ± 15 volts.

* choix de l'alimentation. L'interface est alimentée en 5 volt à partir de la carte microordinateur. L'alimentation ± 15 volts est assurée par un module d'alimentation stabilisée. C'est le modèle HAA15-0,8-A de la compagnie POWER-ONE, ($\pm 15V$; 0,8A voir annexe AII-8) qui a été retenu. Les masses sont connectées ensemble au niveau de l'interface. Des capacités de découplage sont prévues à l'entrée d'alimentation des circuits afin de réduire la sensibilité de l'IAAS aux perturbations de l'alimentation et aux perturbations dues aux commutations des circuits logiques.

- d- fonction de transfert : La fonction de transfert globale sera déterminée par la fonction de transfert du convertisseur A/D, le gain de l'amplificateur et la fonction de transfert du capteur. L'échantillonneur et le multiplexeur qui ont un gain unité chacun n'interviennent pas dans l'amplitude du signal*. La chaîne d'acquisition est représentée à la figure 3-7-1 ainsi que les fonctions. La plage du A/D est prise $\pm 10V$



$$\begin{cases} R = 10 - \frac{3}{2} \text{LSB} - E \text{LSB} & \text{pour } E \geq 0 \\ R = -10 + \frac{1}{2} \text{LSB} - E \text{LSB} & \text{pour } E < 0 \\ S = R/G \\ M = (S - S_2) / S_1 \end{cases}$$

Fig 3-7-1 chaîne de transformation du signal

Pour retrouver la valeur M du paramètre physique (le mesurande) il faut reprendre la chaîne d'acquisition à l'inverse.

* valable uniquement dans les limites de leur précisions

e) Résolution: La résolution du système est la combinaison de la résolution du convertisseur A/D (2^8) et la valeur maximum du gain 2^{10} . On obtient une résolution de l'ensemble de 2^{18} soit pour la plage de $\pm 10V$ une valeur de tension de $\frac{10}{2^{18}} = 38,2 \mu S$

f) Protection contre les surtensions: Les circuits logiques (logique de commande, sélection du canal et du gain) travaillent en commutation créant des pointes de courant et de tension pouvant dépasser grandement les valeurs maximales admises ^($\pm 20V$) à l'entrée des blocs (amplificateur et échantillonneur-bloqueur): Le changement d'état du gain par exemple crée une transitoire à la sortie de l'ampli pouvant atteindre $30V$. Pour éviter l'effet de ces surtensions il est prévu un circuit d'écrêtage de la tension. (Annexe AII-5)

La tension est limitée à $\pm 12V$ à l'entrée des circuits PGIA 3606 AG et SHC80KP, grâce à deux diodes Zener $12V$ (la plage de maximum de fonctionnement est $\pm 10V$). L'écrêtage à l'entrée de ces circuits est assuré par les diodes D1 à D6.

g) Connexion du signal; et mise à la terre: Etant donné que les entrées sont différentielles la mise à la terre de la gaine du câble* (fig 3-6-2) doit se faire nécessairement en un seul point: soit au niveau du capteur soit au niveau de l'interface; ceci afin d'éviter les couplages massiques, galvaniques et de réduire fortement les inductances mutuelles et l'effet des couplages capacitifs. Comme il a été dit dans l'étude de l'amplificateur différentiel l'effet de ces divers couplages s'annule soit-il peut résulter en des tensions perturbatrices de plusieurs volts à la sortie si le montage n'est pas équilibré.

* mise à la terre du retour du signal dans le cas d'entrées non différentielles.

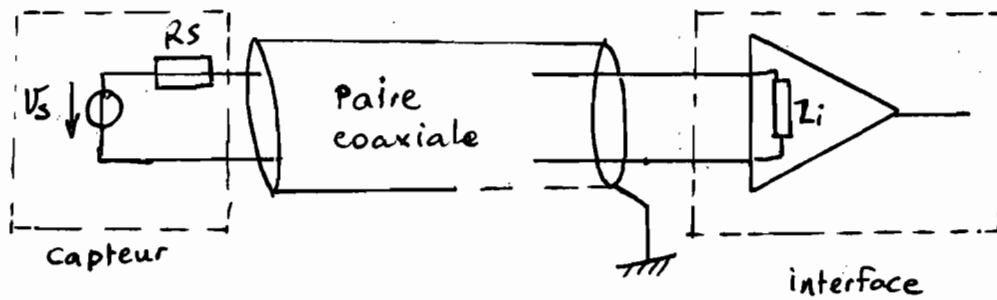


Fig 3-7-2 mise à la terre

3-7-3 Tableau Resumé des Caractéristiques

désignation	Valeur	unité
<u>entrée analogique</u>		
Résistance de source maximum	1K	Ω
plage de tension (en option)	± 10 (± 5)	V
tension maximum sans dommage	± 20 V	V
Courant maximum d'entrée	18	mA
Courant de fuite des entrées	1	nA
Résistance d'ouverture des MPX	1	K Ω
Résistance de fermeture des MPX	10^{10}	Ω
Impédance d'entrée	$10^{10} // 5$	$\Omega // pF$
<u>Caractéristiques de transfert</u>		
nombre de voies différentielles	64	
Résolution	2^{18}	
bande passante	0 - 7,9 K	KHz
bruit d'amplification (amplitude)	1	mV
temps de montée ampli + multiplexeur, incluant la sélection du canal et du gain	145	μs

tableau de caractéristiques (suite)

designation	Valeur	unite
CMRR mini (à 7,9K Ω R _s =1K Ω)	63	dB
gain (variable suivant les puissance de 2)	2 ⁰⁽¹⁾ à 2 ¹⁰⁽¹⁰²⁴⁾	
erreur de linéarité (par rapport à la pleine échelle FSR)	0,1	% FSR
erreur de gain (ajustable à zéro)	0,1	% FSR
erreur de décalage (ajustable à zéro)	0,1	% FSR
Retard à l'ouverture S/H	40 n	nS
Variation du retard à l'ouverture	1	nS
temps d'acquisition du S/H à 0,01%	12	μ S
temps de stabilisation en mode blocage	1	μ S
temps de conversion	2,8	μ S
fréquence d'acquisition multivoie (max)	61,2	KHz
précision maximum	0,1	%
fréquences d'acquisition univoie (max)	63,3	KHz
<u>Sortie</u>		
Code de sortie	ETC (complément à deux)	
résolution du convertisseur 8 bits.		
<u>Alimentation</u>		
analogique	± 14 à $\pm 15,5$	V
logique	4,5 à 5	V
<u>consommation c</u>		
courant	en +15V	64 mA
	en -15V	64 mA
	en +5V	492 mA
Puissance totale	4,38	W
plage de température	0 à 70	°C

CHAP IV ADAPTATION A APPLE II ET PROGRAMMATION

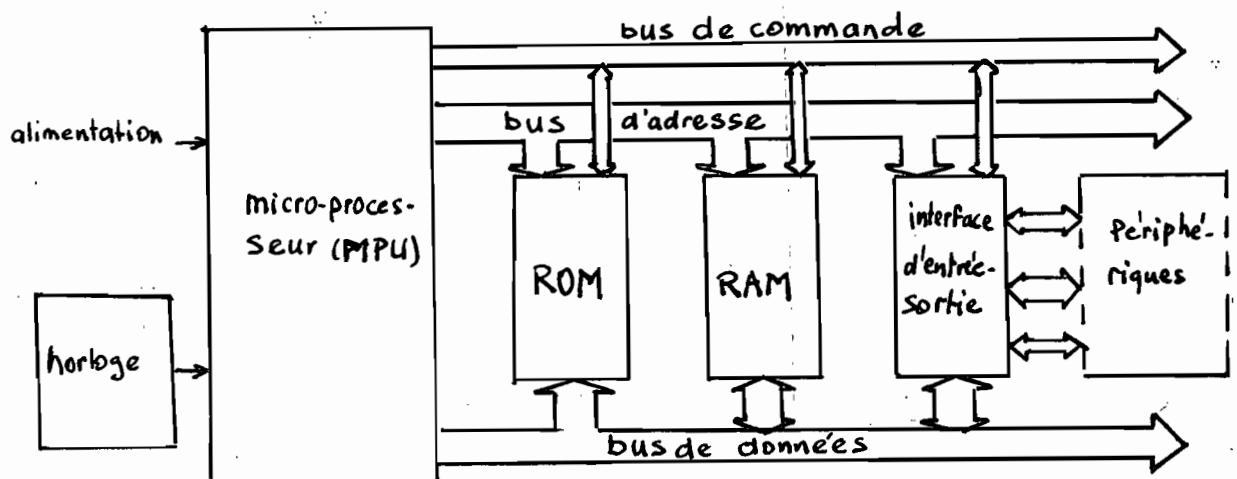
Il s'agit dans ce chapitre d'adapter l'interface analogique d'acquisition de données (IAAD) à l'unité numérique de traitement dont on dispose afin de la rendre opératoire et d'obtenir un système complet d'acquisition de données. L'unité de traitement étant le micro-ordinateur Apple II, une étude de sa configuration est nécessaire avant d'aborder l'interfacage de l'IAAD et la programmation.

4-1 LE SYSTEME APPLE II.

L'organisation typique d'un système à processeur est représentée à la figure 4.1-1. On y trouve

- l'UCT: unité centrale de traitement, microprogrammée ou le processeur microprogrammé dans lequel s'effectuent toutes les opérations (arithmétiques, logique, traitement et...). L'UCT est synchronisée par une horloge (quartz)
- les mémoires mortes ROM qui contiennent les macro-programmes et les données constantes utiles au système.
- les mémoires vives RAM pour les données variables.
- les unités d'entrée / sortie pour la communication avec les périphériques.
- les périphériques qui sont des utilitaires.

- Le bus du système (lignes ou bus de données, lignes ou bus d'adresse, lignes ou bus de commande) qui constitue une voie de circulation des signaux entre les éléments : Le bus d'adresse ^{déterminer} pour les adresses des positions mémoire ; le bus de données sur lequel les données transitent d'un point à l'autre ; et le bus de commande qui permet au processeur de recevoir (ou d'émettre) des signaux de commande d'un (ou vers) un périphérique.



Pig: 4-1-1 configuration type d'un système à processeur

Le système apple II est construit sur la même base autour du micro-processeur 6502 de MOSTECNOLOGY, SYNERTEK et ROCKWELL

4-1-1 le microprocesseur 6502

a) Organisation interne: La Figure 4-1-2 illustre l'organisation interne du 6502. On y trouve les registres suivants:

- l'accumulateur A. (8 bits) sert à enregistrer les données provenant de la mémoire ou devant y aller. L'UCT opère sur le contenu de l'accumulateur plutôt que d'accéder directement aux mots mémoires.

- Le compteur ordinal (sur 16 bits) PC. sert à identifier l'adresse mémoire à laquelle le processeur doit accéder pour lire ou écrire des données. PC contient

- l'adresse mémoire de la prochaine instruction à exécuter .
- le registre d'instruction où sont stockés les codes des instructions
 - l'unité arithmétique et logique (UAL) qui contient la logique nécessaire à l'exécution des opérations (arithmétique, logique ...)

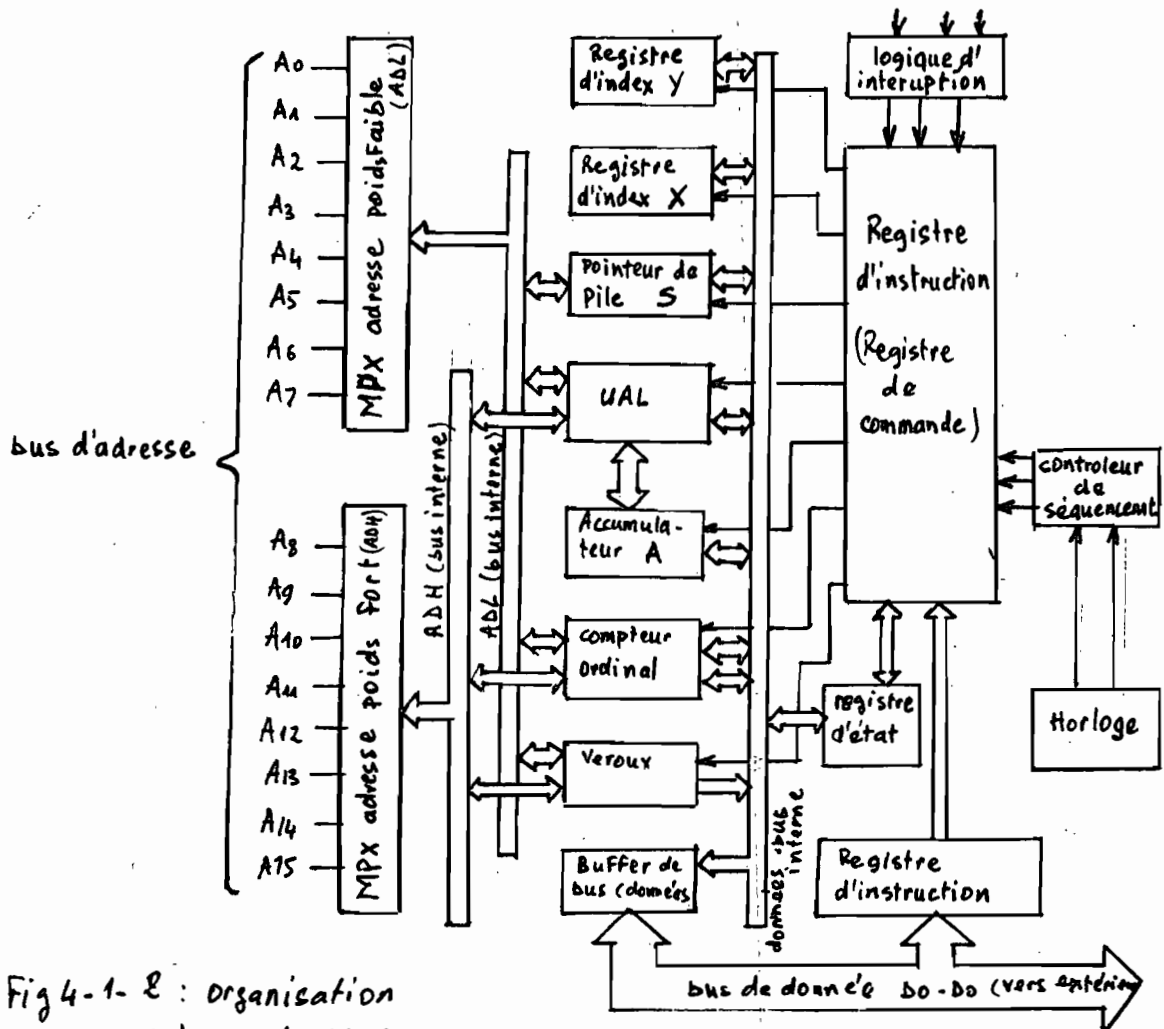


Fig 4-1-2 : organisation interne du MP6502

- Les registres d'index X et Y qui aident à la détermination des adresses leur contenu peut être ajouté à une adresse
 - Le registre des indicateurs d'état ou registre d'état (P) dont les bits (8 bits) sont positionnés à "1" ou "0" pour indiquer les résultats des opérations de l'UCP
- Pour le 6502 il ya 7 indicateurs d'états : le 8^e bit est inutilisé.
- * N est le bit de signe : "1" est à "1" si le dernier résultat est négatif
 - * V est l'indicateur de débordement : à "1" si il ya dépassement de capacité.

- Z. est l'indicateur de zéro. Il est à "1" si le dernier résultat est nul ("0" autrement)
- C. est l'indicateur de retenue: à "1" si la dernière opération a produit une retenue.
- B. l'indicateur d'interruption logiciel (Break) à "1" si le Break est effectif.
- I. le masque d'interruption. lorsqu'il est à "1" les interruptions sont inhibées.
- D. indicateur de mode, à "0" le 6502 opère en binaire à "1" c'est le mode décimal

- Le pointeur de pile nécessaire pour les interruptions et les sous programmes, permet de gérer la pile (zone mémoire de 256 octets permettant de sauvegarder le contenu des autres registres). La pile obéit à la règle LIFO (Last in - First Out : dernier entre - premier sorti)

- le décodeur d'instruction qui est en même temps le registre de commande pour le 6502, chargé de décoder les instructions et de séquencer les opérations des autres registres afin de mener à bien l'exécution de chaque instruction. Le décodeur d'instruction est commandé par le contenu du registre d'instruction.

Les registres X, Y, A, P, PC et S sont programmables.

b) les instructions du 6502 : La liste des instructions du 6502 est donnée en annexe*. On peut regrouper ces instructions en 5 catégories

- les instructions de traitement de données (arithmétique, logique, décalages...)
- les instructions de transfert de données (écriture, lecture mémoire, transferts...)
- les instructions de test et de branchement
- les instructions de contrôle.
- le 6502 n'a pas d'instruction d'entrée sortie propre. Les entrées sorties sont projetées en mémoire c'est à dire que les entrées - sorties sont lues et/ou écrites comme des positions mémoire.

4-1-2 Les mémoires du système

Apple II à 64K de mémoire réparties en 256 pages de 256 mots chacun

Les 64 K se divisent comme suit :

- 48 K de mémoire vive (RAM)
- 12 K de mémoire morte (ROM)
- 4 K de mémoire (vive et morte) réservées aux entrées-sorties

La mémoire vive disponible pour les programmes compte tenu du système d'opération de disquette (DOS) et du Basic Applesoft est de 13,5 K. Cette zone mémoire est utilisée pour les programmes d'acquisition et s'étale de l'adresse $\$6000$ à l'adresse $\$95FF$ (en hexadécimal)

4-1-3 interfacement des entrées-sorties

Apple II dispose de 8 connecteurs (slots) dont 7 permettent de connecter des périphériques au bus du système. Le brochage d'un connecteur ainsi que les signaux du système sont décrits en annexe*

Chaque connecteur peut adresser 16 positions mémoire qui prennent les adresses $\$C0x0$ à $\$C0xF$ où x dépend du slot choisi et prend respectivement les valeurs 9, A, B, C, D, E, F selon que c'est le slot 1, 2, 3, 4, 5, 6, ou 7 qui est choisi

Le 8^e connecteur n'est pas disponible pour les entrées-sorties.

4.2 INTERFACAGE DE L'IAAD AVEC APPLE II

L'interfacage de l'IAAD se fait grâce à une interface programmable

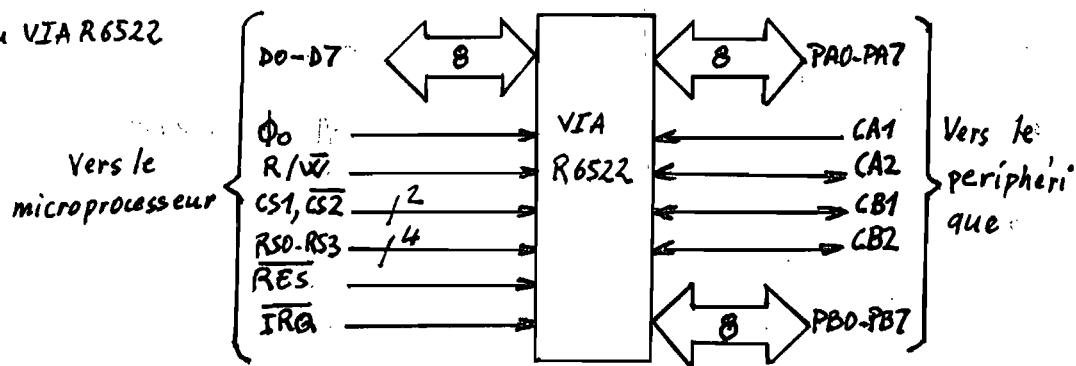
Pour le 6502 on dispose d'un VIAR6522 (adaptateur versatile d'interface).

4-2-1 description du VIA.6522

Le VIA est un adaptateur versatile d'interface. C'est un circuit d'entré-sortie adapté au 6502. fig 4-2-1 Il comprend 16 lignes d'entré-sortie programmables en entrée ou en sortie individuellement et réparties en deux ports PB et PA. S'y ajoute pour chaque port 2 lignes de contrôle (CA₁, CA₂) et (CB₁, CB₂) sur lesquels on peut générer des impulsions de longueur définies pour contrôler des périphériques ou entrer des impulsions venant de périphériques. Le VIA possède en outre deux timers programmables pouvant créer ou compter des impulsions uniques ou en série; et une logique d'interruption pour travailler en mode interruption.

Fig: 4-2-1

Signaux du VIAR6522



L'interfaçage avec le microprocesseur se fait par les 8 lignes de données, bidirectionnelles D0 à D7, la ligne R/W pour la lecture et l'écriture des registres internes, les lignes RS0 à RS3 pour l'adressage des registres internes du VIA, les lignes CS1 et CS2 pour l'adressage (sélection) du VIA, la ligne RES pour effacer les registres internes et la ligne IRQ (Interruption Request) pour les demandes d'interruption.

4-2-2 Les fonctions du V1A 6522

Le V1A contient 16 registres internes (fig 4-2-2) dont les adresses sont données au tableau ⁴⁻²⁻¹. Ces registres sont adressés par les lignes RS0 à RS3 décrites précédemment.

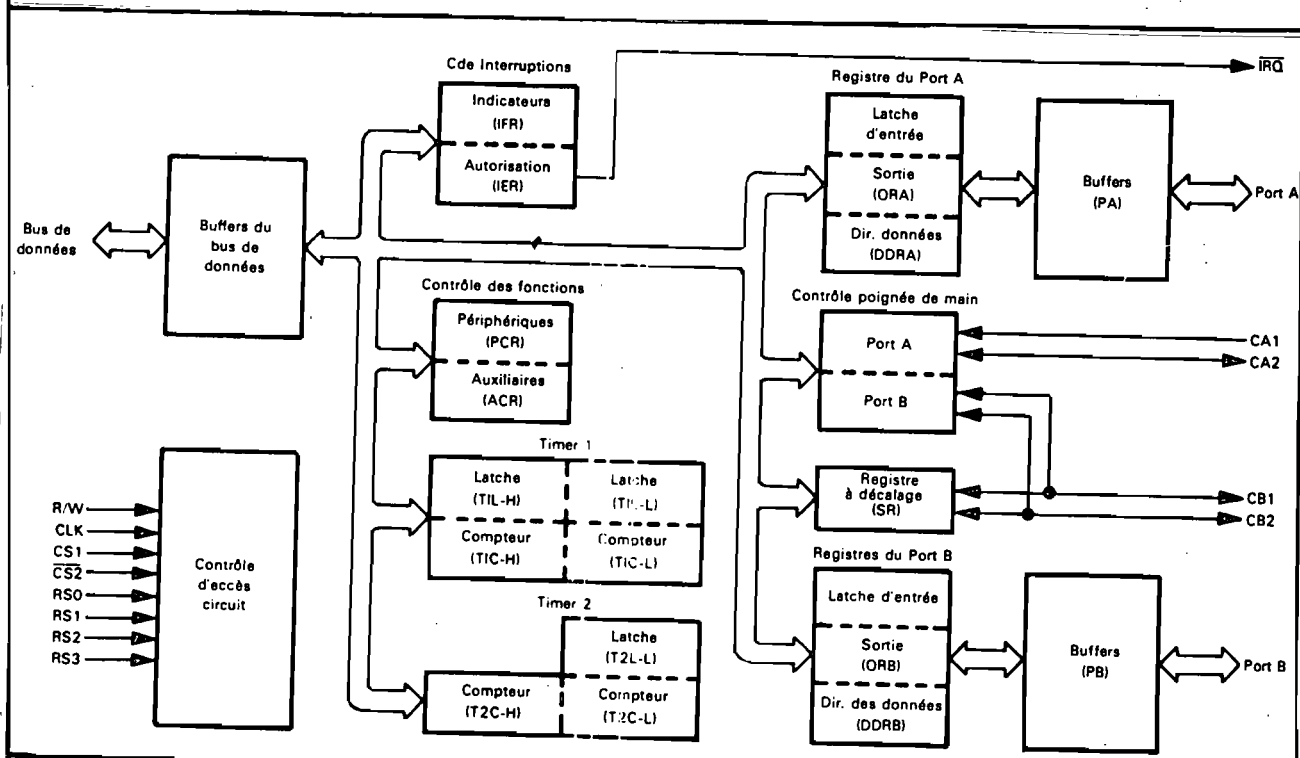


Fig 4-2-2 Organisation interne du V1A 6522
(REF 11 page 303)

Tableau 4-2-1 adressage des Registres du V1A6522

(REF 11 page 304)

Label	Lignes de sélection				Positions adressées
	RS3	RS2	RS1	RS0	
DEV	0	0	0	0	Registre de sorties pour E/S port B
DEV+1	0	0	0	1	Registre de sorties pour E/S port A, avec poignée de main
DEV+2	0	0	1	0	Registre DDR port B
DEV+3	0	0	1	1	Registre DDR port A
DEV+4	0	1	0	0	Lecture timer 1, compteur, octet de faible poids Ecriture timer 1, latche octet de fort poids
DEV+5	0	1	0	1	Lecture timer 1, compteur, octet de fort poids Ecriture timer 1, latche, octet de fort poids
DEV+6	0	1	1	0	Accès timer 1, latche, octet de faible poids
DEV+7	0	1	1	1	Accès timer 1, latche, octet de fort poids
DEV+8	1	0	0	0	Lecture octet faible poids timer 2 et remise à zéro interruption compteur Ecriture faible poids timer 2, sans remise à zéro interruption
DEV+9	1	0	0	1	Accès octet fort poids timer 2 ; remise à zéro interruption sur lecture
DEV+A	1	0	1	0	E/S série registre à décalage
DEV+B	1	0	1	1	Registre de contrôle auxiliaire
DEV+C	1	1	0	0	Registre de contrôle périphérique
DEV+D	1	1	0	1	Registre d'indicateurs d'interruptions
DEV+E	1	1	1	0	Registre d'interruption autorisée
DEV+F	1	1	1	1	Registre d'E/S, sans poignée de main

Le fonctionnement du VIA est déterminé par le contenu de 4 registres.

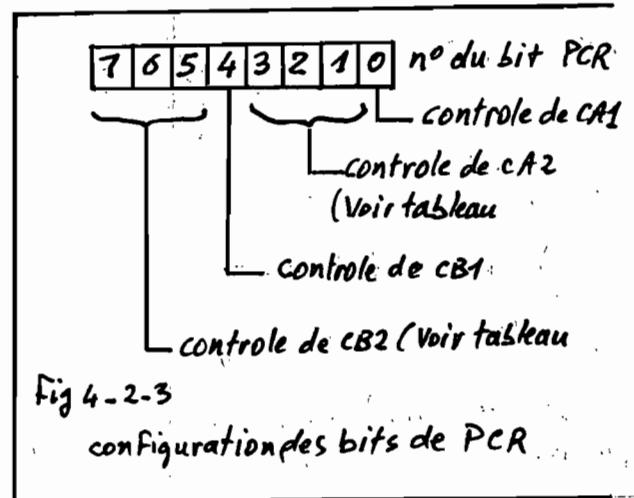
— Le registre de direction de données (DDRA) 8 bits qui détermine si les broches du port A sont des entrées ^{ou} des sorties : un "1" dans un bit de DDRA fait de la broche correspondante une sortie tandis qu'un "0" dans un bit de DDRA fait de la broche correspondante une entrée

— Le registre de direction de données (DDRB) 8 bits opère de la même façon que DDRA mais pour les broches du port B.

Après avoir écrit dans DDRA ou DDRB le mot déterminant le sens de transfert il est possible de transférer les données : * du microprocesseur vers le périphérique en écrivant dans le registre de sortie correspondant (ORA ou DRB) * du périphérique vers le microprocesseur en lisant dans le registre d'entrée correspondant (IRA ou IRB). On note que les registres d'entrée et de sortie d'un même port sont confondus (IRA=ORA et IRB=DRB); ils ont la même adresse

— Le registre de contrôle de périphérique (PCR) 8 bits qui détermine en fonction du mot y inscrit, le fonctionnement des lignes de contrôles CA1, CA2, CB1 et CB2 comme indiqué à la figure 4-2-3 et dans les tableaux 4-2-2 et 4-2-3

Les lignes CB1 et CA1 sont toujours des sorties. Un "0" dans le bit de PCR correspondant signifie une demande d'interruption sur transition haut-bas $\bar{2}$ de la ligne. Un "1" dans le bit de contrôle correspondant rend la transition bas-haut $\bar{5}$ active.



Sur demande d'interruption de CA1 ou CB1 les bits de contrôle correspondant mettent à "1" le bit correspondant du registre des indicateurs d'interruption décrit

plus loin page 78

Tableau 4-2-2 Contrôle de la ligne CA2 (REF11 pg 308)

PCR3	PCR2	PCR1	Mode
0	0	0	Mode entrée. Met à 1 l'indicateur d'interruption (IFR0) de CA2 sur une transition négative du signal d'entrée. Met IFR0 à zéro sur une lecture ou écriture du registre de sortie périphérique A (ORA).
0	0	1	Mode entrée indépendante interruption. Met IFR0 à 1 sur une transition négative sur l'entrée CA2. La lecture ou l'écriture de ORA ne remettent pas IFR0 à zéro.
0	1	0	Mode entrée. Met IFR0 à 1 sur une transition positive sur l'entrée CA2. Met IFR0 à 0 sur une lecture ou une écriture de ORA.
0	1	1	Mode entrée indépendante interruption. Met IFR0 à 1 sur une transition négative sur l'entrée CA2. Une lecture ou une écriture de ORA ne le remettent pas à zéro.
1	0	0	Mode sortie en poignée de main. Met la sortie CA2 au niveau bas sur une lecture ou écriture de ORA. Remet CA2 haut sur une transition active sur CA1.
1	0	1	Mode sortie impulsion. CA2 devient bas pour un cycle après une lecture ou une écriture de ORA.
1	1	0	Mode sortie manuelle. La sortie CA2 est maintenue au niveau bas.
1	1	1	Mode sortie manuelle. La sortie CA2 est maintenue au niveau haut.

Tableau 4-2-3 Contrôle de la ligne CB2 (REF11 page 307)

PCR7	PCR6	PCR5	Mode
0	0	0	Mode entrée interruption. Met à 1 l'indicateur d'interruption (IFR3) sur transition négative du signal d'entrée CB2. Met à zéro IFR3 sur une lecture ou écriture du registre de sortie B (ORB).
0	0	1	Mode d'entrée interruption indépendant. Met IFR3 à 1 sur une transition négative de l'entrée CB2. La lecture ou l'écriture de ORB ne remet pas IFR3 à zéro.
0	1	0	Mode entrée. Met l'indicateur d'interruption de CB2 à 1 sur une transition positive d'entrée sur CB2. Le met à zéro sur une lecture ou une écriture de ORB.
0	1	1	Mode entrée indépendante. Met IFR3 à 1 sur une transition positive sur l'entrée CB2. Une lecture ou une écriture de ORB ne remettent pas IFR3 à zéro.
1	0	0	Mode sortie en poignée de main. Met CB2 au niveau bas sur une opération d'écriture d'ORB. Remet CB2 haut sur une transition active du signal d'entrée sur CB1.
1	0	1	Mode sortie impulsion. Met CB2 au niveau bas pour un cycle après une opération d'écriture de ORB.
1	1	0	Mode sortie manuelle. La sortie CB2 est maintenue basse dans ce mode.
1	1	1	Mode sortie manuelle. La sortie CB2 est maintenue haute dans ce mode.

- Le registre auxiliaire de contrôle (ACR) 8 bits, qui détermine en fonction du mot y inscrit si les ports de données sont remués (Patch auto-

risé) ou non et comment les timers et le registre à décalage fonctionnent (figure 4-2-4)

- Les autres Registres

* le registre à décalage

sert au traitement des données séries par l'intermédiaire des lignes CB1 et CB2.

* le registre d'autorisation des interruptions (IER)

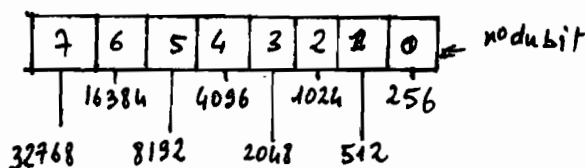
et le registre des indicateurs d'interruption (IFR) permettent

au VIA d'intervenir comme source d'interruption. IER sert à autoriser ou inhiber les diverses interruptions et IFR indique l'état de ces diverses sources d'interruption. Leur fonctionnement est décrit aux figures 4-2-5 et 4-2-6

* Les timers : les deux timers peuvent être lus ou écrits comme 6 (six) positions mémoire ; quatre pour le timer 1 (les deux octets du compteur T1CL et T1CH et les deux octets du verroux T1L-L et T1L-H) ; et deux pour le timer 2 (les deux octets du compteur). Leur mode de fonctionnement est commandé par le registre auxiliaire de contrôle ACR (fig 4-2-4). Leur état peut être déterminé par l'examen des bits 5 et 6 de IFR (fig 4-2-6)

La valeur du compte pour les octets de poids fort et faible sont :

octet de poids fort



octet de poids faible

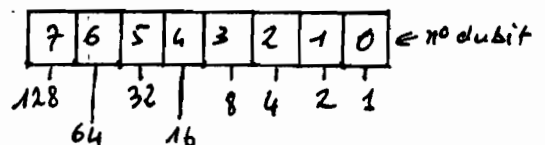
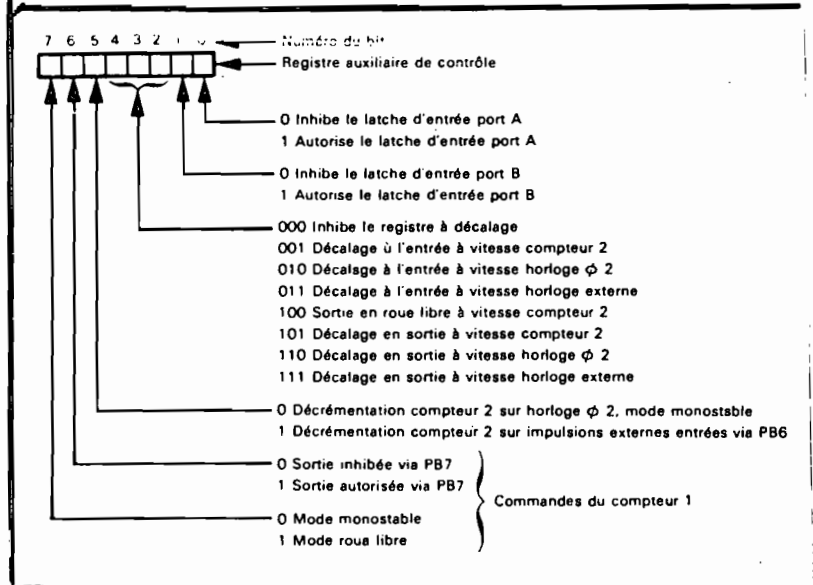


Fig 4-2-4 configurations du Registre auxiliaire de contrôle (ACR)



ReF 1A page 305

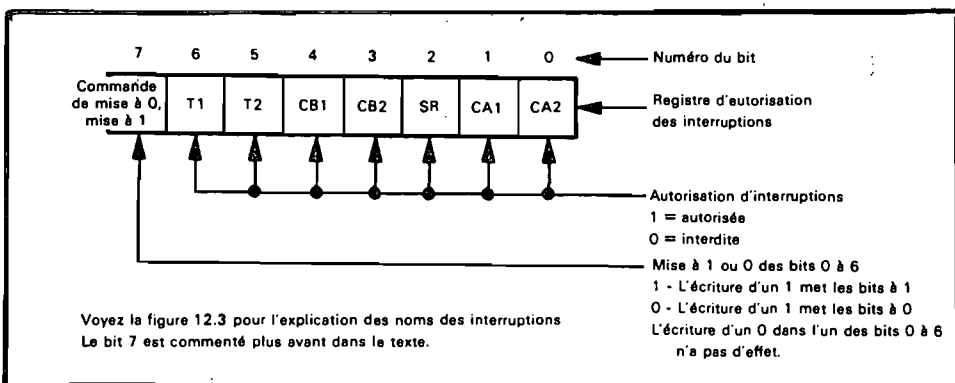


Fig 4-2-5* Le registre d'autorisation des interruptions du 6522 (VIA).

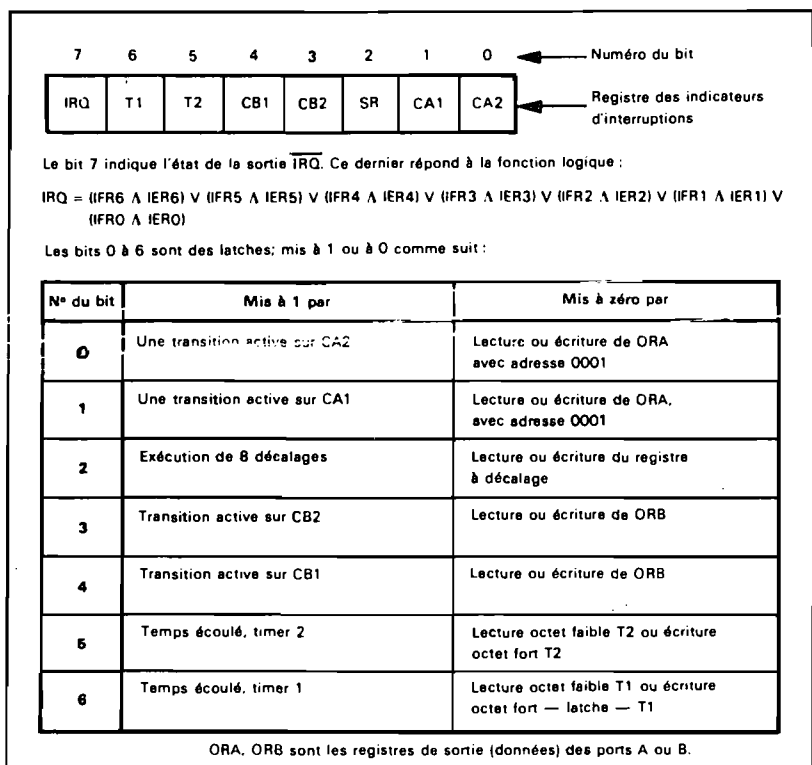


Fig 4-2-6** - Le registre des indicateurs d'interruptions du VIA 6522.

4-2-3 Mise en oeuvre du VIA : interfacage avec IAAD.

L'interfacage avec l'IAAD et le Apple est simple : côté IAAD les lignes PBo à PB7 du port B sont configurées en sortie et reliées au bus d'adresse A0 à A7 de l'IAAD. Les lignes PA0 à PA7 configurées en entrée sont reliées au bus de données D0 à D7 de l'IAAD. La ligne CB2 du VIA est reliée à la ligne SE de l'IAAD pour la commande de d'échantillonnage. la ligne CB1 rendue active sur le flau descendant est reliée à la ligne HE de l'IAAD. La ligne CA2 configurée en sortie est reliée à la ligne CVC de l'IAAD.

pour commander la conversion. Enfin la ligne CA1 rendue active niveau bas est reliée à la ligne $\overline{\text{STATUS}}$ de l'IAAD pour reconnaître la fin de conversion.

Du côté du Apple on relie les lignes du VIA aux lignes correspondantes de l'ordinateur. La seule particularité est qu'il faut introduire un léger retard dans le signal d'horloge afin de synchroniser le VIA : fréquence du apple 1MHz, fréquence du VIA $\leq 179\text{kHz}$. Ce retard est introduit grâce à une bascule (retard de quelque ns) qui reçoit les 779kHz et les 1MHz (Φ_0) de l'ordinateur.

Il faut aussi amplifier le bus du port B relié au bus d'adresse de l'IAAD et pour cela on utilise un buffer trois états le circuit 74LS 244

le schéma de mise en oeuvre du VIA est représenté en annexe AII-7

les contacts SW11 et SW12 servent à interdire l'effet d'un $\overline{\text{Res}}$ (Reset efface les registres internes du VIA et de IAAD) respectivement les interruptions des VIA.

4-3 LA PROGRAMMATION

4-3-1 choix du langage :

Le langage Basic est interactif et permet une compréhension rapide du programme à l'utilisateur. Le Basic n'est cependant pas indiqué pour l'acquisition de données du fait de sa lenteur excessive : l'examen d'une simple boucle FOR-NEXT prend 1ms soit environs 6 fois

le cycle d'acquisition "Multivoie"

Le langage assembleur permet grâce à sa rapidité de suivre avec rigueur les temps des cycles d'acquisition, Par contre ce langage est fastidieux à mettre en oeuvre surtout pour les programmes de traitement.

Nous utilisons les deux langages à la fois pour les programmes d'acquisition : les programmes en Basic servant à entrer les paramètres relatifs aux différentes voies (paramètres du capteur, gain) et à traiter les données. Ces programmes Basic utiliseront des routines d'acquisition en langage assembleur.

Il est clair que cette option exclut la possibilité de prise de décision en temps réel puisque le traitement est fait après l'acquisition de tous les canaux. D'ailleurs le temps réel n'est pas une nécessité pour les processus étudiés en laboratoire (mesure de contrainte par exemple).

4-3-2 Les adresses du VIA

Le VIA est implanté dans le slot n°4 du Apple II ce qui donne les adresses $\$C0C0$ à $\$C0CF$ (voir 4-1-3) pour les adresses des registres internes du VIA.

4-3-3 Les Fichiers:

Les fichiers sont créés afin d'y conserver les paramètres relatifs aux différents canaux, et de stocker les données issues du traitement. On doit avoir en tout 69 fichiers dont 64 pour stocker les données des canaux et 5 pour

les paramètres (fig 4-2-6)

1	1	1	1	1	1	1
Gain.φ	Gain.1	Nom	SI	SII	Mes1	Mes64
:	:	:	:	:	:	:
:	:	:	:	:	:	:
64	64	64	64	64	64	64

Le fichier (Gain.φ) contient la valeur du gain à utiliser dans le programme de traitement, tandis que le fichier (Gain.1) contient le code du gain à utiliser dans les routines d'acquisition. Les fichiers SI et SII contiennent les paramètres S1 et S2 des capteurs (voir 3-7.2-d). Enfin les fichiers (Mes1) à (Mes64) doivent contenir les données issues du traitement.

3-3-4 programmation en "Multivoie"

En mode multivoie le programme basic transfère le contenu du fichier Gain.φ dans un tableau G, occupant les adresses \$8C00 à 8C3F (gain du premier canal en bas) et utilisé par la routine d'acquisition "MULTIV." Après l'acquisition les codes se retrouvent dans le tableau E, \$8C40 à 8C7F et le basic va les y chercher pour le traitement.

Une limitation importante est imposée par le système Apple II qui ne peut gérer que 16 fichiers à fois* soit en plus des 5 fichiers des paramètres 11 fichiers de mesure: Mes 1 à 11. Le programme devrait donc pour traiter les 64 paramètres faire appel aux fichiers Mes par

tranche de 11 au maximum. Nous limitons momentanément le nombre de voies à 8 (disponibilité de Multiplexeur : un seul pour le moment).

4-3-5 Programmation en Univox

La programmation en mode univoix exige que le programme basique transfère les paramètres du canal choisi dans les zones mémoire en page 1 : l'adresse en \$F 9; le gain en \$FF. La routine d'acquisition remplit la mémoire vide du Apple II avec 9984 acquisitions (39×256 octets). Le programme basique doit les y chercher (les codes) pour le traitement.

Une variable T stockée en \$9 permet des temporisations de $1/2(26 + 27T + 5T^2)$ μs $0 < T < 256$ (voir Ref 15 page 61)

Ainsi la fréquence d'acquisition en "Univoix" est variable. Le programme basique demande la fréquence à l'utilisateur et en fonction de cette fréquence déduit la valeur de la variable T .

CHAPITRE V CARTES ET REGLAGES

5-1 LES CARTES DE IIAAD

Pour la réalisation des circuits imprimés les composants sont répartis en trois groupes formant ainsi trois cartes :

- La carte centrale qui comprend l'amplificateur, l'échantillonneur bloqueur, le convertisseur-analogique numérique et la logique de contrôle
- La carte de Multiplexage constituée de 8 multiplexeurs MPC80
- La carte d'interfaçage avec Apple II comprenant le VIA

La gravure des circuits imprimés et l'implantation des composants font l'objet de l'appendice IV page 128

5-2 LES REGLAGES DE L'IAAD

- a - Compensation des tensions de décalage de l'amplificateur (voir plan 2)

- relier à la masse (au niveau du connecteur n°2 - CNT2-) les entrées $in \oplus$ et $in \ominus$ du signal
- positionner à la moitié de leur résistance ^{maximale} les potentiomètres P_1 et P_2
- sélectionner le gain maximum (1024) et régler le potentiomètre P_1 de manière à obtenir 0V à la sortie de l'amplificateur (bornes de la résistance R_4)
- sélectionner le gain minimum (1) et régler le potentiomètre P_2 de manière à obtenir 0V à la sortie

- b - Compensation de la tension de décalage du S/H (plan 2)

- après avoir régler l'amplificateur garder une tension nulle à la sortie de l'ampli (entrée du S/H) et régler le potentiomètre P_3 de manière à obtenir 0V à la sortie du S/H (borne 7)

- c - Compensation de la tension de décalage du convertisseur (plan 2)

- appliquer à l'entrée une tension de 9,88V ($10V - 3/2 \text{ LSB}$ pour la plage de 10V)
- sélectionner le gain unitaire pour l'amplificateur

- ajuster le potentiomètre P_4 jusqu'à obtenir à la sortie du A/D le nombre 1000 0000 (128 décimal)

- d- Compensation de l'erreur de gain du A/D (plan 2)

On procède de la même façon que pour la tension de décalage mais en prenant $E = -10V + 1/2 \text{ LSB} \approx -9,96V$ à l'entrée et en cherchant à obtenir à la sortie le nombre binaire 0111 1111 (127)

- e- Sélection de la plage de conversion du A/D (plan 2)

- pour la plage de $\pm 10V$ le jumper J_2 doit être placé entre les points de soudure a et b sur le plan 2

- pour la plage de $\pm 5V$ le jumper J_2 doit être placé entre les points c et d.

CHAPITRE VI

CONCLUSION

De nombreuses difficultés sont apparues dues à la carence en matériel de mesure et de test du laboratoire d'électronique, les caractéristiques des composants et de l'interface ont été estimées d'après les données des fournisseurs dans la plus part des cas.

Néanmoins l'Interface Analogique d'acquisition de données est opérationnelle avec les caractéristiques principales suivantes :

- nombre de voies 64 dont 8 utilisées actuellement
- précision 0,1%
- résolution 10^8
- fréquence maximum d'acquisition en mode "univoie" 63,3 KHz
(15 KHz compte tenu du programme actuel)
- fréquence maximum d'acquisition en mode "Multivoie", 6,2 KHz
(4,5 KHz compte tenu du programme actuel)
- bande passante 7,9 KHz
- Plage des tensions convertibles $\pm 10V$ maximum ($\pm 5V$ en option)
- possibilité de fonctionnement en temps réels grâce au mode interruption
- adaptable à la plus part des microprocesseurs 8 et 16 bits

- à condition d'avoir une interface programmable
- s'y ajoute un module de 8 sorties logiques (actives niveau bas) pour la commande

La majorité des charges définies a été satisfaite.

Afin d'accroître les capacités et les performances du système de mesure les études suivantes peuvent être envisagées :

- Construction d'un module de prétraitement et de calibration des signaux d'entrée afin d'éviter les faibles tensions ($\leq 25\text{mV}$) et de réduire ainsi les effets perturbateurs.
- Redéfinition des besoins en mesure de tous les laboratoires de l'EPT, choix de capteur et élaboration d'un programme plus complet d'acquisition traitant tous les cas y compris la mesure et le traitement en temps réel
- Mise en oeuvre d'un système à microprocesseur autour de l'IAAD afin d'en constituer un système complet et autonome de mesure et de traitement
- éventuellement une étude économique de vulgarisation car l'interface telle que conçue et réalisée peut servir à étudier avec la même efficacité des processus industriels.

APPENDICE I

LA SOLUTION INITIALE

(Tiré de la référence 26)

VIII PRÉSENTATION SOMMAIRE DE L'INTERFACE

8.1. LE CAHIER DE CHARGE

Partant des principes théoriques étudiés dans la première partie de cet ouvrage, nous nous proposons de faire une étude pratique de conception d'une interface analogique d'acquisition de données à 64 voies différentielles, l'interface sera composée principalement de :

- 8 multiplexeurs analogiques à 8 entrées différentielles, mis en cascade, pour obtenir les 64 voies analogiques
- un amplificateur différentiel à gain programmable et à filtrage intégré
- un échantillonneur - bloqueur
- un convertisseur analogique - numérique de résolution, 8 bits

L'interfaçage doit pouvoir se faire avec la plupart des microprocesseurs 8 bits et 16 bits courants.

L'interface pourra fonctionner suivant deux modes sélectionnés par programme :

- le mode uni-voie qui permet, par une fréquence d'échantillonnage élevée, de suivre avec précision l'évolution d'un signal raccordé à l'une des entrées analogiques.

- le mode multi-voie qui, avec une fréquence d'échantillonnage moyenne, autorise l'exploration séquentielle de plusieurs voies analogiques.

8.2. LE BLOC DIAGRAMME DE L'INTERFACE

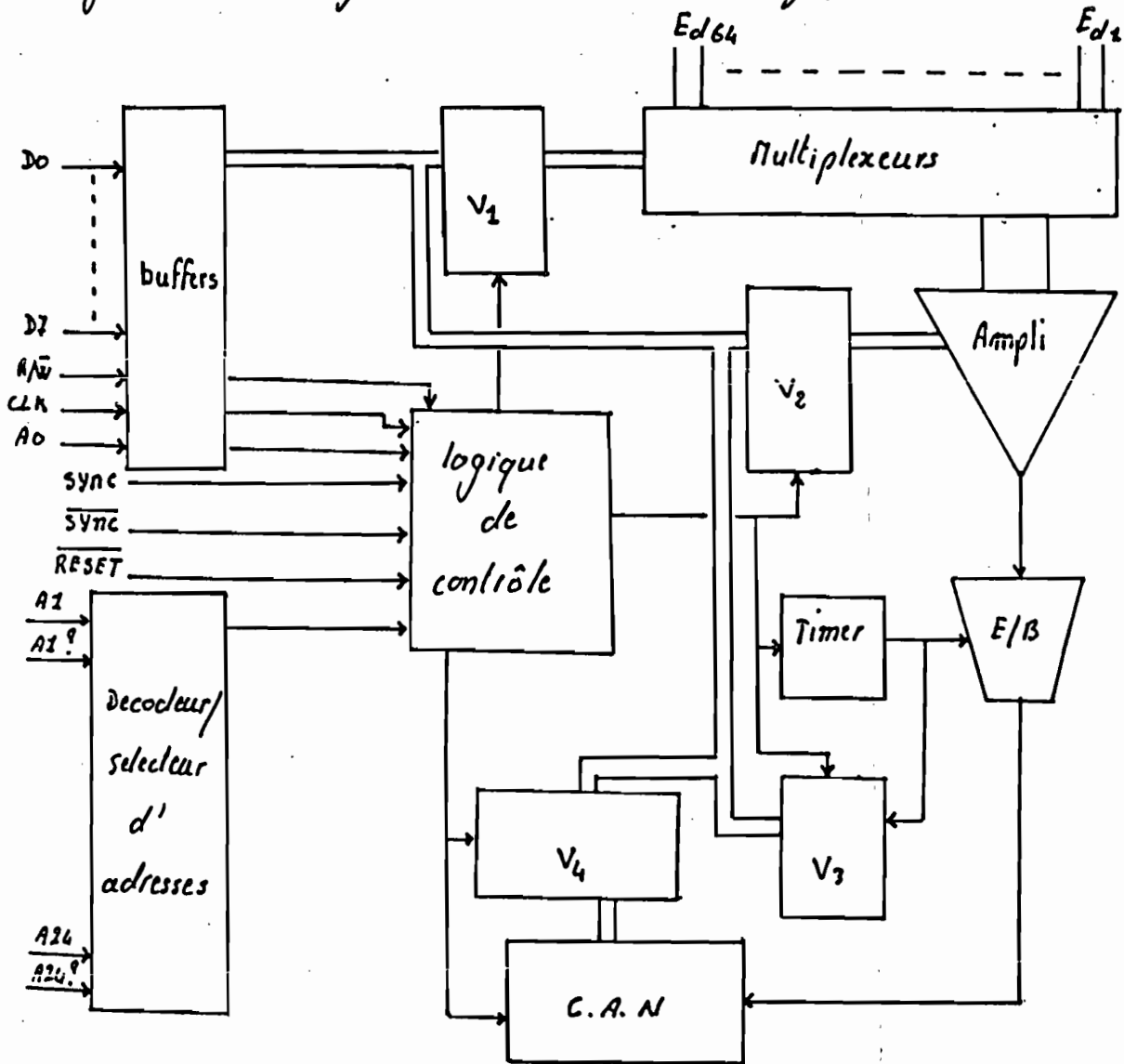
La figure 8.1 montre que la solution retenue est celle du multiplexage analogique juste après les capteurs. Outre les principales composantes citées dans le paragraphe 8.1, on retrouve dans le bloc diagramme :

- un registre de commande associé au bloc de multiplexage analogique (V_1), qui permet la sélection des voies analogiques et du mode de fonctionnement
- un registre de gain (V_2) qui permet la sélection du gain d'amplification de l'amplificateur différentiel
- un registre d'état (V_3) qui autorise le transfert de donnée par la technique E/S du sondage
- un registre de donnée qui mémorise le résultat de la dernière opération de conversion réalisée par le convertisseur analogique - numérique (V_4)
- un temporisateur (timer) qui introduit un délai entre le début de l'amplification du signal analogique et le passage en mode blocage de l'échantillonneur - bloqueur, pour tenir compte du temps de stabilisation de l'amplificateur
- une logique de contrôle réalisée avec des portes logiques, qui se charge de la répartition interne des adresses, de la cor-

direction et de la synchronisation des fonctions des différentes composantes de l'interface

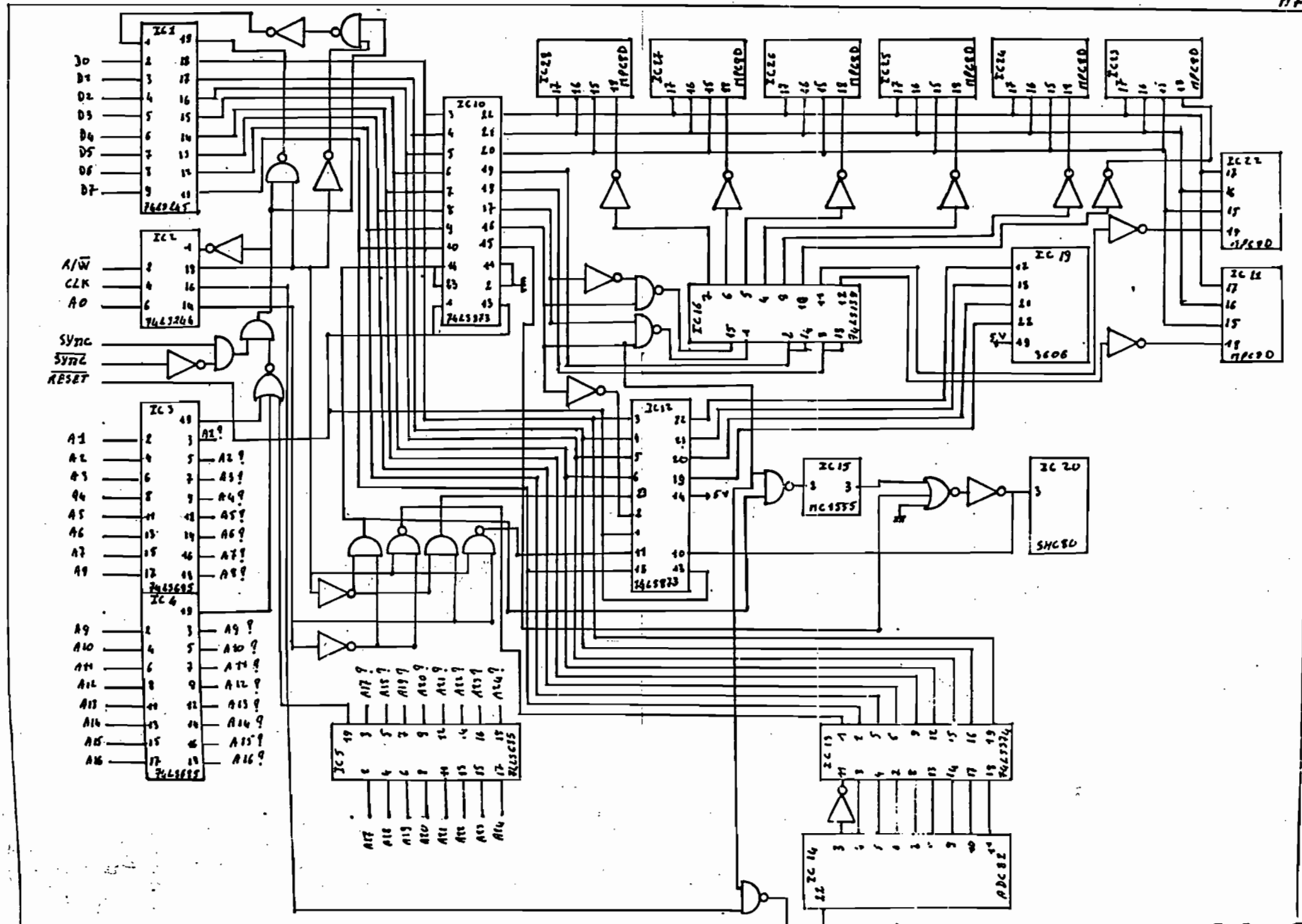
- un bloc de décodage et de sélection d'adresse, et un bloc de bufferisation qui permettent l'interfaçage avec les micro-processeurs.

fig. 8.1 bloc diagramme de l'interface analogique



SCHEMA LOGIQUE DE L'INTERFACE ANALOGIQUE

117



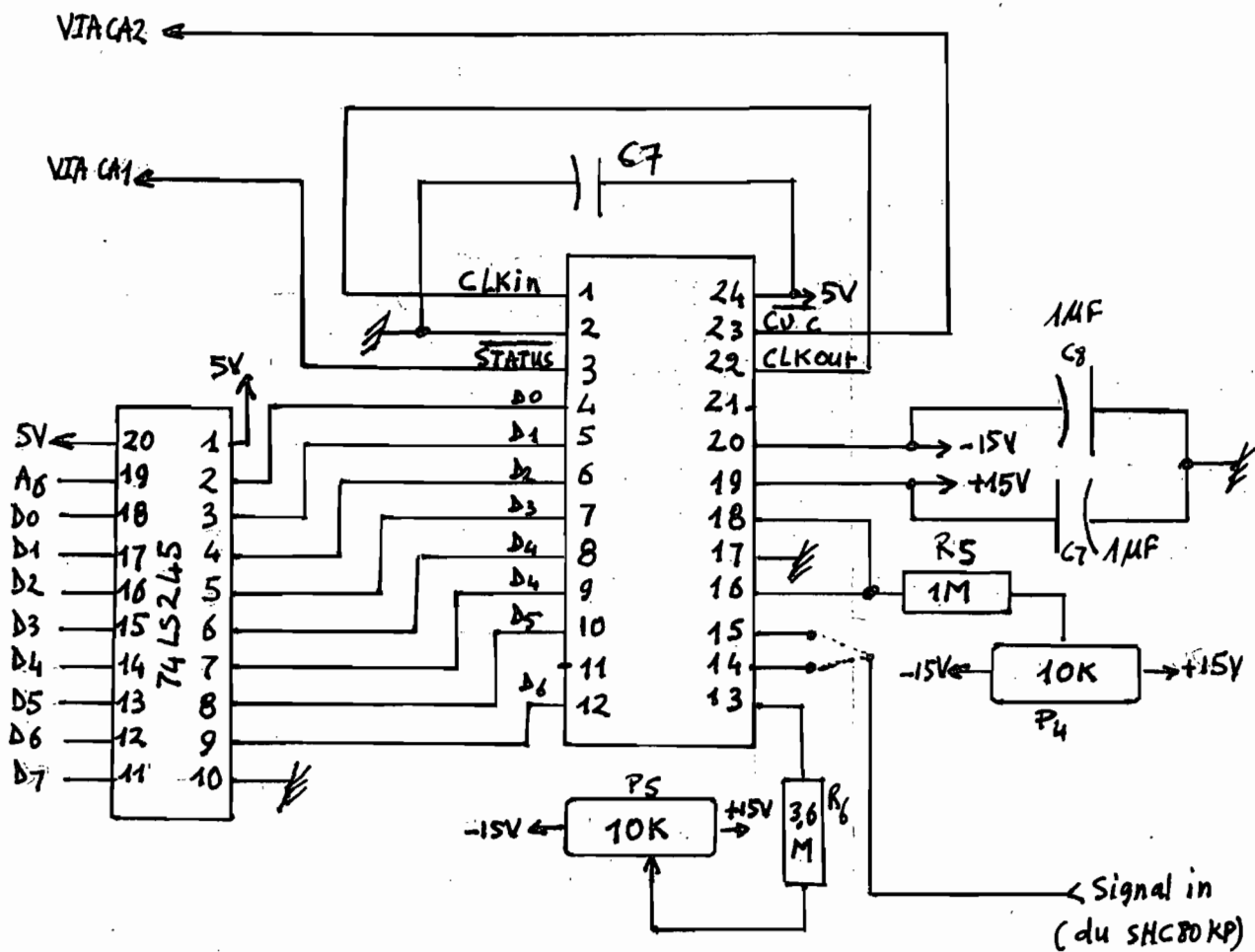
93

APPENDICE II

CARACTERISTIQUES ET MISE
EN ŒUVRE DES PRINCIPAUX
BLOCS FONCTIONNELS

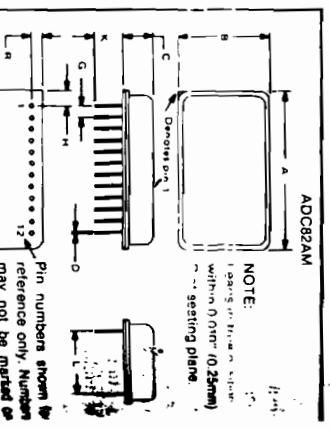
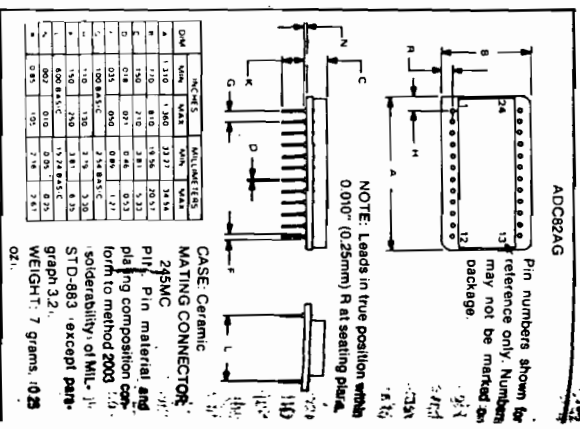
AII-1 LA CONVERSION ANALOGIQUE-DIGITALE

a) mise en oeuvre (schéma)
DU ADC 82 AG de BURR-BROWN



Note { - pour la plage de $\pm 10V$ connecter le signal à la broche (15) du ADC 82
 - pour la plage de $\pm 5V$ connecter le signal à la broche (14) du ADC 82

MECHANICAL



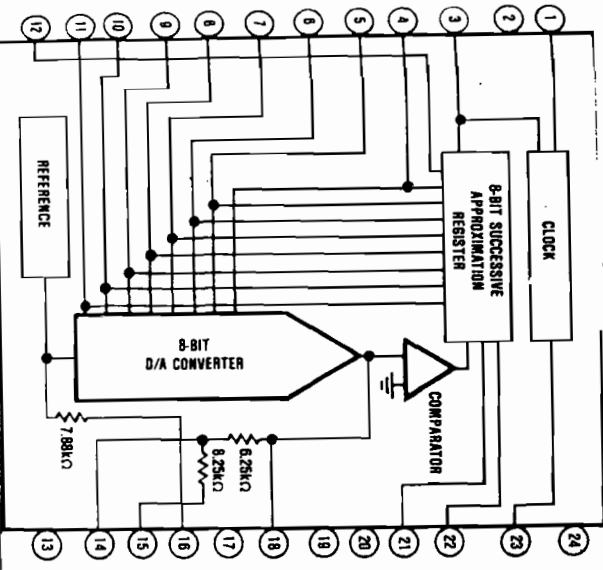
PARAMETER	MIN.	TYP.	MAX.
Case Height	0.110	0.160	0.217
Case Width	0.190	0.190	0.251
Case Depth	0.190	0.190	0.251
Case Thickness	0.014	0.014	0.014
Case Diameter	0.190	0.190	0.251
Case Length	0.190	0.190	0.251
Case Weight	0.020	0.020	0.020

b) spécifications du convertisseur ADC 82 AG (Ref 16)

ELECTRICAL
Typical at +25°C and rated power supplies unless otherwise noted.

MODEL	ADC82AG	ADC82AM	UNITS
RESOLUTION	8	8	Bits
INPUT			
ANALOG INPUTS			
Voltage Ranges		±2.5, ±5, ±10	V
Bipolar		0 to +5, 0 to +10, 0 to +20	V
Unipolar		3.125	kI
Impedance (Direct Inputs)		6.25	kI
0 to +5V, ±2.5V		12.50	kI
0 to +10V, ±5V			
0 to +20V, ±10V			
DIGITAL INPUTS⁽¹⁾			
Convert Command		Positive pulse 50nscc wide, min. trailing edge	
Logic Loading		"1" to "0", Initiates conversion	
External Clock		1	TTL Load
TRANSFER CHARACTERISTICS			
ERROR			
Total Accuracy Error, max		±1	LSB
Gain Error ⁽²⁾		±0.1	%
Offset Error ⁽³⁾		±0.05	% of FSR ⁽⁴⁾
Unipolar		±0.05	% of FSR
Bipolar		±0.2	LSB
Linearity Error, max ⁽⁴⁾		±1/2	LSB
Inherent Quantization Error		±1/2	LSB
Differential Linearity Error		±1/2	LSB
No Missing Codes Temp. Range		0 to 70	°C
Power Supply Sensitivity		±0.02	% of FSR/%V
+5V and -15V		±0.06	% of FSR/%V
DRIFT			
Substitution Temp. Range		±20 to 0	ppm/°C
Gain max		±40	ppm/°C
Offset		±20	ppm of FSR/°C
Unipolar		±35	ppm of FSR/°C
Bipolar, max		±20	ppm of FSR/°C
Linearity, max		±20	ppm of FSR/°C
Monotonicity		Guaranteed	
CONVERSION SPEED, max⁽⁵⁾		2.8	µsec
OUTPUT			
DIGITAL DATA All codes complementary			
Parallel Output Codes ⁽⁶⁾		CSB, COB, CTC	TTL Loads
Unipolar		5	TTL Loads
Bipolar		5	TTL Loads
Output Drive		Logic "1" during conversion	TTL Loads
Serial Data Codes NRZ		5	TTL Loads
Output Drive		5	TTL Loads
Status		4	TTL Loads
Status Output Drive		2.85	MHz
Internal Clock			
Clock Output Drive			
Frequency ⁽⁷⁾			
POWER REQUIREMENTS			
Rated Voltages		±15, +5	VDC
Range for Rated Accuracy ⁽⁸⁾		±4.75 to ±5.25, ±14.5 to ±15.5	VDC
Supply Drain, +15VDC		±20	mA
-15VDC		±80	mA
+5VDC			mA
TEMPERATURE RANGE			
Substitution		±2 to +65	°C
Storage		-55 to +125	°C

blocl diagramme

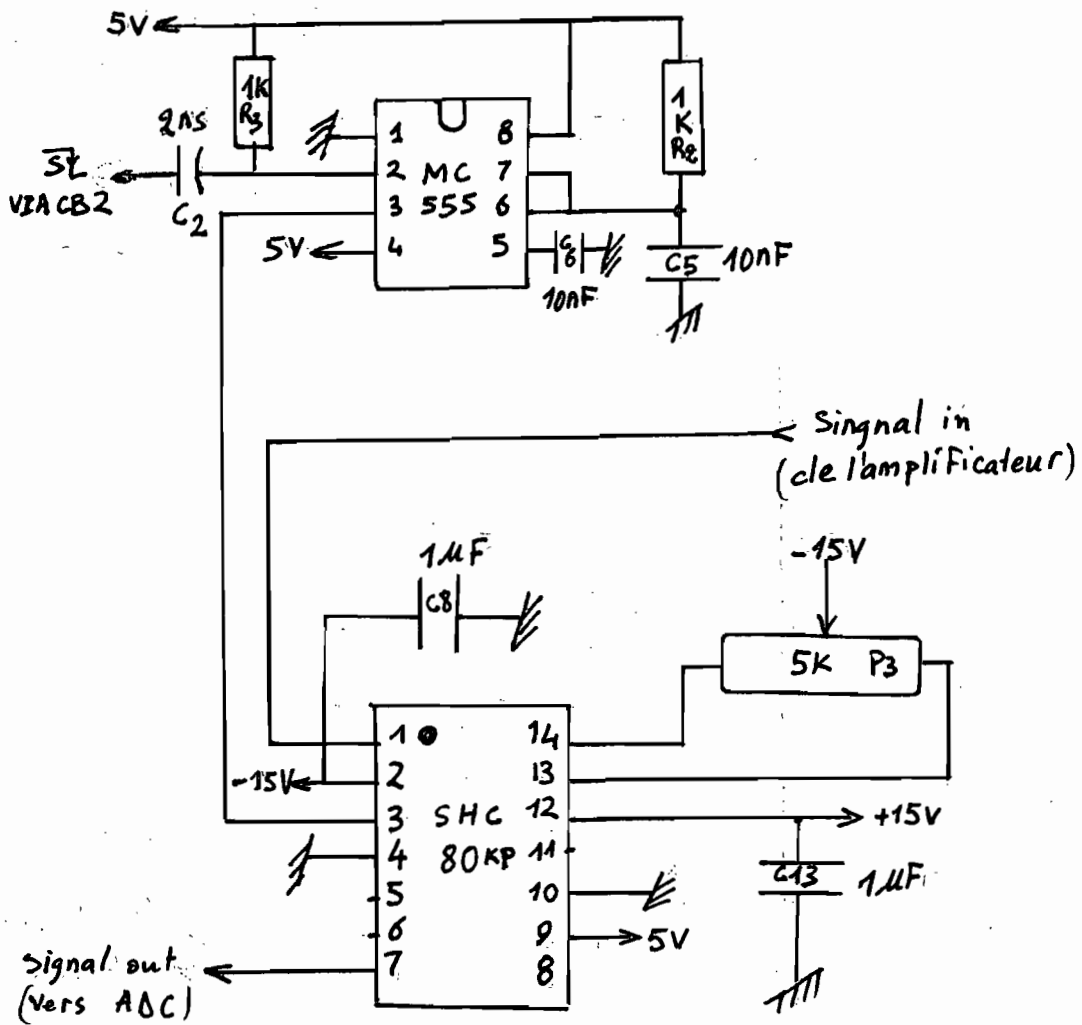


- NOTES**
- 1 DTL/TTL compatible, i.e., Logic "0" = 0.8V max, Logic "1" = 2.0V min
 - 2 FSR means Full Scale Range - for example, unit 1 connected for ±10V range has 20V FSR.
 - 3 Adjustable to zero with external trimpot.
 - 4 Error shown is the same as ±1/2LSB max for resolution of A/D converter.
 - 5 Conversion time with internal clock.
 - 6 See Table 1. CSB - Complementary Binary; COB - Complementary Two's Complement; CTC - Complementary Two's Complement.
 7. For conversion speeds specified.
 8. ±14.0V to ±16.0V for ±1-1/4LSB total accuracy.

1. Clock Out
 2. Digital Common
 3. Status
 4. Bit 8, LSB
 5. Bit 7
 6. Bit 6
 7. Bit 5
 8. Bit 4
 9. Bit 3
 10. Bit 2
 11. Bit 1, MSB
 12. Bit 1, MSB
 13. Gain Adjust
 14. R₁, 10V Range
 15. R₂, 20V Range
 16. Bipolar Offset
 17. Analog Common
 18. Comparator Input
 19. +15
 20. -15V
 21. Serial Out
 22. Clock In
 23. Convert Command
 24. +5V
- *Internally connected to case on ADC82AM.

AII-2 L'ECHANTILLONNEUR BLOQUEUR-SHC80KB

a) Mise en oeuvre du SHC80KP de BURR-BROWN



b) spécifications du SHC80KP

(ref 16)

SPECIFICATIONS

ELECTRICAL

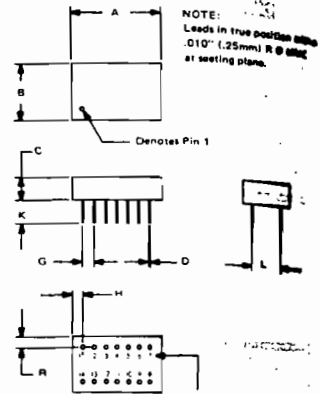
Typical at 25°C with rated supply and 1000pF internal capacitor unless otherwise noted.

MODELS	SHC80KP	SHC80BM	UNITS
INPUT			
ANALOG INPUT			
Voltage Range	±10	±10	V
Maximum Safe Input Signal	±15	±15	V
Impedance	10 ⁸ 5	10 ⁸ 5	Ω pF
Bias Current	400	400	nA
DIGITAL INPUT			
(TTL/MOS Compatible)	Logic Supply Voltage +5V	Logic Supply Voltage +15V	Current
Mode Control			
"Sample" - Logic "1"	2 < e < 8V	5.5 < e < 15V	+50nA
"Hold" - Logic "0"	0 < e < 0.8V	0 < e < 3.5V	-50μA
TRANSFER CHARACTERISTICS			
ACCURACY - 25°C:			
Dynamic Nonlinearity, max	±0.01(1)	±0.01	% of 20V
At min "Hold" time	1000	1000	μsec
Gain	+1.0	+1.0	V/V
Gain Error	0.01	0.01	% of 20V
Throughput Offset, max	2	2	mV
adjust to zero			
Droop Rate, max	0.5	0.5	mV/msec
Droop Rate, typ	0.2	0.2	mV/msec
Throughput Nonlinearity	±0.005	±0.005	% of 20V
Noise rms 10Hz to 100kHz	100	100	μV rms
Supply Rejection 0 to 50kHz	200	200	μV/V
ACCURACY DRIFT			
Gain Drift	2	2	ppm of 20V/°C
Offset Drift	20	20	μV/°C
Droop Rate(2)			
At 70°C, max	10	10	mV/msec
At 85°C, max	--	25	mV/msec
DYNAMIC CHARACTERISTICS			
Full Power Bandwidth(3)	75	75	kHz
Output Slew Rate	5	5	V/μsec
Aperture Time, letter	40	40	nsec
Aperture Time, small	1	1	nsec
10V Step, max	10	10	μsec
20V Step, max	12	12	μsec
Feedthrough in Hold Mode	+0.02	±0.005	% of Input Step
Charge Offset, max	2	2	mV
Sample to Hold Transient			
Peak Amplitude	150	150	mV
Settling to 1mV	1	1	μsec
OUTPUT			
ANALOG OUTPUT			
Voltage Range, min	-10	±10	V
Current Range, min	-5	-5	mA
Impedance	0.5	0.5	Ω
TEMPERATURE			
Specification	0 to +70	-25 to +85	°C
Storage	-25 to +85	-55 to +125	°C
POWER SUPPLY			
Rated Voltage	±15	±15	V
Range	+14.5 to -15.5	+14.5 to -15.5	V
Current	±20	±20	mA
LOGIC SUPPLY			
Rated Voltage	-5	-5	V
Range	-4.75 to -15.5	-4.75 to -15.5	V
Current	1	1	mA

- NOTES
 1 : ±0.015 including feedthrough for SHC80KP
 2 : May double every 10°C over temperature
 3 : Small signal bandwidth 750kHz

MECHANICAL

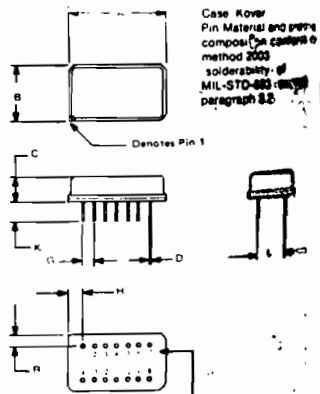
EPOXY PACKAGE - SHC80KP



Pin numbers shown for reference only. Numbers are not marked on package.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.790	.810	20.07	20.67
B	.490	.510	12.45	12.95
C	.190	.210	4.83	5.33
D	.018	.021	0.46	0.53
G	100 BASIC		2.54 BASIC	
H	.080	.115	2.03	2.92
K	.130	.300	3.30	7.62
L	300 BASIC		7.62 BASIC	
R	.080	.115	2.03	2.92

META-PACKAGE - SHC80BM

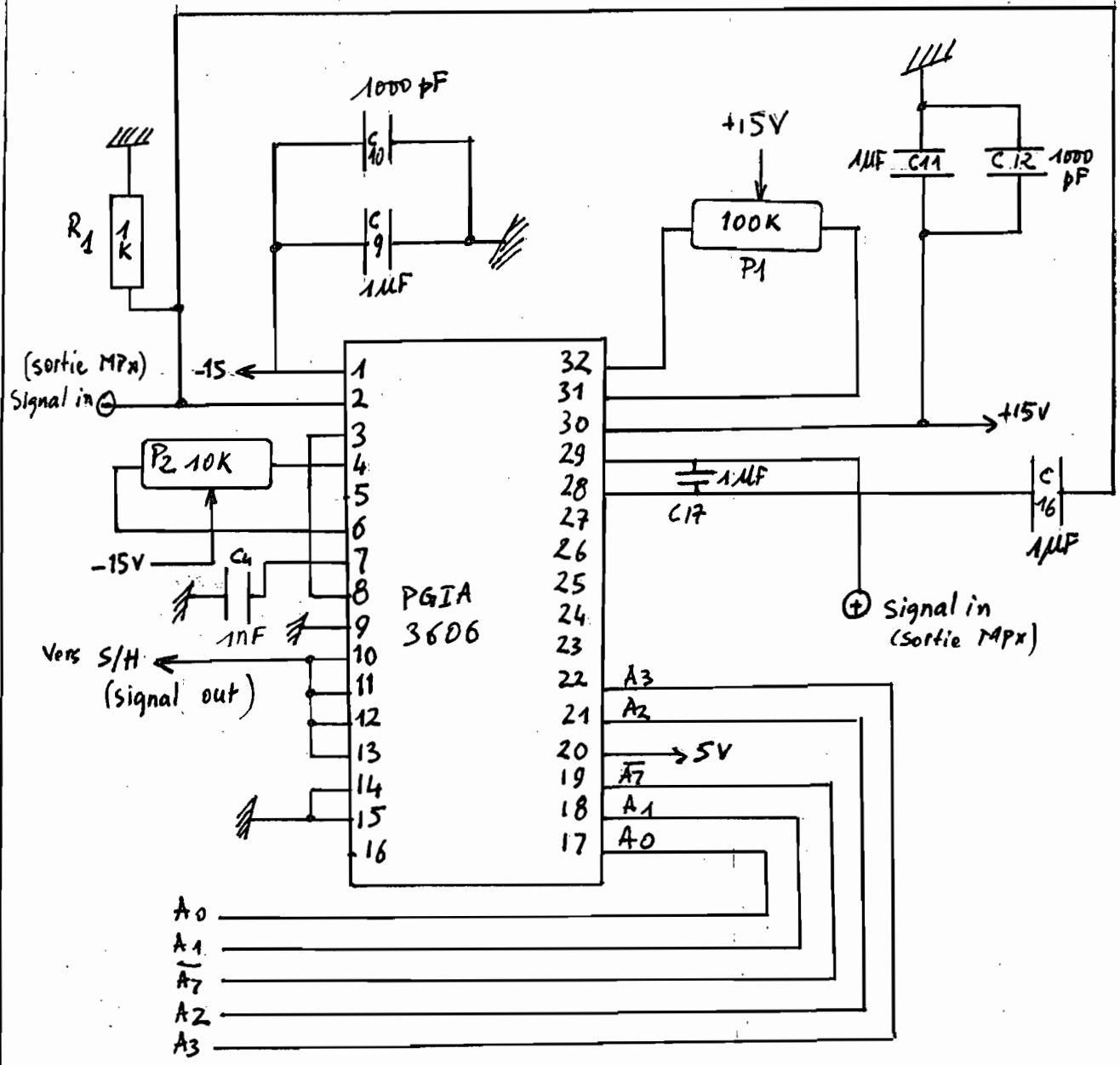


Pin numbers shown for reference only. Numbers are not marked on package.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.860	.880	21.84	22.35
B	.490	.510	12.45	12.95
C	.170	.250	4.32	6.35
D	.016	.021	0.41	0.53
G	100 BASIC		2.54 BASIC	
H	.115	.155	2.92	3.94
K	.150	.300	3.81	7.62
L	300 BASIC		7.62 BASIC	
R	.080	.120	2.03	3.05

AI-3 L'AMPLIFICATEUR PGIA 3606 AG BURR-BROWN

a) mise en oeuvre du PGIA 3606 AG



b) spécifications du P6IA3606A6 (ref 16)

SPECIFICATIONS

ELECTRICAL

Typical at +25°C, unless otherwise noted.

PARAMETER	CONITIONS	3606A ⁽¹⁾			3606B ⁽¹⁾			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
GAIN, G⁽²⁾								
Inaccuracy	G = 1 to 1024, I _O = 1mA		±0.02	±0.05		±0.01	±0.02	%
Nonlinearity ⁽³⁾	G = 1 to 16		0.001	0.002		.	.	%/5
	G = 32 to 128		0.003	0.004		.	.	%
	G = 256 to 1024		0.005	0.01		.	.	%
Drift vs Temperature vs Time	G = 1 to 1024		±5	±10		.	.	ppm/°C
	G = 1 to 1024		±0.01			.	.	%/1000 hrs
RATED OUTPUT								
Voltage	I _O = ±5mA	±10	±12		.	.		V
Current	V _O = ±10V	±5	±10		.	.		mA
Impedance			0.05		.	.		Ω
INPUT CHARACTERISTICS								
Absolute Max Voltage	No damage			±V _{CC}		.	.	V
Common-Mode Voltage Range	Linear operation	±10	±10.5			.	.	V
Differential Impedance			10 ± 3			.	.	10% pF
Common-Mode Impedance			10 ± 3			.	.	10% pF
OFFSET VOLTAGE, RTO⁽⁴⁾								
Initial at +25°C ⁽⁵⁾			± 0.02G -1	± 0.04G -2		± 0.01G -1	± 0.02G -2	mV
vs Temperature	-25°C to +85°C		-0.0015G ±0.03G ₂	±0.003G ±0.05G ₂		-0.0005G ±0.01G ₂	±0.001G ±0.02G ₂	mV/°C
vs Time			±0.001G -0.01G ₂			.		mV/mo
vs Supply			-0.002G			.		mV/V
vs Gain ⁽⁶⁾	With trimming		-0.04G ₂ -1	±2		.	.	mV
INPUT BIAS CURRENT								
Initial	+25°C		±15	±50		±5	±20	nA
vs Temperature	-25°C to +85°C		±0.3			.	.	nA/°C
vs Supply Voltage			±0.1			.	.	nA/V
INPUT DIFFERENCE CURRENT								
Initial	+25°C		±15	±50		±5	±20	nA
vs Temperature	-25°C to +85°C		±0.5			.	.	nA/°C
vs Supply Voltage			±0.1			.	.	nA/V
INPUT NOISE								
Voltage	R _{SOURCE} ≤ 5kΩ G = 1024		1.4			.	.	μV, p-p
			1.0			.	.	μV, rms
Current			70			.	.	pA, p-p
			20			.	.	pA, rms
COMMON-MODE REJECTION								
DC 1kΩ Source Imbalance			80	90		90	100	dB
G = 1, 2			90	100		100	110	dB
G = 4 to 6			100	114		110	114	dB
G = 32 to 1024						.	.	dB
50Hz, 1kΩ Source Imbalance			80	86		.	.	dB
G = 1, 2			90	96		.	.	dB
G = 4 to 16			100	106		.	.	dB
G = 32 to 1024						.	.	dB
DYNAMIC RESPONSE								
-3dB Response	Small Signal		100			.	.	kHz
G = 1			40			.	.	kHz
G = 32 to 128			10			.	.	kHz
G = 256 to 1024						.	.	kHz
±1% Response	Small Signal		40			.	.	kHz
G = 1			8			.	.	kHz
G = 32 to 128			3			.	.	kHz
G = 256 to 1024						.	.	kHz
Slew Rate	G = 1	0.2	0.5			.	.	V/μsec
Settling Time	G = 128		75			.	.	μsec
to 1%			100			.	.	μsec
to 0.1%			200			.	.	μsec
to 0.01%						.	.	μsec

ELECTRICAL (CONT)

Typical at +25°C, unless otherwise noted.

PARAMETER	CONDITIONS	3606A ⁽¹⁾			3606B ⁽¹⁾			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
LOGIC VOLTAGES								
"0" Level ⁽⁷⁾			0	+0.4				- V
"1" Level ⁽⁷⁾		+2.4	+5.0					V
Absolute Max	No damage			+7				V
ANALOG SUPPLY								
Rated Voltage			±15					VDC
Voltage Range, Derated Performance		±8		±18				VDC
Current, quiescent			±10	±20				mA
DIGITAL SUPPLY								
Rated Voltage			+5					VDC
Voltage Range		+4.5		+5.5				VDC
Current, quiescent			10					mA
TEMPERATURE RANGE								
Specification		-25		+85				°C
Storage		-40		+100				°C

Specifications same as 3606A.

NOTES:

- Specify 3606AG or 3606BG for ceramic package and 3606AM or 3606BM for metal package—see below.
- G = G₁ × G₂.
- Nonlinearity is the maximum peak deviation from the best straight-line as a percent of full scale peak-to-peak output.
- RTO = Referred To Output. May be referred to input by dividing by gain G.
- May be adjusted to zero.
- Trimmed according to Figure 8.
- All digital inputs are 1 TTL unit load.

MECHANICAL

"G" PACKAGE

Pin numbers shown for reference only. Numbers may not be marked on package.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.700	1.760	43.18	44.70
B	1.120	1.160	28.45	29.46
C	1.70	2.20	4.32	5.64
D	0.18	0.21	0.46	0.53
E	0.09	0.00	0.89	1.27
F	100 BASIC		2.54 BASIC	
G	110	130	2.79	3.30
H	150	250	3.81	6.35
I	900 BASIC		22.86 BASIC	
J	0.02	0.10	0.05	0.25
K	110	130	2.79	3.30

NOTE: LEAD IN-TRIP POSITION WITHIN 0.10 ± 0.25mm (0.004 ± 0.010) INCHES AT SEATING PLANE.

"M" PACKAGE

NOTE: LSB IN-TRIP POSITION WITHIN 0.10 ± 0.25mm (0.004 ± 0.010) INCHES AT SEATING PLANE.

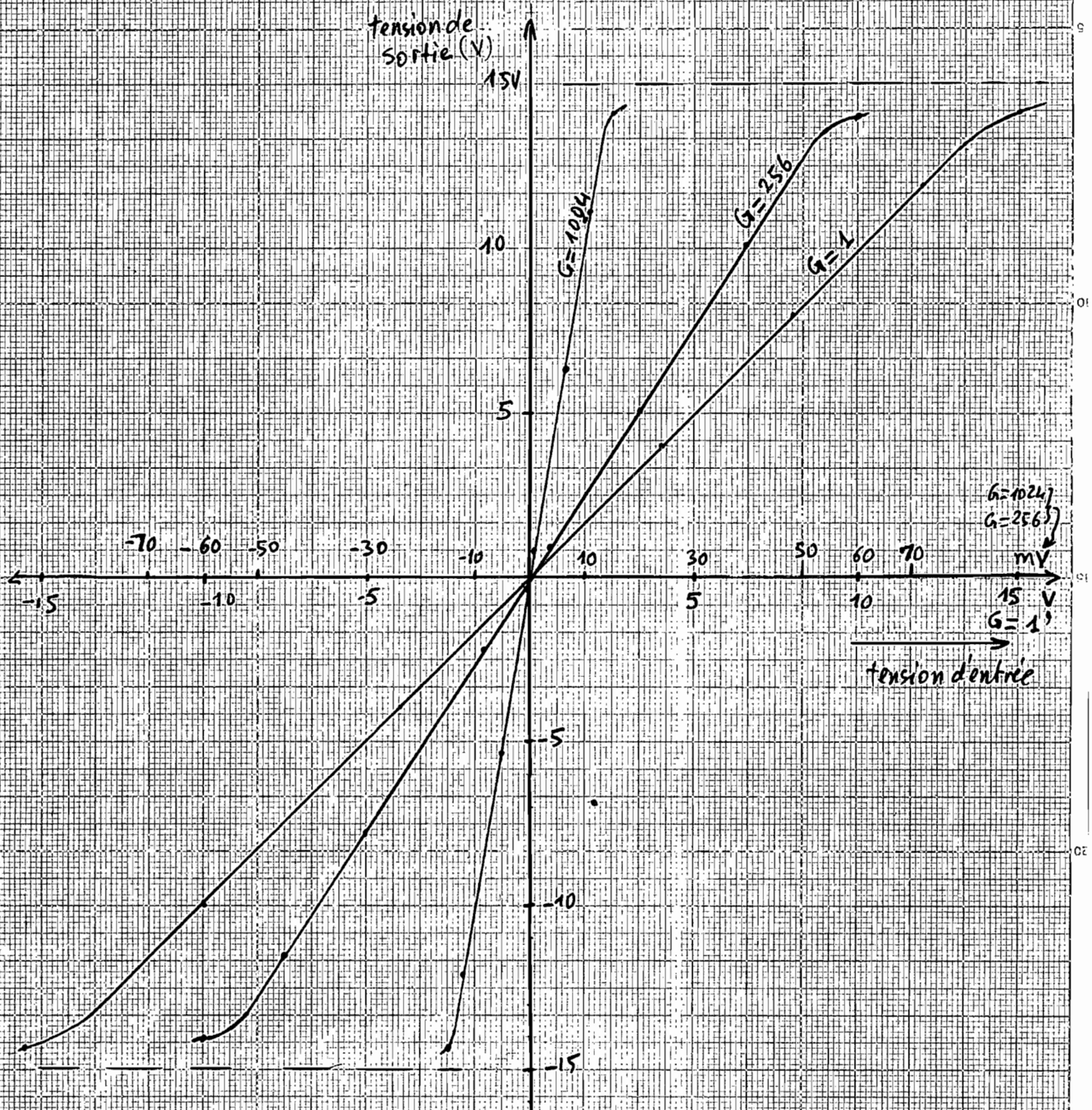
DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.720	1.760	43.69	44.70
B	1.120	1.160	28.45	29.46
C	1.70	2.50	4.32	6.35
D	0.16	0.21	0.41	0.53
E	100 BASIC		2.54 BASIC	
F	110	140	2.79	3.56
G	150	300	3.81	7.62
H	900 BASIC		22.86 BASIC	
I	100	140	2.54	3.56

Pin numbers shown for reference only. Numbers may not be marked on package.

PIN DESIGNATIONS

PIN NO.	DESIG.	FUNCTION	PIN NO.	DESIG.	FUNCTION
1	-V	-15V Analog Supply	17	D ₀	Digital Input, LSB
2	-IN	Inverting Input	18	D ₁	Digital Input, next LSB
3	J ₁	Output of A ₃	19	G	Latch
4	None	Optional A ₄ Offset Trim	20	DIG GND	Digital Ground
5	J ₂	Summing Junction of A ₄	21	D ₂	Digital Input, next MSB
6	None	Optional A ₄ Offset Trim	22	D ₃	Digital Input, MSB
7	F	Low-Pass Filter Pin	23	-5	-5 Digital Supply
8	J ₂	Input to A ₄	24	None	No Internal Connection
9	R ₁	Output Reference	25	None	No Internal Connection
10	O	Output	26	Gain	Optional External Gain
11	S ₁	Sense G = 1	27	Gain	Optional External Gain
12	S ₂	Sense G = 4	28	None	Input CMV
13	S ₃	Sense G = 2	29	+IN	Noninverting Input
14	R ₂	Output Reference	30	+V	+15V Analog Supply
15	ANA GND	Analog Ground	31	BAL	Optional Input Stage
16	None	No Internal Connection	32	BAL	Offset Null

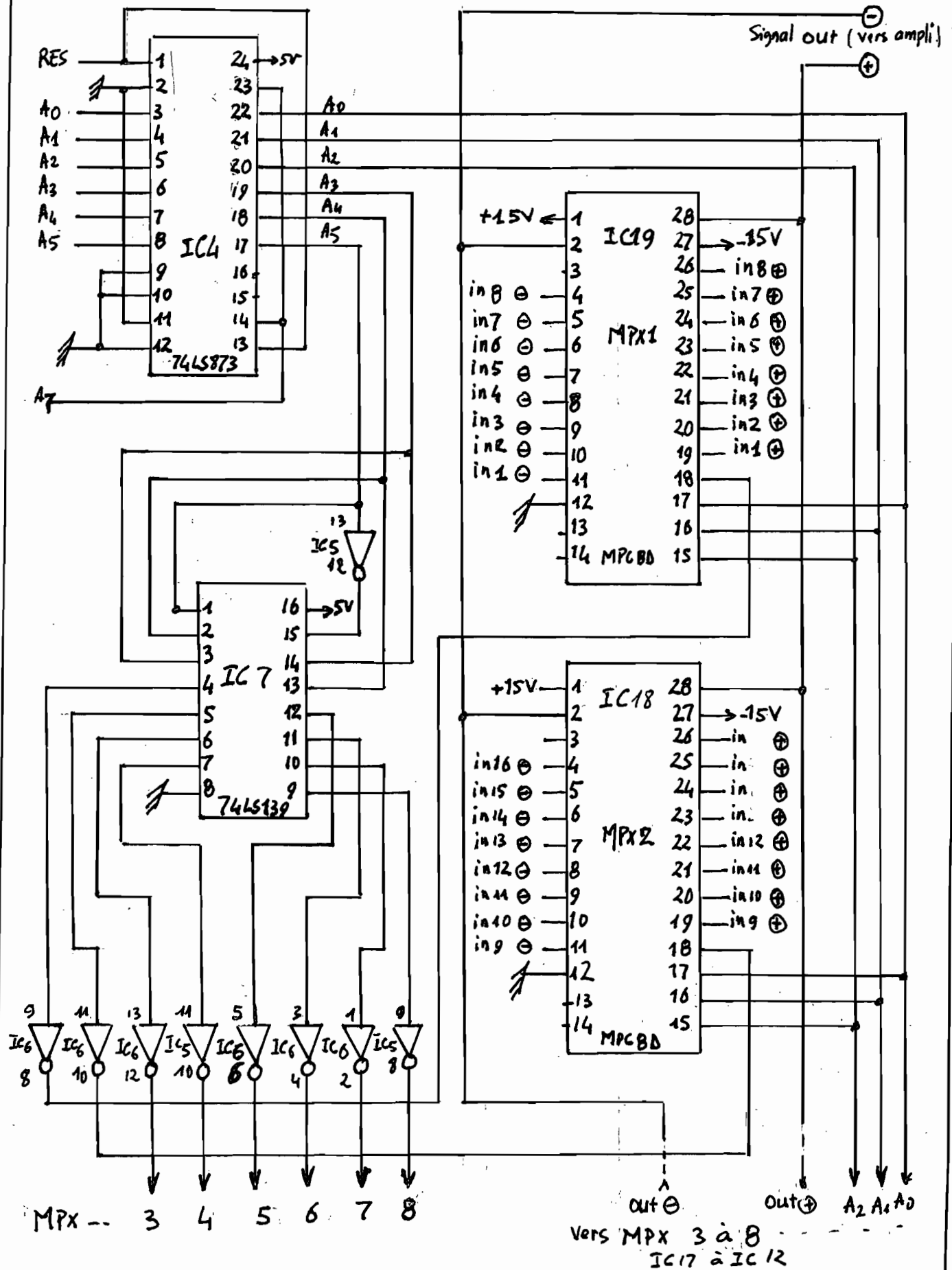
d PGIA3606AG: Caractéristique de GAIN



$G=1024$
 $G=256$
 $G=1$

AII-4 LE MULTIPLEXAGE

a) Mise en oeuvre des multiplexeurs MPC8A BURR-BROWN



b) specifications du MPC8D de BURR-BROWN

Ref 16

SPECIFICATIONS

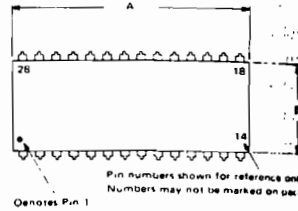
ELECTRICAL

Typical for following conditions:
 $V_+ = +15V$, $V_- = -15V$, $R_{source} \leq 1000\Omega$, $T_A = 25^\circ C$ unless otherwise noted.

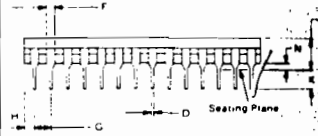
MODELS	MPC16S	MPC8D	UNITS
INPUT			
ANALOG INPUT			
Voltage Range	±15V		V
Maximum Overvoltage	+V supply +20 -V supply -20		V
Current at Maximum Overvoltage per Channel ⁽¹⁾	±18		mA
Number of Input Channels	16		
Single-Ended	16		
Differential	8		
Reference Voltage Range ⁽²⁾	-6 to -10		V
ON Characteristics			
ON Resistance R_{ON}	13		k Ω
Typical	18		k Ω
Maximum	0.25		%/°C
RON Drift vs. Temperature -0°C to +75°C	0.25		%/°C
RON Mismatch	50		Ω
Channel-to-channel	N/A		Ω
Differential	10		nA
Input Leakage I_L	See Typical Performance Curves		nA
Input Leakage Drift	See Typical Performance Curves		nA
OFF Characteristics			
OFF Resistance	10 ¹¹		Ω
Output Leakage	0.2		nA
all channels disabled	0.02		nA
Input Leakage ⁽³⁾	See Typical Performance Curves		nA
Leakage Drift	See Typical Performance Curves		nA
Output Leakage with Input Overvoltage	1		nA
of -35V	1		μA
of -35V	1		μA
DIGITAL INPUTS			
Logic "0" V_L (1)(4)	-V supply; $V_L \leq 0.8$ at 1nA		V
Logic "1" V_H (1)(4)	+4 $\leq V_H \leq$ +V supply at 1nA		V
Channel Select	4-bit binary code - one of sixteen		
Enable	Logic "0" - low - disables all channels Logic "1" - high - enables channel select to turn on selected channel.		
POWER REQUIREMENTS			
Rated Power Supply Voltages	±15		V
Supply Range	+10 to +20		V
+Supply	-10 to -20		V
-Supply	-4 to -2		mA
Supply Drain	0.5		mA
At 1MHz Switching Speed	7.5		mW
At 100kHz Switching Speed	7.5		mW
Typical Power Consumption	7.5		mW
Dc to 10kHz	7.5		mW
DYNAMIC CHARACTERISTICS			
Gain Error 20M Ω load - maximum	0.01		%
Crosstalk ⁽⁵⁾	0.005		% of OFF channel signal
Settling Time ⁽⁶⁾	7		μ SEC
To 2mV 0.01%	3		μ SEC
To 20mV 0.10%	N/A		dB
Common-mode Rejection min	120		dB
Switching Time	0.5		μ SEC
Turn ON	0.3		μ SEC
Turn OFF	0.3		μ SEC
Recovery Time from Input Overvoltage	150		μ SEC
Pulse of 35V for 100 μ sec	15		μ SEC
To 0.01%	15		μ SEC
To 0.10%	15		μ SEC
OUTPUT			
Voltage Range	±15		V
Capacitance to Ground	50		pF
Capacitance Mismatch	N/A		%
TEMPERATURE			
Specification	0 to +75		°C
Storage	-65 to +150		°C

MECHANICAL

NOTE:
 Leads in true position within 0.10°
 (0.25mm) R @ MMC at seating plane.



Pin numbers shown for reference only. Numbers may not be marked on package. Denotes Pin 1.

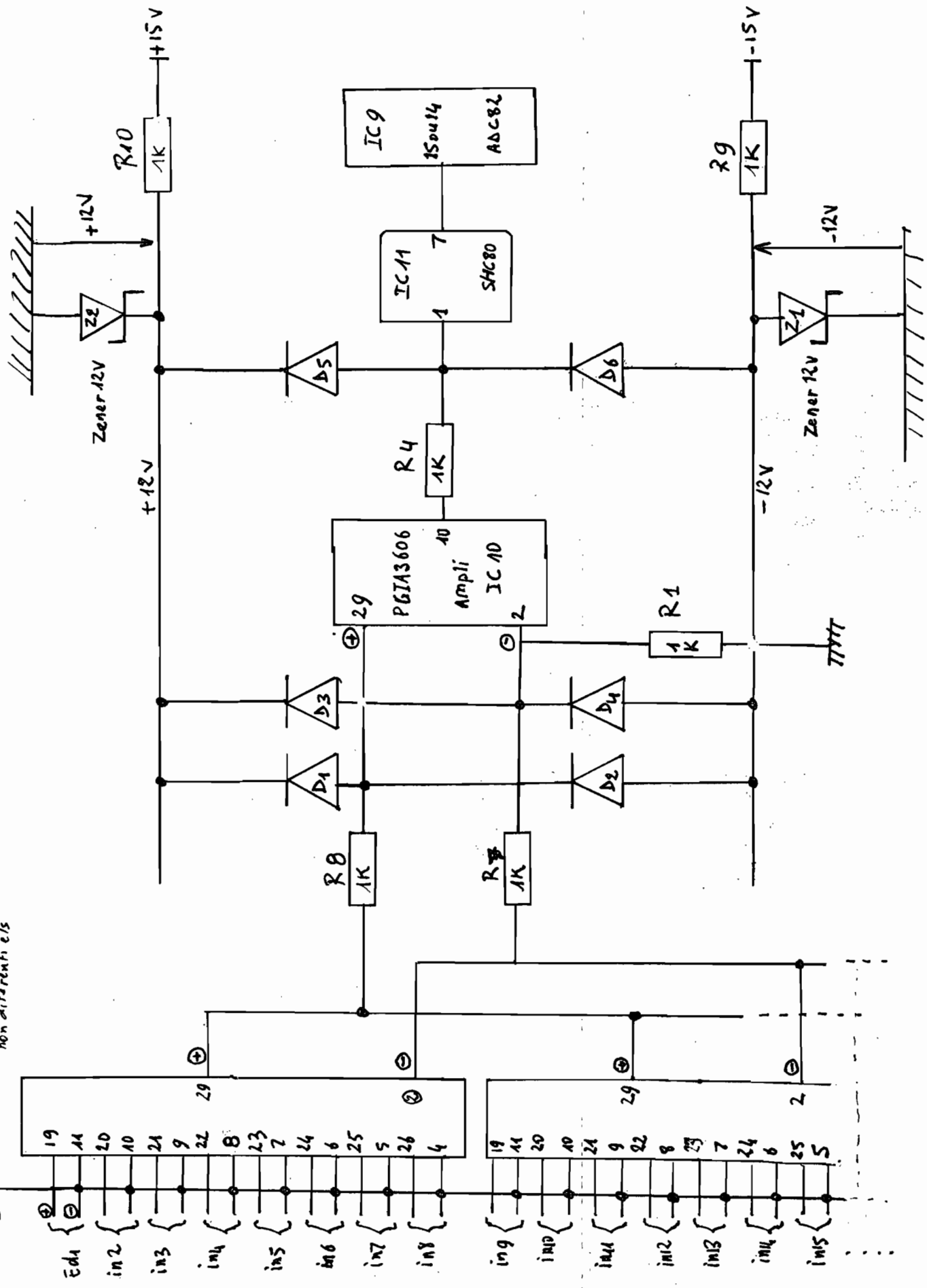


DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.360	1.470	34.54	37.34
B	5.00	5.50	12.70	13.97
C		.200		5.08
D	0.15	0.21	0.38	0.53
E	0.30	0.70	0.76	1.78
F		.100 BASIC		2.54 BASIC
G	0.30	0.95	0.76	2.41
H	0.07	0.13	0.18	0.33
I	1.00		2.54	
J	5.00 BASIC		12.70 BASIC	
K		15.0		15.0
L	0.70	0.90	0.51	2.29

- NOTES
- Total power dissipation due to input overvoltage current flowing in the input protection circuitry must be limited to one watt for both a. normal operation with power supplies turned on or b. during a fault condition when the supplies are shorted to ground.
 - Reference voltage controls noise immunity level. Normally not used, pin 13 left open.
 - Leakage measurement made with all OFF channel outputs tied in parallel to +20V.
 - Maximum overvoltage is $\pm V_{supply} + 4V$ at $\pm 15mA$. Logic levels specified are for V_{ref} pin 13 open. For V_{ref} open, V_H min = -6V.
 - 20V, pk-pk 1000Hz sinewave; $R_{source} = 1000\Omega$, same as on all unused channels.
 - For 20V between switched channels, $R_{source} = 1000\Omega$. Typical Performance Curves for setting time vs. impedance - R_s .
 - From each side of MPC8D to ground.

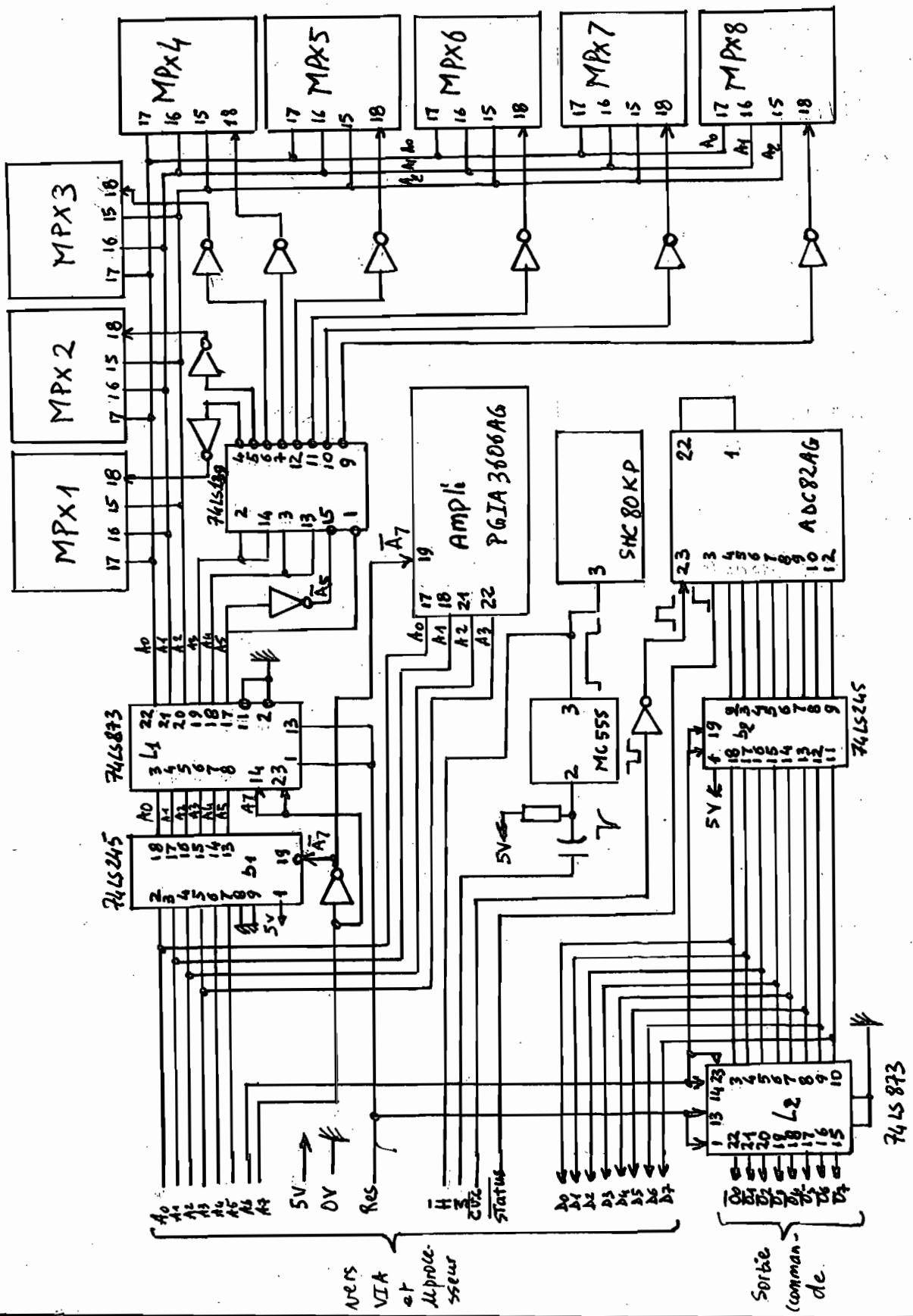
AI-5 PROTECTION CONTRE LES SURTENSIONS (mise en oeuvre)

Configuration pour signaux non différentiels



AI-6 LA LOGIQUE DE CONTROLE

a) CIRCUIT LOGIQUE DE L'IAAD.



b) Caractéristiques des circuits logiques

ADVANCED LOW-POWER SCHOTTKY TTL

Ref 18

TYPES SN54ALS873 AND SN74ALS873 DUAL 4-BIT D-TYPE LATCHES

- * DUAL 4-BIT D-TYPE LATCHES
- * ADVANCED OXIDE-ISOLATED, ION-IMPLANTED TTL SCHOTTKY PROCESS
- * SWITCHING SPECIFICATIONS AT 50 pF
- * BUS-STRUCTURED PINOUT
- * 3-STATE BUFFER-TYPE OUTPUTS DRIVE BUS LINES DIRECTLY

FUNCTION TABLE

		ENABLE								ENABLE			
		Vcc	1C	1Q1	1Q2	1Q3	1Q4	2Q1	2Q2	2Q3	2Q4	2C	2CLR
		24	23	22	21	20	19	18	17	16	15	14	13
CLR	D	EN	C	Q									
X	X	X	H	Z									
L	X	X	L	L									
H	H	H	L	L									
H	L	L	L	L									
H	X	L	L	Q									

JT or NT PACKAGE

1	2	3	4	5	6	7	8	9	10	11	12
1CLR	1C	1D1	1D2	1D3	1D4	2D1	2D2	2D3	2D4	2C	GND

FOR ABSOLUTE MAXIMUM RATINGS, RECOMMENDED OPERATING CONDITIONS, AND DC ELECTRICAL CHARACTERISTICS SEE PAGES 226 AND 227, BUFFER OUTPUT.

TIMING REQUIREMENTS OVER RECOMMENDED OPERATING FREE-AIR TEMPERATURE RANGE

	MIN	TYP	MAX	UNIT
DATA SETUP TIMES, TSU	10			NS
DATA HOLD TIMES, TH	7			NS
PULSE WIDTH, TW	ENABLE HIGH	10		NS
	CLEAR LOW	15		NS

SETUP AND HOLD TIMES ARE WITH RESPECT TO HIGH-TO-LOW TRANSITION OF ENABLE

SWITCHING CHARACTERISTICS OVER RECOMMENDED TA RANGE, Vcc=4.5 TO 5.5V, RL=500 OHMS, CL=50PF (UNLESS OTHERWISE NOTED). REFER TO PAGE 267 FOR LOAD CIRCUITS & WAVEFORMS.

PARAMETER	FROM	SN54ALS774ALS873*			SN54ALS873			SN74ALS873			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
TPLH			5		2		15	2		12	NS
TPHL	DATA		5		2		15	2		12	NS
TPLH			11		8		29	8		22	NS
TPHL	ENABLE		11		8		22	8		21	NS
TPZH	OUTPUT		8		4		21	4		18	NS
TPZL	CONTROL		8		4		21	4		18	NS
TPHZ	OUTPUT		3		2		10	2		8	NS
TPLZ	CONTROL		5		2		15	2		13	NS
TPHL	CLEAR		11		6		24	6		24	NS

* SN54ALS774ALS873 VALUES ARE AT Vcc = 5V, TA = 25°C, CL = 15PF, RL = 500 OHMS

SUPPLY CURRENT OVER RECOMMENDED OPERATING FREE-AIR TEMPERATURE RANGE (SEE NOTE)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
ICC H SUPPLY CURRENT, OUTPUTS HIGH	Vcc = MAX, OUTPUTS OPEN		10	21	MA
ICC L SUPPLY CURRENT, OUTPUTS LOW			15	29	MA
ICC Z SUPPLY CURRENT, OUTPUTS DISABLED			15.5	31	MA

NOTE: TYPICAL VALUES ARE AT Vcc = 5V, TA = 25°C

ADVANCE INFORMATION
This document contains information on a new product. Specifications are subject to change without notice.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

SN54LS/74LS373 • SN54LS/74LS374

Ref A7

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	
		MIN	TYP	MAX			
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74		0.8			
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA	
V _{OH}	Output HIGH Voltage	54	2.4	3.4	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table	
		74	2.4	3.1	V		
V _{OL}	Output LOW Voltage	54,74		0.25	0.4	V	I _{OL} = 12 mA V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V	
				0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V	
I _{IL}	Input LOW Current			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V	
I _{OS}	Short Circuit Current	-30		-130	mA	V _{CC} = MAX	
I _{CC}	Power Supply Current			40	mA	V _{CC} = MAX	

AC CHARACTERISTICS: T_A = 25°C, V_{CC} = 5.0 V

SYMBOL	PARAMETER	LIMITS						UNITS	TEST CONDITIONS
		LS373			LS374				
		MIN	TYP	MAX	MIN	TYP	MAX		
f _{MAX}	Maximum Clock Frequency				35	50		MHz	C _L = 45 pF, R _L = 667 Ω
t _{PLH}	Propagation Delay, Data to Output		12	18				ns	
t _{PHL}			12	18				ns	
t _{PLH}	Clock or Enable to Output		20	30		15	28	ns	
t _{PHL}			18	30		19	28		
t _{PZH}	Output Enable Time		15	28		20	28	ns	
t _{PZL}			25	36		21	28		
t _{PHZ}	Output Disable Time		12	20		12	20	ns	C _L = 5.0 pF
t _{PLZ}			15	25		15	25		

AC SETUP REQUIREMENTS: T_A = 25°C, V_{CC} = 5.0 V

SYMBOL	PARAMETER	LIMITS				UNITS
		LS373		LS374		
		MIN	MAX	MIN	MAX	
t _W	Clock Pulse Width	15		15		ns
t _s	Setup Time	5.0		20		ns
t _h	Hold Time	20		0		ns

DEFINITION OF TERMS:

SETUP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to LE transition from HIGH-to-LOW in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the LE transition from HIGH-to-LOW that the logic level must be maintained at the input in order to ensure continued recognition.

SN54LS/74LS245

ref 17

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54,74			-3.0	mA
		54 74			-12 -15	mA
I _{OL}	Output Current — Low	54 74			12 24	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	
		MIN	TYP	MAX			
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74		0.8			
V _{T+} - V _{T-}	Hysteresis	0.2	0.4		V	V _{CC} = MIN	
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA	
V _{OH}	Output HIGH Voltage	54,74	2.4	3.4	V	V _{CC} = MIN, I _{OH} = -3.0 mA	
		54,74	2.0		V	V _{CC} = MIN, I _{OH} = MAX	
V _{OL}	Output LOW Voltage	54,74		0.25	0.4	V	I _{OL} = 12 mA, V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	I _{OL} = 24 mA
I _{OZH}	Output Off Current HIGH			20	μA	V _{CC} = MAX, V _{OUT} = 2.4 V	
I _{OZL}	Output Off Current LOW			-200	μA	V _{CC} = MAX, V _{OUT} = 0.4 V	
I _{IH}	Input HIGH Current	A or B, DR or \bar{E}		20	μA	V _{CC} = MAX, V _{IN} = 2.7 V	
		DR or \bar{E}		0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V	
		A or B		0.1	mA	V _{CC} = MAX, V _{IN} = 5.5 V	
I _{IL}	Input LOW Current			-0.2	mA	V _{CC} = MAX, V _{IN} = 0.4 V	
I _{OS}	Output Short Circuit Current	-40		-225	mA	V _{CC} = MAX	
I _{CC}	Power Supply Current Total, Output HIGH			70	mA	V _{CC} = MAX	
	Total, Output LOW			90			
	Total at HIGH Z			95			

AC CHARACTERISTICS: T_A = 25°C, V_{CC} = 5.0 V

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t _{PLH}	Propagation Delay, Data to Output		8.0	12	ns	C _L = 45 pF R _L = 667 Ω
t _{PHL}			8.0	12		
t _{PZH}	Output Enable Time to HIGH Level		25	40	ns	
t _{PZL}	Output Enable Time to LOW Level		27	40	ns	
t _{PLZ}	Output Disable Time from LOW Level		15	25	ns	C _L = 5.0 pF
t _{PHZ}	Output Disable Time from HIGH Level		15	25	ns	

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5	V	
V _{OL}	Output LOW Voltage	54,74		0.25	0.4	I _{OL} = 4.0 mA
		74		0.35	0.5	I _{OL} = 8.0 mA
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
				0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Short Circuit Current	-20		-100	mA	V _{CC} = MAX
I _{CC}	Power Supply Current			11	mA	V _{CC} = MAX

AC CHARACTERISTICS: T_A = 25°C

SYMBOL	PARAMETER	LEVEL OF DELAY	LIMITS			UNITS	TEST CONDITIONS
			MIN	TYP	MAX		
t _{PLH}	Propagation Delay Address to Output	2		13	20	ns	V _{CC} = 5.0 V C _L = 15 pF
t _{PHL}	Propagation Delay Address to Output	2		22	33		
t _{PLH}	Propagation Delay Address to Output	3		18	29	ns	
t _{PHL}	Propagation Delay Address to Output	3		25	38		
t _{PLH}	Propagation Delay Enable to Output	2		16	24	ns	
t _{PHL}	Propagation Delay Enable to Output	2		21	32		

74LS 139

ReF 17

74LS 244

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
V _{CC}	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T _A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I _{OH}	Output Current — High	54,74			-3.0	mA
		54			-12	mA
I _{OL}	Output Current — Low	74			-15	mA
		54			12	mA
		74			24	mA

74LS 244

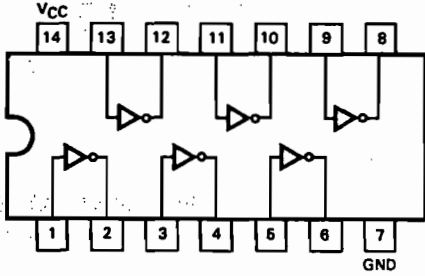
DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{T+} - V _{T-}	Hysteresis	0.2	0.4		V	V _{CC} = MIN
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54,74	2.4	3.4	V	V _{CC} = MIN, I _{OH} = -3.0 mA
		54,74	2.0		V	V _{CC} = MIN, I _{OH} = MAX
V _{OL}	Output LOW Voltage	54,74		0.25	0.4	I _{OL} = 12 mA
		74		0.35	0.5	I _{OL} = 24 mA
I _{OZH}	Output Off Current HIGH			20	μA	V _{CC} = MAX, V _{OUT} = 2.4 V
I _{OZL}	Output Off Current LOW			-20	μA	V _{CC} = MAX, V _{OUT} = 0.4 V
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
				0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current			-0.2	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Output Short Circuit Current	-40		-225	mA	V _{CC} = MAX
I _{CC}	Power Supply Current Total, Output HIGH			27	mA	V _{CC} = MAX
	Total, Output LOW	LS240		44		
		LS241/244		46		
	Total at HIGH Z	LS240		50		
LS241/244			54			



MOTOROLA

Ref 17



J Suffix — Case 632-06 (Ceramic)
N Suffix — Case 646-05 (Plastic)

SN54LS04
SN74LS04

HEX INVERTER
LOW POWER SCHOTTKY

GUARANTEED OPERATING RANGES

SYMBOL	PARAMETER		MIN	TYP	MAX	UNIT
VCC	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
TA	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
IOH	Output Current — High	54, 74			-0.4	mA
IOL	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	
		MIN	TYP	MAX			
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74		0.8			
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA	
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table	
		74	2.7	3.5	V		
V _{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I _{OL} = 4.0 mA I _{OL} = 8.0 mA V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74		0.35	0.5	V	
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V	
I _{IL}	Input LOW Current			0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V	
I _{IS}	Short Circuit Current			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V	
I _{CC}	Power Supply Current Total, Output HIGH Total, Output LOW			-20	mA	V _{CC} = MAX	
					2.4 6.6	mA	V _{CC} = MAX

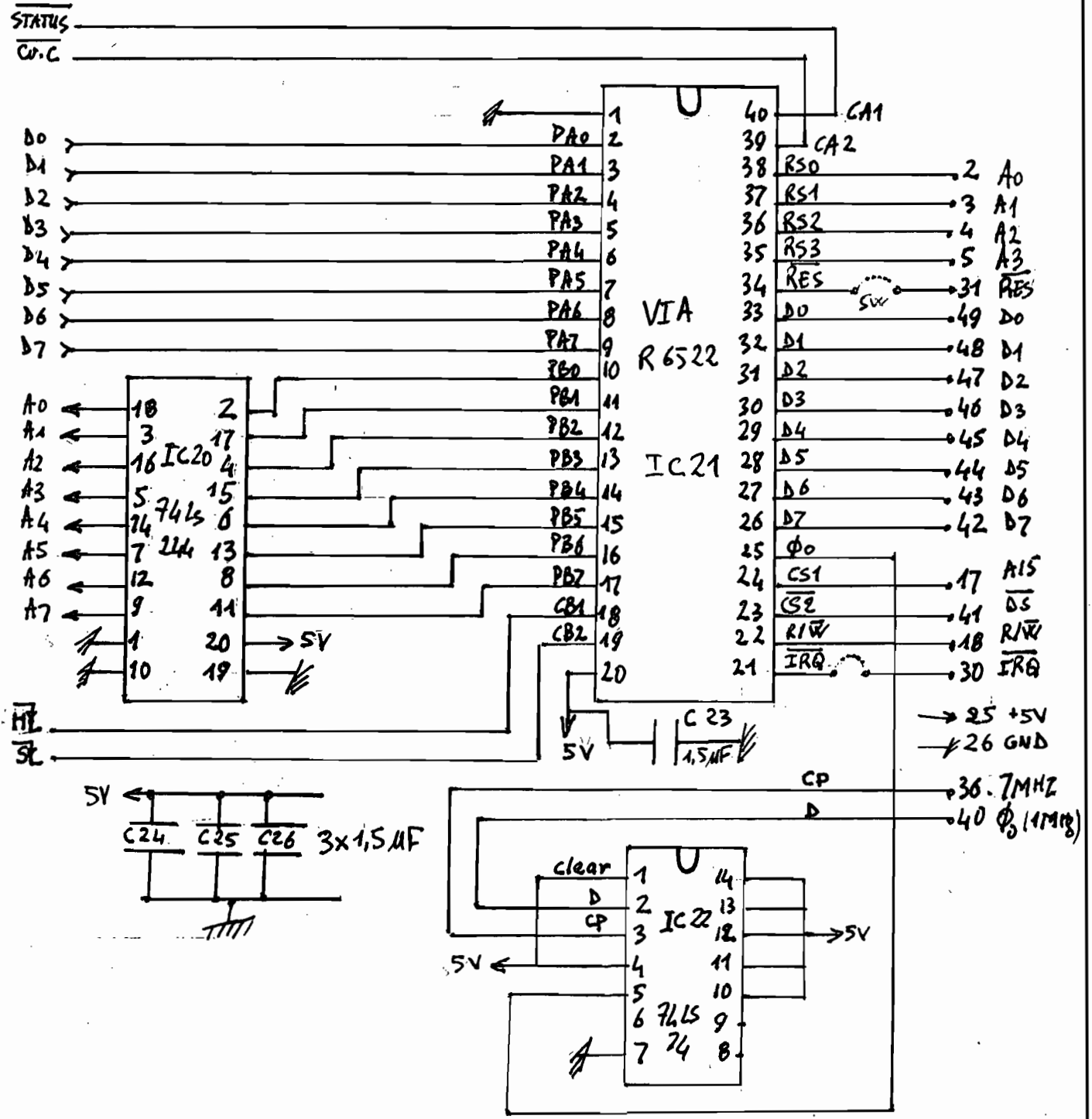
AC CHARACTERISTICS: T_A = 25°C

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t _{PLH}	Turn Off Delay, Input to Output		9.0	15	ns	V _{CC} = 5.0 V C _L = 15 pF
t _{PHL}	Turn On Delay, Input to Output		10	15	ns	

AII-7 MISE EN ŒUVRE DU VIA (schéma)

interfacage avec IAA

Interfacage avec APPLE II

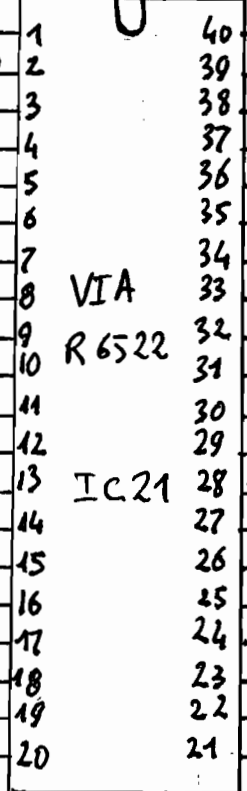
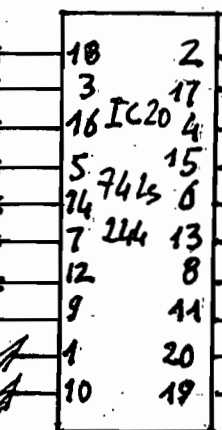


STATUS
C.W.C.

D0
D1
D2
D3
D4
D5
D6
D7

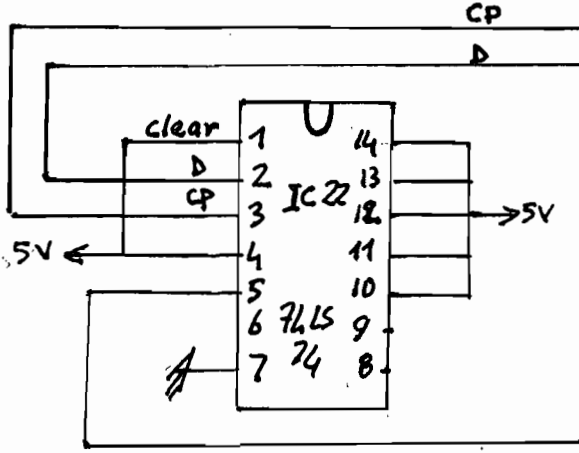
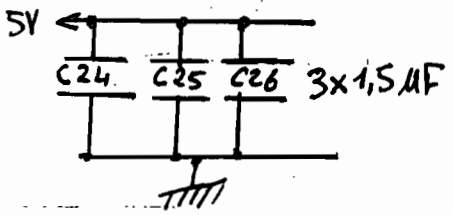
A0
A1
A2
A3
A4
A5
A6
A7

HL
SL



CA1
CA2
RS0
RS1
RS2
RS3
RES
DO
D0
D1
D2
D3
D4
D5
D6
D7
 Φ_0
CS1
CS2
R/W
IRQ

→ 25 +5V
→ 26 GND



CP
D
→ 36 7MHZ
→ 40 Φ_0 (1MHz)

AII - 8 Caractéristiques de l'alimentation stabilisée HAA15-0,8-A de Power-One (Ref 20)

INTERNATIONAL SERIES DESCRIPTION

The INTERNATIONAL SERIES is a high reliability line of open-frame power supplies designed to operate from the wide range of AC power sources found worldwide.

This feature greatly simplifies your inventory and service considerations by allowing the use of one standard power supply regardless of destination.

Additionally, these models are designed to meet many domestic and European regulatory agency requirements.

If you plan to distribute your products worldwide, obtaining necessary agency approvals can be greatly simplified by specifying POWER-ONE INC. INTERNATIONAL SERIES.



**INTERNATIONAL SERIES
DC POWER SUPPLIES**

DRAWING NO. 51281 REV. H

SPECIFICATIONS AND APPLICATION DATA

VOLTAGE/CURRENT RATING CHART MODEL	SPECIFICATIONS AND APPLICATION DATA										CASE		
	+2V	+5V	+12V	+15V	+18-20V	+24V	+28V	-5V	-12V	-15V		-18-20V	-24V
SINGLE OUTPUT													
HA5-1.5/OVP-A		1.5											B
HA15-0.9-A			0.9 or 0.9										B
HA24-0.5-A						0.5 or 0.5							B
HB2-3-A	3.0												B
HB5-3/OVP-A		3.0											B
HB12-1.7-A			1.7										B
HB15-1.5-A				1.5									B
HB24-1.2-A						1.2							B
HB28-1-A							1.0						B
HC2-6-A	6.0												C
HC5-6/OVP-A		6.0											C
HC12-3.4-A			3.4										C
HC15-3-A				3.0									C
HC24-2.4-A						2.4							C
HC28-2-A							2.0						C
HD2-12-A	12.0												D
HD5-12/OVP-A		12.0											D
HD12-6.8-A			6.8										D
HD15-6-A				6.0									D
HD24-4.8-A						4.8							D
HD28-4-A							4.0						D
HE2-18-A	18.0												E
HE5-18/OVP-A		18.0											E
HE12-10.2-A			10.2										E
HE15-9-A				9.0									E
HE24-7.2-A						7.2							E
HE28-6-A							6.0						E
HN5-9/OVP-A		9.0											N
HN12-5.1-A			5.1										N
HN15-4.5-A				4.5									N
HN24-3.6-A						3.6							N
HN28-3-A							3.0						N
DUAL OUTPUTS													
HAA5-1.5/OVP-A		1.5					1.5						AA
HAA15-0.8-A			1.0 or 0.8				*0.4 or 1.0 or 0.8						AA
HAA24-0.6-A					0.4 or 0.6					0.4 or 0.6			AA
HAA512-A	2.0		0.5 or 0.5										AA
HAD12-0.4-A			0.4					0.4		0.4			B
HAD15-0.4-A				0.4									B
HBB5-3/OVP-A	3.0						3.0						BB
HBB15-1.5-A			1.7 or 1.5				*0.7 or 1.7 or 1.5						BB
HBB24-1.2-A					0.9 or 1.2					0.9	1.2		BB
HBB512-A	3.0		1.25 or 1.25										BB
HCC5-6/OVP-A	6.0						6.0		3.4 or 3.0				CC
HCC15-3-A			3.4 or 3.0										CC
HCC24-2.4-A					1.8 or 2.4							1.8 or 2.4	CC
HCC512-A	6.0		2.5 or 2.5										CC
HDD15-5-A			5.0 or 5.0										E
TRIPLE OUTPUTS													
HTAA-16W-A		2.0	0.4 or 0.4				*0.4 or 0.4 or 0.4						AA
HBAA-40W-A		3.0	1.0 or 0.8				*0.4 or 1.0 or 0.8						BAA
HCAA-60W-A		6.0	1.0 or 1.0				*0.4 or 1.0 or 1.0						D
HCBB-75W-A		6.0	1.7 or 1.5				*0.7 or 1.7 or 1.5						DBB
HDBB-105W-A		12.0	1.7 or 1.5				*0.7 or 1.7 or 1.5						DBB
CP131-A		8.0	1.7 or 1.5				*0.7 or 1.7 or 1.5						131

FEATURES	
-VDE transformer construction	-2 hour burn-in period
-±.05% regulation	-Remote sense - most outputs
-I.C. burned-in to MIL-883 Lev. B	-UL recognized/CSA certified
-Chassis notched for AC input	-OVP on 5V outputs
-100/120/220/230-240 VAC	-Full-rated to 50°C.
-Industry standard size	-Foldback/current limit
SPECIFICATIONS	
AC INPUT:	100/120/220/230-240 VAC** +10%, -13%, 47-63 Hz. (Derate output current 10% for 50 Hz operation.) See AC connection table under APPLICATION NOTES for jumper information. Fuse information is next to outline and mounting drawings.
DC OUTPUT:	See Voltage/Current Rating Chart. Adjustment range +5% minimum.
LINE REGULATION:	±.05% for a 10% line change.
LOAD REGULATION:	±.05% for a 50% load change.
OUTPUT RIPPLE:	2V to 15V units: 5.0mV PK-PK maximum 20V to 200V units: .02% PK-PK maximum.
TRANSIENT RESPONSE:	≤50µseconds for a 50% load change.
SHORT CIRCUIT AND OVERLOAD PROTECTION:	Automatic current limit/foldback
OVERVOLTAGE PROTECTION:	Built-in on all 5V outputs. Set at 6.2V ±.4V. Other models use optional overvoltage protection.
REMOTE SENSING:	Provided on most models, open sense lead protection built-in.
STABILITY:	±0.3% for 24 hour period after 1 hour warm-up.
TEMPERATURE RATING:	0°C to 50°C full-rated, derated linearly to 40% at 70°C.
TEMPERATURE COEFFICIENT:	±.03%/°C maximum
EFFICIENCY: (typical)	2V and 5V units: 45% 12V and 15V units: 55% 20V and 24V units: 60% 48V through 250V units: 60%
VIBRATION:	Per MIL-STD-810C, Method 514, Procedure X CAT.G-1
SHOCK:	Per MIL-STD-810C, Method 516, Procedure V
	**Tolerance for 230VAC operation is +15%, -10%

WARRANTY

POWER-ONE, INC. warrants each power supply of its manufacture that does not perform to published specifications, as a result of defective materials or workmanship, for a period of two (2) full years from the date of original delivery.

POWER-ONE, INC. assumes no liabilities for consequential damages of any kind through the use or misuse of its products by the purchaser or others. No other obligations or liabilities are expressed or implied.

HIGH VOLTAGE MODEL	SPECIFICATIONS AND APPLICATION DATA				
	+48	+120	+180	+200	+250
HB48-0.5-A					
HC48-1-A					
HD48-3-A					
HE48-4-A	4.0				
HB120-0.2-A		2			
HB200-0.12-A			12 or 12		
HB250-0.1-A				0.1	

* -12V (or -15V) requires jumper on PCB for -5V.
 † for 12V, refer to chassis silkscreen
 ‡ for 180V, refer to chassis silkscreen
 ∇ 12V to 15V adjustable output
 — indicates no remote sense

Specifications subject to change without notice.

PRODUCTS RETURNED FOR REPAIR

Please follow this procedure when returning products for servicing:

- Contact Power-One's Customer Service Department for authorization to return products:
 POWER-ONE, INC. PHONE: (805) 987-8741
 740 Calle Plano (805) 987-3891
 Camarillo, CA 93010 (800) 235-5943
 USA TWX: 910-336-1297
- A Returned Material Authorization (RMA) will be issued and must appear on all shipping documents and containers.
- Products must be returned freight pre-paid.
 Products returned freight collect or without an RMA number will be rejected and returned freight collect.

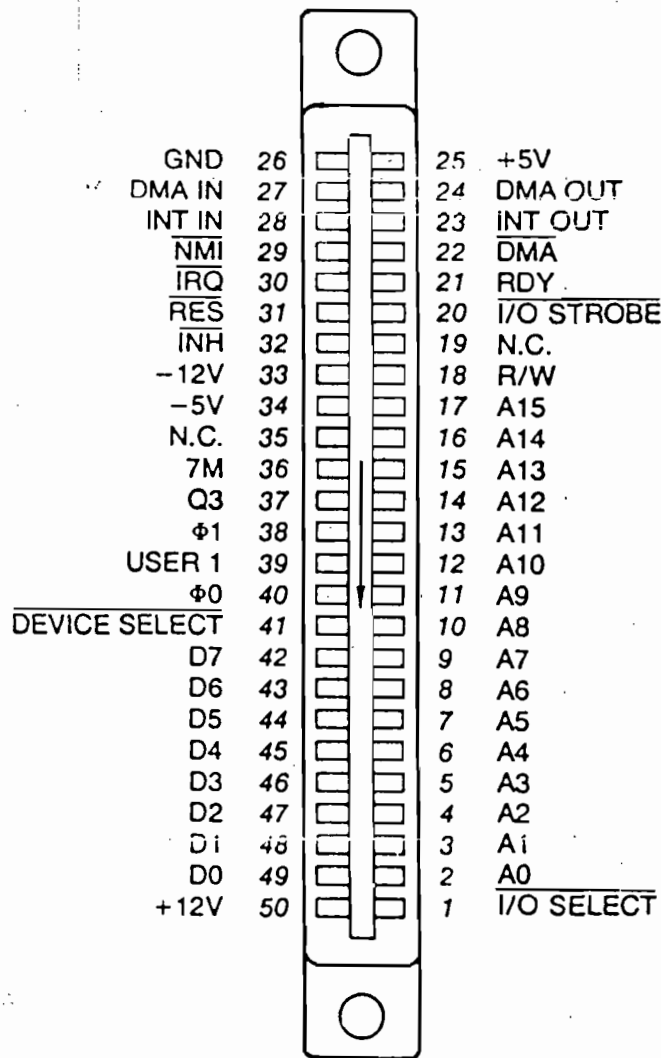
APPENDICE III

LES SIGNAUX ET LE JEU
D'INSTRUCTION DU
SYSTEME APPLE II

AIII-1 LES SIGNAUX DU SYSTEME APPLE II

(REF 15)

a) Connecteur de périphérique



b) Description des signaux sur les connecteurs de périphériques		
Broche	Nom	Description
1	$\overline{I/O\ SELECT}$	Cette ligne, normalement au niveau haut, tombe au niveau bas lorsque le microprocesseur référence une adresse $\$Cn$ où n est le numéro du slot. Ce signal est actif durant $\Phi 0$ et peut alimenter 10 circuits LSTTL*. Ce signal n'est pas présent sur le slot Φ .
2-17	A0-A15	Lignes tamponnées du bus d'adresses. Les adresses, sur ces lignes, deviennent valides durant $\Phi 1$ et le reste durant $\Phi 0$. Chacune peut supporter 5 LSTTL*.
18	$\overline{R/W}$	Signal Lecture/Écriture tamponné. Devient valide en même temps que l'adresse sur le bus d'adresses et reste au niveau haut pendant un cycle de lecture, au niveau bas durant un cycle d'écriture. Cette ligne peut supporter 2 LSTTL*.
19	SYNC	Sur le slot 7 seulement, cette broche est reliée au signal SYNC du générateur vidéo.
20	$\overline{I/O\ STROBE}$	Cette ligne est au niveau bas durant $\Phi 0$ lorsque le bus d'adresses contient une adresse comprise entre $\$C800$ et $\$CFFF$. Elle peut alimenter 4 LSTTL.
21	RDY	L'entrée RDY du microprocesseur. Abaisser le niveau de cette ligne durant $\Phi 1$ arrête le microprocesseur, le bus d'adresses conservant l'adresse de la mémoire en cours d'exploration.
22	\overline{DMA}	Mettre cette ligne au niveau bas invalide le bus d'adresses du 6502 et arrête le microprocesseur. Cette ligne est maintenue à +5 volts via une résistance de 3 K Ω .
23	INT OUT	Sortie interruption, reliée en guirlande, vers des périphériques de priorité moindre. Cette broche est habituellement connectée à la broche 28 (INT IN).
24	DMA OUT	Sortie DMA, reliée en guirlande, vers des périphériques de priorité moindre. Cette broche est habituellement reliée à la broche 2 (DMA IN).
25	+5v	Alimentation +5 volts. Un courant de 500 mA est disponible pour toutes les cartes de périphériques.
26	GND	Terre.

* Les limites sont données pour chaque carte de périphérique.

(suite) : Description des signaux sur les connecteurs de périphériques		
Broche	Nom	Description
27	DMA IN	Entrée DMA, reliée en guirlande, venant de périphériques de priorité supérieure. En général reliée à la broche 24 (DMA OUT).
28	INT IN	Entrée interruption, reliée en guirlande, venant de périphériques de priorité supérieure. Habituellement reliée à la broche 23 (INT OUT).
29	$\overline{\text{NMI}}$	Interruption non masquable. Lorsque cette ligne est mise au niveau bas, l'Apple débute un cycle d'interruption et saute au programme de gestion des interruptions à l'adresse \$3FB.
30	$\overline{\text{IRQ}}$	Demande d'interruption. Lorsque cette ligne est mise au niveau « 0 », l'Apple commence un cycle d'interruption à condition que l'indicateur I du 6502 (masque d'interruption) n'ait pas la valeur 1. Dans ce cas, le 6502 saute au programme de gestion de l'interruption dont l'adresse se trouve en \$3FE et \$3FF.
31	$\overline{\text{RES}}$	Lorsque cette ligne est mise au niveau bas, le microprocesseur commence un cycle de RESET (voir page 36).
32	$\overline{\text{INH}}$	Lorsque cette ligne est mise au niveau bas, toutes les ROM de la carte Apple sont invalidées. Cette ligne est maintenue à +5 volts via une résistance de 3 K Ω .
33	-12v	Alimentation - 12 volts. Le courant maximum fourni est de 200 mA pour toutes les cartes de périphériques.
34	-5v	Alimentation - 5 volts. Le courant maximum fourni est de 200 mA pour toutes les cartes de périphériques.
35	COLOR REF	Sur le connecteur 7 seulement, cette broche fournit le signal COLOR REF d'une fréquence de 3,5 MHz en provenance du générateur vidéo.
36	7M	Signal d'horloge 7 MHz. Cette ligne peut alimenter 2 LSTTL*.
37	Q3	Signal d'horloge 2 MHz asymétrique. Cette ligne peut alimenter 2 LSTTL*.
38	$\Phi 1$	Phase 1 de l'horloge du microprocesseur. Cette ligne peut alimenter 2 LSTTL*.
39	USER 1	Lorsque cette ligne est mise au niveau « 0 », elle invalide tout le décodage E/S interne à l'Apple**.

* Les limites sont données pour chaque carte périphérique

** Voir page 99.

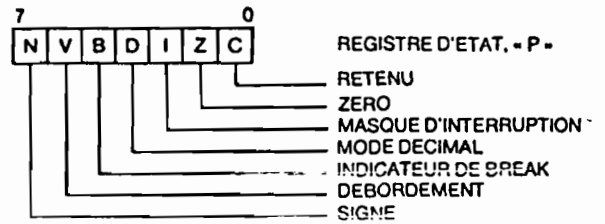
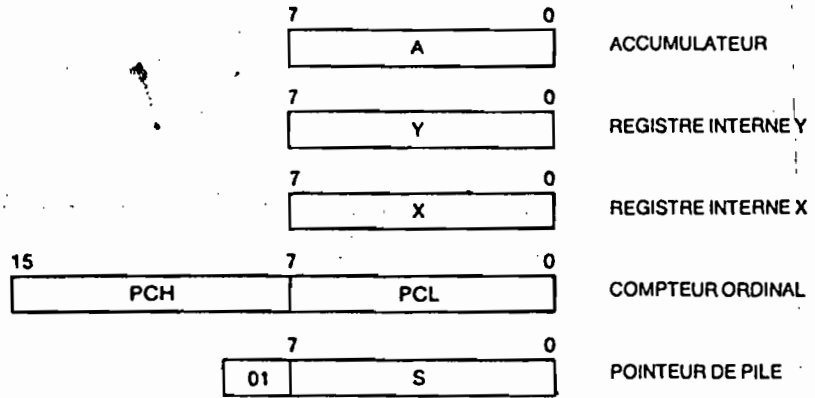
(fin) : Description des signaux sur les connecteurs de périphériques

Broche	Nom	Description
40	$\Phi 0$	Phase Zéro de l'horloge du microprocesseur. Cette ligne peut alimenter 2 LSTTL.
41	$\overline{\text{DEVICE SELECT}}$	Cette ligne devient active (niveau bas) sur chaque connecteur dès que le bus d'adresses contient une adresse comprise entre $\$C0n0$ et $\$C0nF$ où n est le numéro du slot plus 8. Cette ligne peut alimenter 10 LSTTL*.
42-49	D0-D7	Lignes bidirectionnelles, tamponnées du bus de données. La donnée devient valide sur ces lignes 300ns pendant $\Phi 0$ pour un cycle d'écriture et n'est pas stable plus de 100ns avant la fin de $\Phi 0$ lors d'un cycle de lecture. Chacune de ces lignes peut alimenter un LSTTL.
50	+12v	Alimentation +12 volts. Un maximum de 250 mA est disponible sur cette ligne, pour toutes les cartes de périphériques.

* Les limites sont données pour chaque carte périphérique.

APPLE II-2 JEU D'INSTRUCTION DU 6502

MODÈLE DE PROGRAMMATION



LES NOTATIONS SUIVANTES SERONT UTILISÉES DANS CE RÉCAPITULATIF

A	Accumulateur
X, Y	Registres internes
M	Mémoire
C	Retenue
P	Registre d'état du Microprocesseur
S	Pointeur de pile
∇	Changement
—	Aucun changement
+	Addition
∧	ET logique
-	Soustraction
∨	OU exclusif
↑	Transfert depuis la pile
↓	Transfert vers la pile
→	Transfert à
←	Transfert à
V	OU logique
PC	Compteur ordinal
PCH	Partie haute de PC
PCL	Partie basse de PC
OPER	Opérande
#	Adressage immédiat

Figure 1 : ASL (Décalage à gauche)

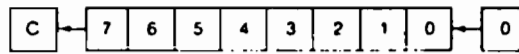


Figure 2 : ROL (Rotation à gauche)

peut porter sur l'accumulateur ou une mémoire

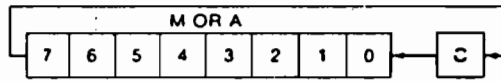
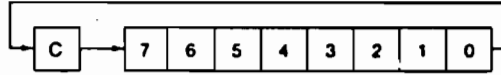


Figure 3 : ROR (Rotation à droite)

peut porter sur l'accumulateur ou une mémoire



Note. BIT (Test de bits en Mémoire) : Les bits 6 et 7 sont transférés dans le registre d'état. Si le résultat de $A \wedge M$ est 0 alors $Z=1$, sinon $Z=0$.

CODES DES INSTRUCTIONS

Nom Description	Opération	Mode d'adressage	Ecriture Assembleur	Code	Nbre d'octets	Registre P NZCIDV
ADC Ajoute la mémoire à l'accumulateur avec retenue	A+M+C → A, C	Immédiat Page Zéro Page Zéro, X Absolu Absolu, X (Indirect, X) (Indirect), Y Absolu, Y	ADC #Oper ADC Oper ADC Oper, X ADC Oper ADC Oper, X ADC (Oper, X) ADC (Oper), Y ADC Oper, Y	69 65 75 6D 7D 61 71 79	2 2 2 3 3 2 2 3	VVV--V
AND ET logique entre accumulateur et donnée	A M → A	Immédiat Page Zéro Page Zéro, X Absolu Absolu, X Absolu, Y (Indirect, X) (Indirect), Y	ADC #Oper ADC Oper ADC Oper, X ADC Oper ADC Oper, X ADC Oper, Y ADC (Oper, X) ADC (Oper), Y	29 25 35 2D 3D 39 21 31	2 2 2 3 3 3 2 2	VV-----
ASL Décalage à gauche (mémoire ou accumulateur)	Voir figure 1	Accumulateur Page Zéro Page Zéro, X Absolu Absolu, X	ADC Oper ADC Oper ADC Oper, X ADC Oper ADC Oper, X	0A 06 16 0E 1E	1 2 2 3 3	VVV----
BCC Branche si pas de retenue	Branche si C=0	Relatif	BCC Oper	90	2	-----
BCS Branche si retenue	Branche si C=1	Relatif	BCS Oper	B0	2	-----
BEQ Branche si résultat nul	Branche si Z=1	Relatif	BEQ Oper	F0	2	-----
BIT Compare l'accumulateur et une mémoire*	A \ M, M7 → N M6 → V	Page Zéro Absolu	BIT Oper BIT Oper	24 2C	2 3	M7V----M6
BMI Branche si résultat négatif	Branche si N=1	Relatif	BMI Oper	30	2	-----
BNE Branche si résultat non nul	Branche si Z=0	Relatif	BNE Oper	D0	2	-----
BPL Branche si résultat positif	Branche si N=0	Relatif	BPL Oper	10	2	-----
BRK** Interruption programmée	PC+2 ↓ P ↓	Implicite	BRK	00	1	---1---
BVC Branche si pas de débordement	Branche si V=0	Relatif	BVC Oper	50	2	-----

* Si A et M sont égaux Z=1 sinon Z=0.

** Un BRK ne peut être masqué en positionnant I à 1.

Nom Description	Opération	Mode d'adressage	Ecriture Assembleur	Code	Nbre d'octets	Registre P NZC1DV
BVS Branche si débordement	Branche si V = 1	Relatif	BVS Oper	70	2	-----
CLC Mise à zéro de la retenue	0 → C	Implicite	CLC	18	1	----0--
CLD Mise à zéro du mode décimal	0 → D	Implicite	CLD	08	1	-0-----
CLI Mise à zéro du masque d'interruption	0 → I	Implicite	CLI	58	1	---0---
CLV Mise à zéro de l'indicateur de débordement	0 → V	Implicite	CLV	B8	1	0-----
CMP Compare accumulateur et mémoire	A — M	Immédiat Page Zéro Page Zéro, X Absolu Absolu, X Absolu, Y (Indirect, X) (indirect), Y	CMP #Oper CMP Oper CMP Oper,X CMP Oper CMP Oper,X CMP Oper,Y CMP (Oper,X) CMP (Oper),Y	C9 C5 D5 CD DD D9 C1 D1	2 2 2 3 3 3 2 2	√√√---
CPX Compare la mémoire et X	X — M	Immédiat Page Zéro Absolu	CPX #Oper CPX Oper CPX Oper	E0 E4 EC	2 2 3	√√√---
CPY Compare la mémoire et Y	Y — M	Immédiat Page Zéro Absolu	CPY #Oper CPY Oper CPY Oper	C0 C4 CC	2 2 3	√√√---
DEC Décrémente la mémoire de 1	M — 1 → M	Page Zéro Page Zéro, X Absolu Absolu, X	DEC Oper DEC Oper,X DEC Oper DEC Oper,X	C6 D6 CE DE	2 2 3 3	√V-----
DEX Décrémente X de 1	X — 1 → X	Implicite	DEX	CA	1	√V-----
DEY Décrémente Y de 1	Y — 1 → Y	Implicite	DEY	88	1	√V-----

Nom Description	Opération	Mode d'adressage	Ecriture Assembleur	Code	Nbre d'octets	Registre P NZCIDV
EOR OU exclusif entre mémoire et accumulateur	$A \vee M \rightarrow A$	Immédiat Page Zéro Page Zéro, X Absolu Absolu, X Absolu, Y (Indirect, X) (Indirect), Y	EOR #Oper EOR Oper EOR Oper.X EOR Oper EOR Oper.X EOR Oper.Y EOR (Oper,X) EOR (Oper).Y	49 45 55 40 50 59 41 51	2 2 2 3 3 3 2 2	√√----
INC Incréméte de 1 la mémoire	$M + 1 \rightarrow M$	Page Zéro Page Zéro, X Absolu Absolu, X	INC Oper INC Oper.X INC Oper INC Oper.X	E6 F6 EE FE	2 2 3 3	√√----
INX Incréméte X de 1	$X + 1 \rightarrow X$	Implicite	INX	E8	1	√√----
INY Incréméte Y de 1	$Y + 1 \rightarrow Y$	Implicite	INY	C8	1	√√----
JMP Saute à une adresse	$(PC+1) \rightarrow PCL$ $(PC+2) \rightarrow PCH$	Absolu Indirect	JMP Oper JMP (Oper)	4C 6C	3 3	-----
JSR Saute à un sous-programme	$PC+2 \downarrow$ $(PC+1) \rightarrow PCL$ $(PC+2) \rightarrow PCH$	Absolu	JSR Oper	20	3	-----
LDA Charge l'accumulateur	$M \rightarrow A$	Immédiat Page Zéro Page Zéro, X Absolu Absolu, X Absolu, Y (Indirect, X) (Indirect), Y	LDA #Oper LDA Oper LDA Oper.X LDA Oper LDA Oper.X LDA Oper.Y LDA (Oper,X) LDA (Oper).Y	A9 A5 B5 A0 80 B9 A1 B1	2 2 2 3 3 3 2 2	√√----
LDX Charge le registre X	$M \rightarrow X$	Immédiat Page Zéro Page Zéro, Y Absolu Absolu, Y	LDX #Oper LDX Oper LDX Oper.Y LDX Oper LDX Oper.Y	A2 A6 B6 AE BE	2 2 2 3 3	√√----
LDY Charge le registre Y	$M \rightarrow Y$	Immédiat Page Zéro Page Zéro, X Absolu Absolu, X	LDY #Oper LDY Oper LDY Oper.X LDY Oper LDY Oper.X	A0 A4 B4 AC BC	2 2 2 3 3	√√----

Nom Description	Opération	Mode d'adressage	Ecriture Assembleur	Code	Nbre d'octets	Registre P N Z C I D V
LSR Décalage à droite	(voir figure 1)	Accumulateur Page Zéro Page Zéro, X Absolu Absolu, X	LSR A LSR Oper LSR Oper,X LSR Oper LSR Oper,X	4A 46 56 4E 5E	1 2 2 3 3	0√√----
NOP Aucune action		Implicite	NOP	EA	1	-----
ORA OU logique entre la donnée et l'accumulateur	A V M → A	Immédiat Page Zéro Page Zéro, X Absolu Absolu, X Absolu, Y (Indirect, X) (Indirect), Y	ORA #Oper ORA Oper ORA Oper,X ORA Oper ORA Oper,X ORA Oper,Y ORA (Oper,X) ORA (Oper),Y	09 05 15 00 10 19 01 11	2 2 2 3 3 3 2 2	√√-----
PHA Empile l'accumulateur	A ↓	Implicite	PHA	48	1	-----
PHP Empile le registre d'état	P ↓	Implicite	PHP	08	1	-----
PLA Dépile l'accumulateur	A ↑	implicite	PLA	68	1	√√-----
PLP Dépile le registre d'état	P ↑	Implicite	PLP	28	1	(vient de la pile)
ROL Rotation à gauche	(See Figure 2)	Accumulateur Page Zéro Page Zéro, X Absolu Absolu, X	ROL A ROL Oper ROL Oper,X ROL Oper ROL Oper,X	2A 26 36 2E 3E	1 2 2 3 3	√√√----
ROR Rotation à droite	(See Figure 3)	Accumulateur Page Zéro Page Zéro, X Absolu Absolu, X	ROR A ROR Oper ROR Oper,X ROR Oper ROR Oper,X	6A 66 76 6E 7E	1 2 2 3 3	√√√----

Nom Description	Opération	Mode d'adressage	Ecriture Assembleur	Code	Nbre d'octets	Registre P NZCIDV
RTI Retour d'interruption	P ← PC ↑	Implicite	RTI	40	1	(vient de la pile)
RTS Retour de sous-programme	PC ↑, PC-1 → PC	Implicite	RTS	60	1	-----
SBC Soustraction avec emprunt	A - M - C → A	Immédiat Page Zéro Page Zéro, X Absolu Absolu, X Absolu, Y (Indirect, X) (Indirect), Y	SBC #Oper SBC Oper SBC Oper, X SBC Oper SBC Oper, X SBC Oper, Y SBC (Oper, X) SBC (Oper), Y	E9 E5 F5 ED FD F9 E1 F1	2 2 2 3 3 3 2 2	√√----
SEC Met la retenue à 1	1 → C	Implicite	SEC	38	1	--1---
SED Mise en mode décimal	1 → D	Implicite	SED	F8	1	----1--
SEI Mise à 1 du masque d'interruption	1 → I	Implicite	SEI	78	1	---1---
STA Stocke l'accumulateur en mémoire	A → M	Page Zéro Page Zéro, X Absolu Absolu, X Absolu, Y (Indirect, X) (Indirect), Y	STA Oper STA Oper, X STA Oper STA Oper, X STA Oper, Y STA (Oper, X) STA (Oper), Y	85 95 80 90 99 81 91	2 2 3 3 3 2 2	-----
STX Stocke X en mémoire	X → M	Page Zéro Page Zéro, Y Absolu	STX Oper STX Oper, Y STX Oper	86 96 8E	2 2 3	-----
STY Stocke Y en mémoire	Y → M	Page Zéro Page Zéro, X Absolu	STY Oper STY Oper, X STY Oper	84 94 8C	2 2 3	-----
TAX Transfert de A dans X	A → X	Implicite	TAX	AA	1	√√-----
TAY Transfert de A dans Y	A → Y	Implicite	TAY	A8	1	√√-----
TSX Transfert de S dans X	S → X	Implicite	TSX	BA	1	√√-----

Nom Description	Opération	Mode d'adressage	Ecriture Assembleur	Code	Nbre d'octets	Registre P NZCIDV
TXA Transfert de X dans A	X → A	Implicite	TXA	8A	1	√V----
TXS Transfert de X dans S	X → S	Implicite	TXS	9A	1	-----
TYA Transfert de Y dans A	Y → A	Implicite	TYA	9B	1	√V----

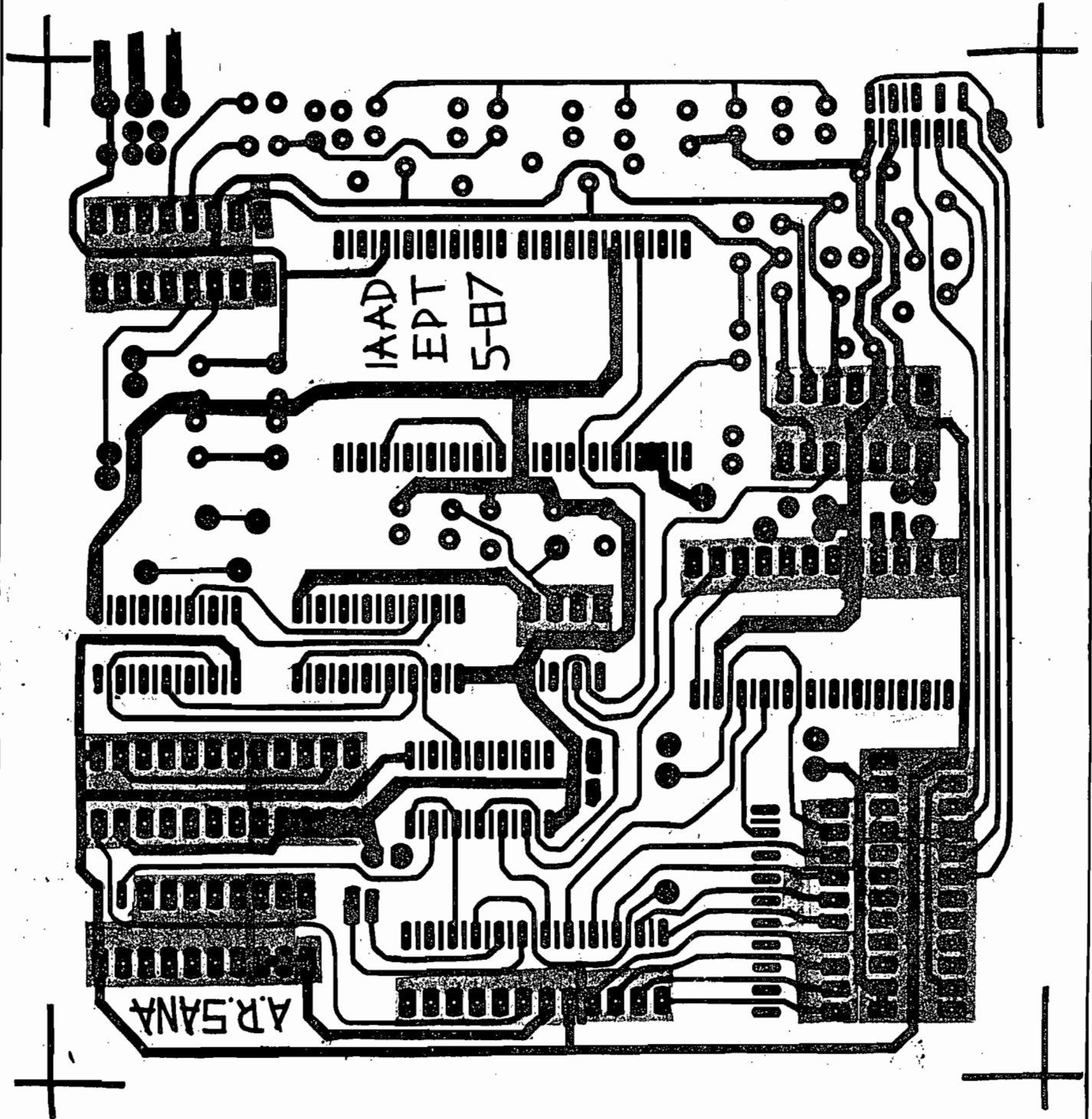
APPENDICE IV

CARTES ET

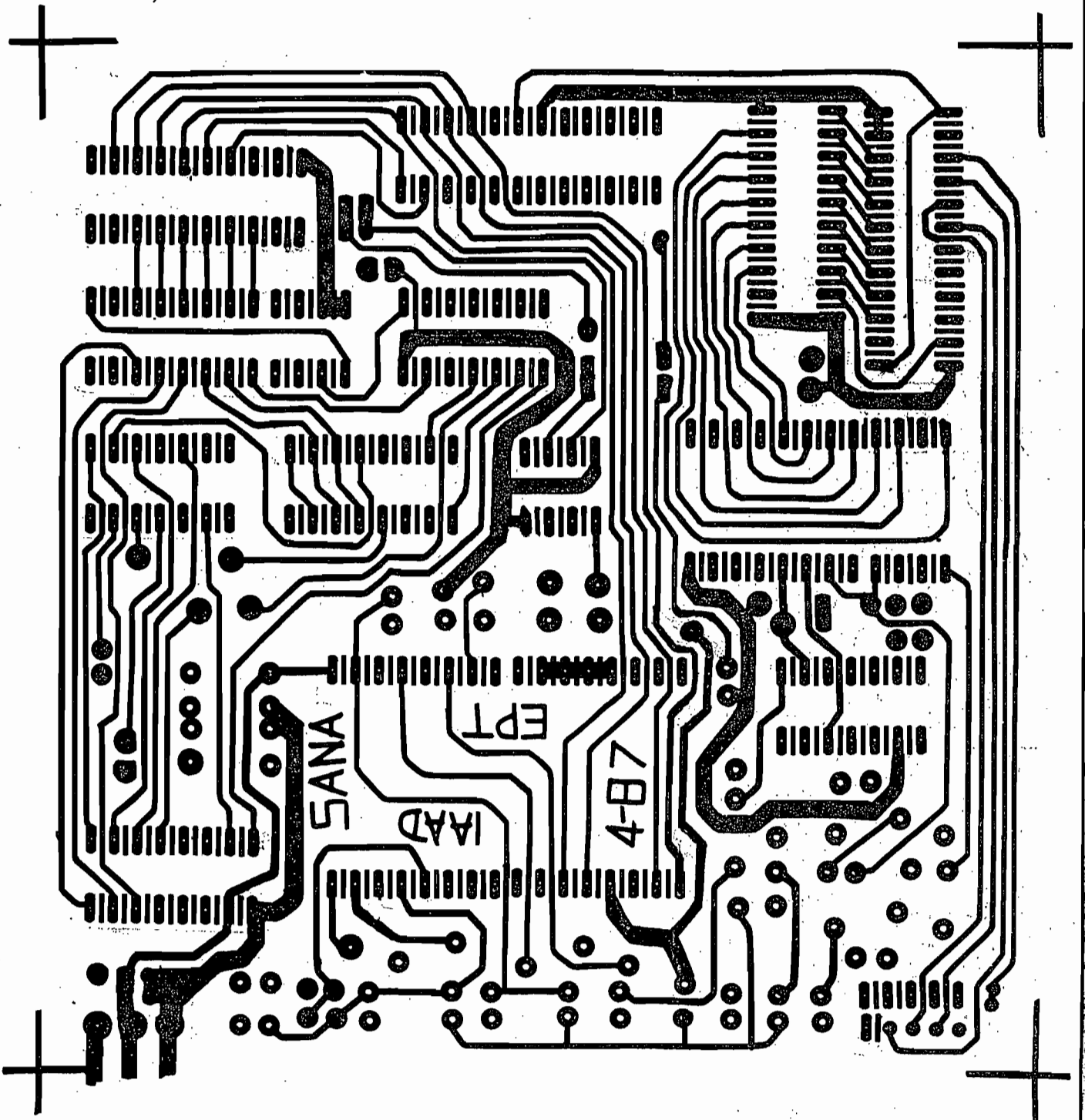
PLANS

AIV-1 Carte centrale

a) gravure du circuit imprimé; carte centrale; côté composants



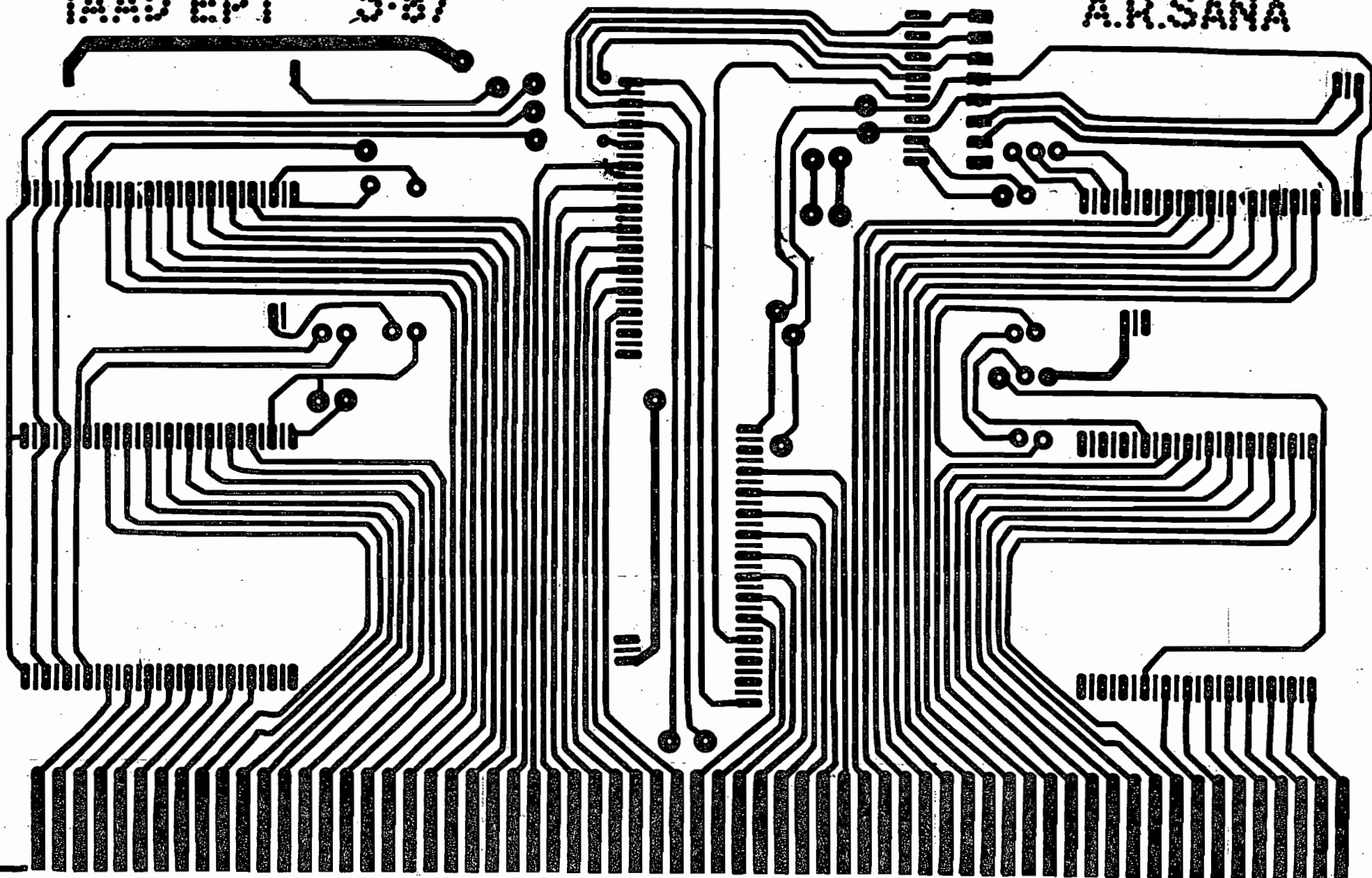
b) gravure du circuit imprimé; carte centrale; côté soudure



AII-2 Carte Multiplexeurs

IAAD EPT 5.87

A.R.SANA

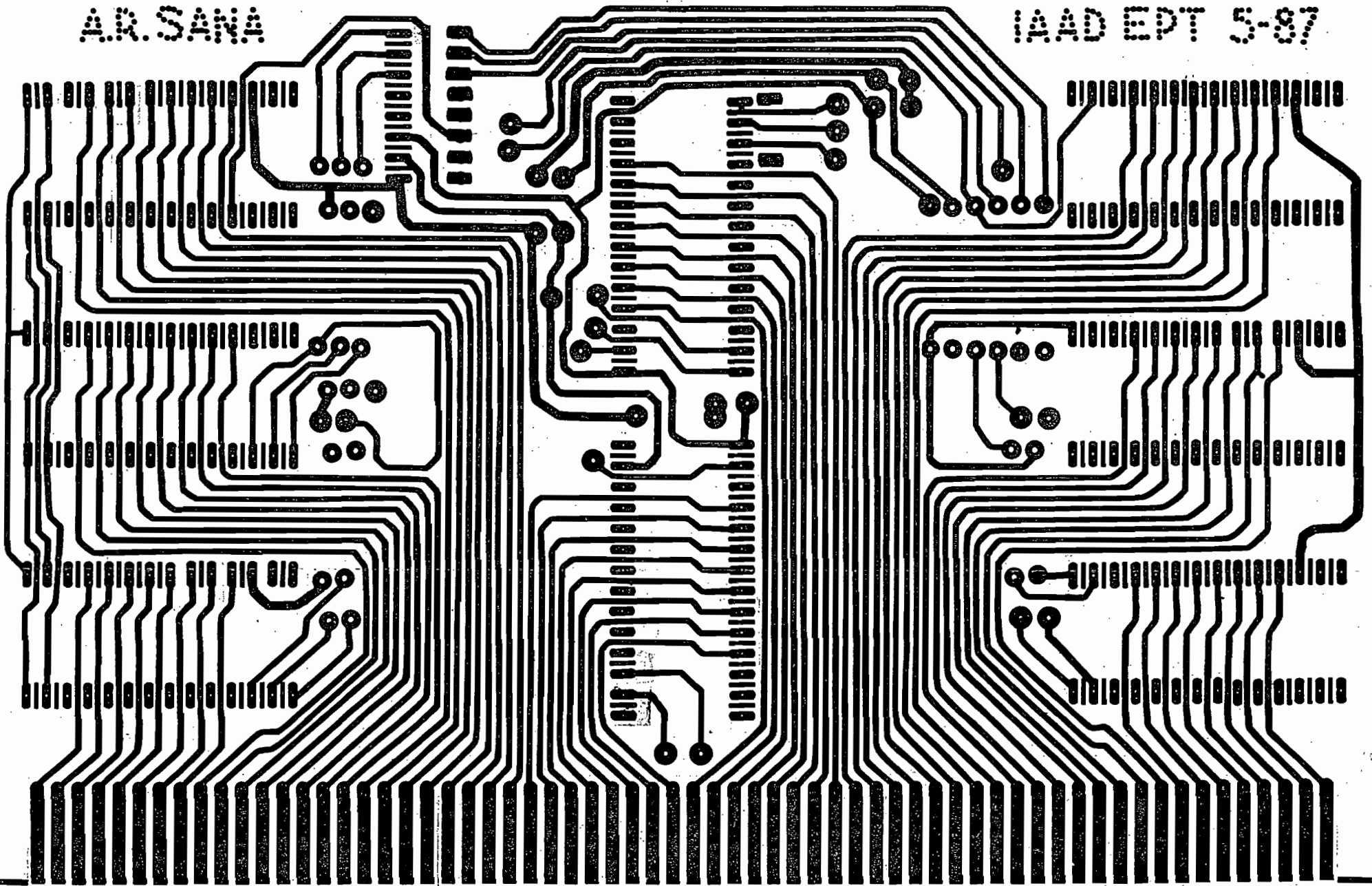


a) gravure du circuit imprimé : carte multiplexage : côté composant

b) Gravure du circuit imprimé : carte multiplexage - coté soudures

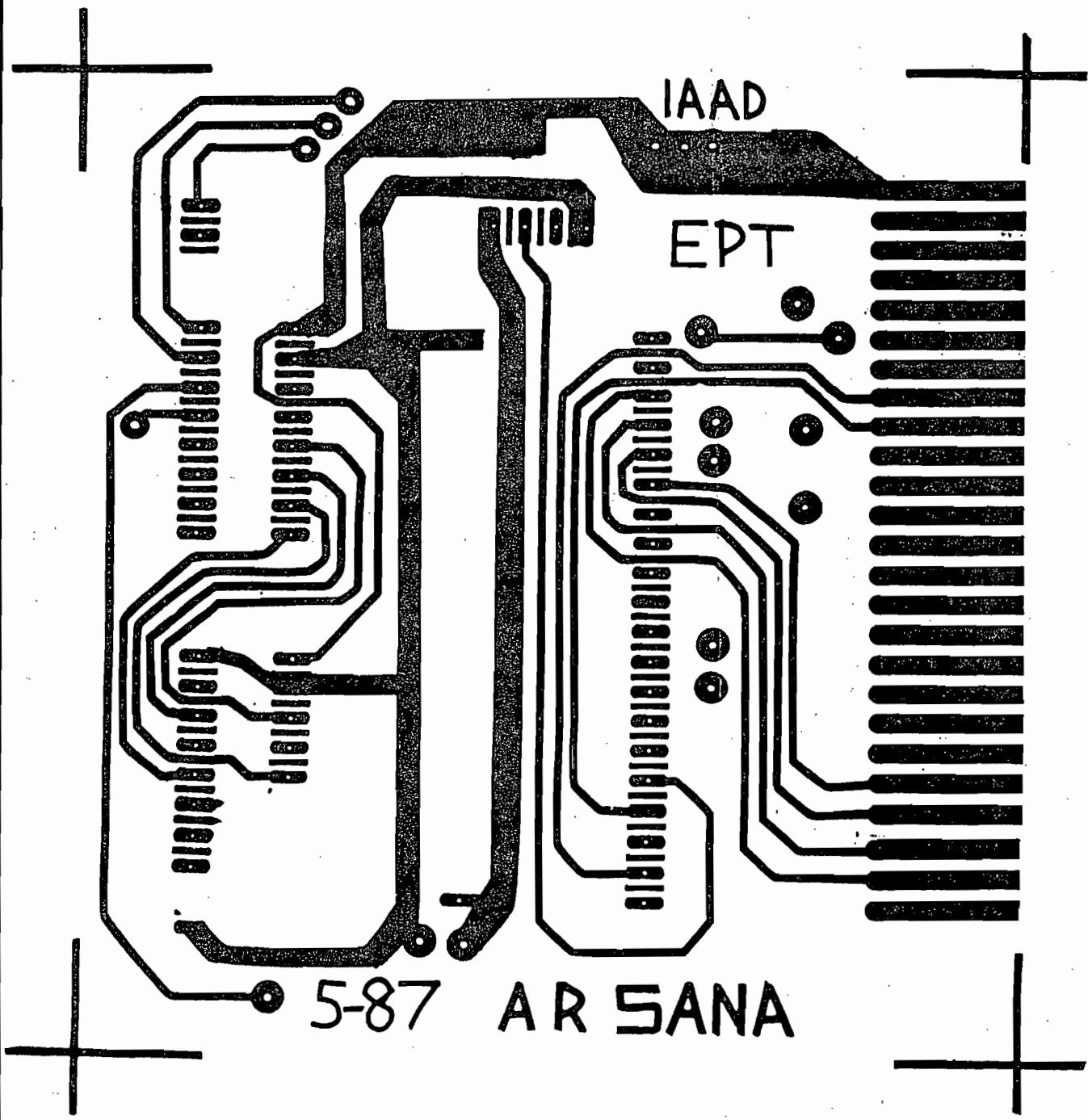
A.R. SARA

LAAD EPT 5-87

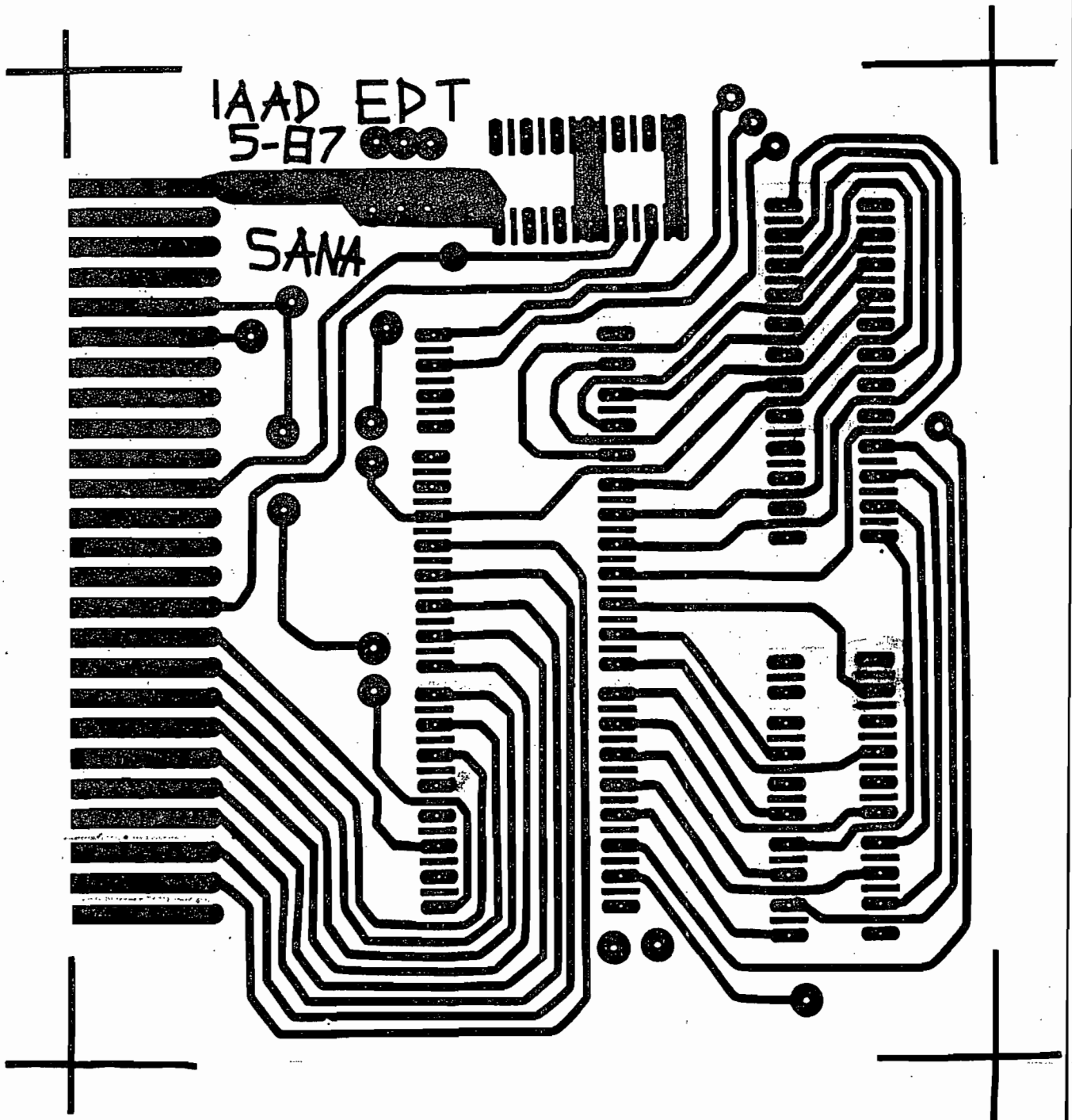


AIV-3 Carte VIA 6522

a) gravure du circuit imprimé carte VIA : côté composants



b) gravure du circuit imprimé Carte VIA : côté Soudure



BIBLIOGRAPHIE

1 Ouvrages:

- Ref 1: Traité d'Électricité Volume VI: Theorie et traitement des Signaux
par Frédéric de Coulon
Editions GEORGI 1984
- Ref 2: Traité d'électricité Volume XVII: systèmes de mesure
par Pierre - André Paratte et Philippe Robert
presse polytechnique Romande 1986
- Ref 3 Digital computer electronics
par Albert Paul Malvino) 2^e édition
McGraw-Hill book company 1983
- Ref 4 Digital Theory and Practice using integrated circuits
par Morris . E. Levine
1978 prentice - Hall.
- ref 5 INITIATION aux micro-ordinateurs - niveau 1 .
par Adam Osborne
Editions Radio 1980
- ref 6 Initiation aux micro-ordinateurs - niveau 2 .
par Adam Osborne Editions Radio 1980

- ref 7 Les systèmes à Microprocesseurs
par M. Aumiaux
2^e édition Masson 1982
- ref 8 Interfaçage des microprocesseurs
par M. ROBIN et T. Maurin
dunod 1979
- ref 9 Electronique 1
Michel Declercq
EPFL (suisse) EPT (Sénégal) 1987
- ref 10 Electronique 2
par Michel Declercq
EPFL (suisse) EPT (Sénégal) 1987
- ref 11 le 6502 Programmation en langage assembleur
par Lance A Leventhal
Editions Radio 1982
- ref 12 La pratique de l'APPLE II Volume III
par Nicole Bréaud, Pouliguen Daniel - Jean David
éditions P.S.I 1984
- ref 13 APPLE II Manuel du DOS
Apple computer inc. 1980
- ref 14 APPLE II Basic Manuel reference
Apple computer inc 1978
- ref 15 APPLE II manuel de reference 1980

Ref 15'

Analog - Digital conversion
HandBook (Third Edition)

Analog - Devices 1986

Catalogues Fournisseurs

- Ref 16 : Product Data Book : BURR-BROWN : 1984
ref 17 Motorola Schottky TTL Data Book 1981
ref 18 Texas instruments 1983
ref 19 Rockwell : Data sheet Order n° 047 rev. 8 oct. 1980
ref 20 ACTIVE components

Reuves - Périodiques

- ref 21 Microsystème décembre 1984
ref 22 Microsystème Novembre - Décembre 1979
ref 23 Electronique Application n° 38
ref 24 Electronique Application n° 52
ref 25 Electronique Application n° 53

Spécial

ref 26 Interface Analogique d'Acquisition de Données

Tamoussi Obed BONZI

EPT 86

SPRINT "SUITE ENTA"
SUITE ENTA

```
1530 PRINT D$;"OPEN GAIN0,L4": PRINT D$;"WRITE GAIN0,R";I: PRINT G0$: PRINT  
D$;"CLOSE GAIN0"  
1540 PRINT D$;"OPEN GAIN1,L2": PRINT D$;"WRITE GAIN1,R";I: PRINT G1$: PRINT  
D$;"CLOSE GAIN1"  
1550 RETURN  
1560 PRINT D$;"OPEN SI,L14": PRINT D$;"WRITE SI,R";I: PRINT S1$: PRINT  
D$;"CLOSE SI"  
1570 RETURN  
1580 PRINT D$;"OPEN SII,L14": PRINT D$;"WRITE SII,R";I: PRINT S2$: PRINT  
D$;"CLOSE SII"  
1590 RETURN  
1600 FOR K = 1 TO 8: PRINT D$;"OPEN MES,L14";K: PRINT D$;"CLOSE MES";K  
1610 :NEXT K  
1620 RETURN  
2000 IF 2 < = G0 AND G0 < 4 THEN G0 = 2:G1 = 1: GOTO 2110  
2010 IF 4 < = G0 AND G0 < 8 THEN G0 = 4:G1 = 2: GOTO 2110  
2020 IF 8 < = G0 AND G0 < 16 THEN G0 = 8:G1 = 5: GOTO 2110  
2030 IF 16 < = G0 AND G0 < 32 THEN G0 = 16:G1 = 6: GOTO 2110  
2040 IF 32 < = G0 AND G0 < 64 THEN G0 = 32:G1 = 8: GOTO 2110  
2050 IF 64 < = G0 AND G0 < 128 THEN G0 = 64:G1 = 9: GOTO 2110  
2060 IF 128 < = G0 AND G0 < 256 THEN G0 = 128:G1 = 10: GOTO 2110  
2070 IF 256 < = G0 AND G0 < 512 THEN G0 = 256:G1 = 12: GOTO 2110  
2080 IF 512 < = G0 AND G0 < 1024 THEN G0 = 256:G1 = 13: GOTO 2110  
2090 IF G0 = 1024 THEN G1 = 15  
2100 G1 = 0  
2110 LET G0$ = STR$ (G0):G1$ = STR$ (G1)  
2120 RETURN
```

SLIST

```

90 LET D$ = CHR$(4): PRINT D$;"MAXFILES16"
100 HOME : FOR J = 1 TO 39: PRINT "€";: NEXT J
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "€": NEXT J
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "€": NEXT J
130 VTAB 22: FOR J = 1 TO 39: PRINT "€";: NEXT J
140 POKE 32,1: POKE 33,38: POKE 34,1: POKE 35,21
145 POKE 33,37
150 HOME : VTAB 2: HTAB 11: INVERSE : PRINT "          ENTA          ": NORMAL

160 POKE 34,2
500 FOR I = 1 TO 64
505 HOME : LET D$ = CHR$(4)
510 VTAB 4: FOR J = 2 TO 38: PRINT "=";: NEXT J
520 VTAB 5: HTAB 15: PRINT " CANAL"
530 VTAB 6: FOR J = 3 TO 38: PRINT "_";: NEXT J
540 PRINT : VTAB 8: PRINT "  NOM:"; VTAB 10: PRINT "  GAIN:          GO="
545 VTAB 11: HTAB 14: PRINT "S1="
550 VTAB 12: PRINT "  S=S1*M+S2:<": VTAB 13: HTAB 14: PRINT "S2="
560 VTAB 14: FOR J = 2 TO 37: PRINT "_";: NEXT J
570 VTAB 15: PRINT "          TAPER:"; VTAB 18: HTAB 3: FLASH : PRINT
"U ";: NORMAL : PRINT "(IDE) SI LE CANAL EST VIDE"
580 VTAB 20: HTAB 3: FLASH : PRINT "BARRE D'ESPACEMENT";: NORMAL : PRINT
" POUR CONTINUER"
590 VTAB 5: HTAB 22: FLASH : PRINT I: NORMAL
600 LET Z = PEEK (- 16384): POKE - 16368,0
610 IF Z = 160 THEN 680
620 IF Z < > 214 THEN 600
622 PRINT D$;"MONO"
625 : LET N$ = "VIDE"
627 GOSUB 1510
630 LET GO$ = "1E9":G1$ = "0":S1$ = "1E9":S2$ = "0"
640 GOSUB 1530
650 GOSUB 1560
660 GOSUB 1580
665 PRINT D$;"NOMONO"
670 GOTO 760
680 VTAB 8: HTAB 7: INPUT N$
690 GOSUB 1510
695 REM
700 VTAB 10: HTAB 17: INPUT GO: IF GO < 1 OR GO > 1024 THEN 695
705 GOSUB 2000
710 GOSUB 1530
720 VTAB 11: HTAB 17: INPUT S1: LET S1$ = STR$(S1)
730 GOSUB 1560
740 VTAB 13: HTAB 17: INPUT S2: LET S2$ = STR$(S2)
750 GOSUB 1580
760 NEXT I
770 HOME : VTAB 9: HTAB 13: FLASH : PRINT " 1 ";: NORMAL : PRINT " MODE
UNI-VOIE"
780 VTAB 11: HTAB 13: FLASH : PRINT " 2 ";: NORMAL : PRINT " MODE MULTI
-VOIE"
790 VTAB 13: HTAB 13: FLASH : PRINT " Z ";: NORMAL : PRINT " POUR S
ORTIR"
795 VTAB 16: HTAB 6: PRINT "ENTRER LE CODE CORRESPONDANT"
800 LET Z = PEEK (- 16384): POKE - 16368,0
810 IF Z = 218 THEN 1000
820 IF Z = 177 THEN PRINT D$;"RUN UNI-VOIE"
830 IF Z < > 178 THEN 800
840 PRINT D$;"RUN MULTI-VOIE"
1000 END
1510 PRINT D$;"OPEN NOM,L50": PRINT D$;"WRITE NOM,R";I: PRINT N$: PRINT
D$;"CLOSE NOM"
1520 RETURN

```

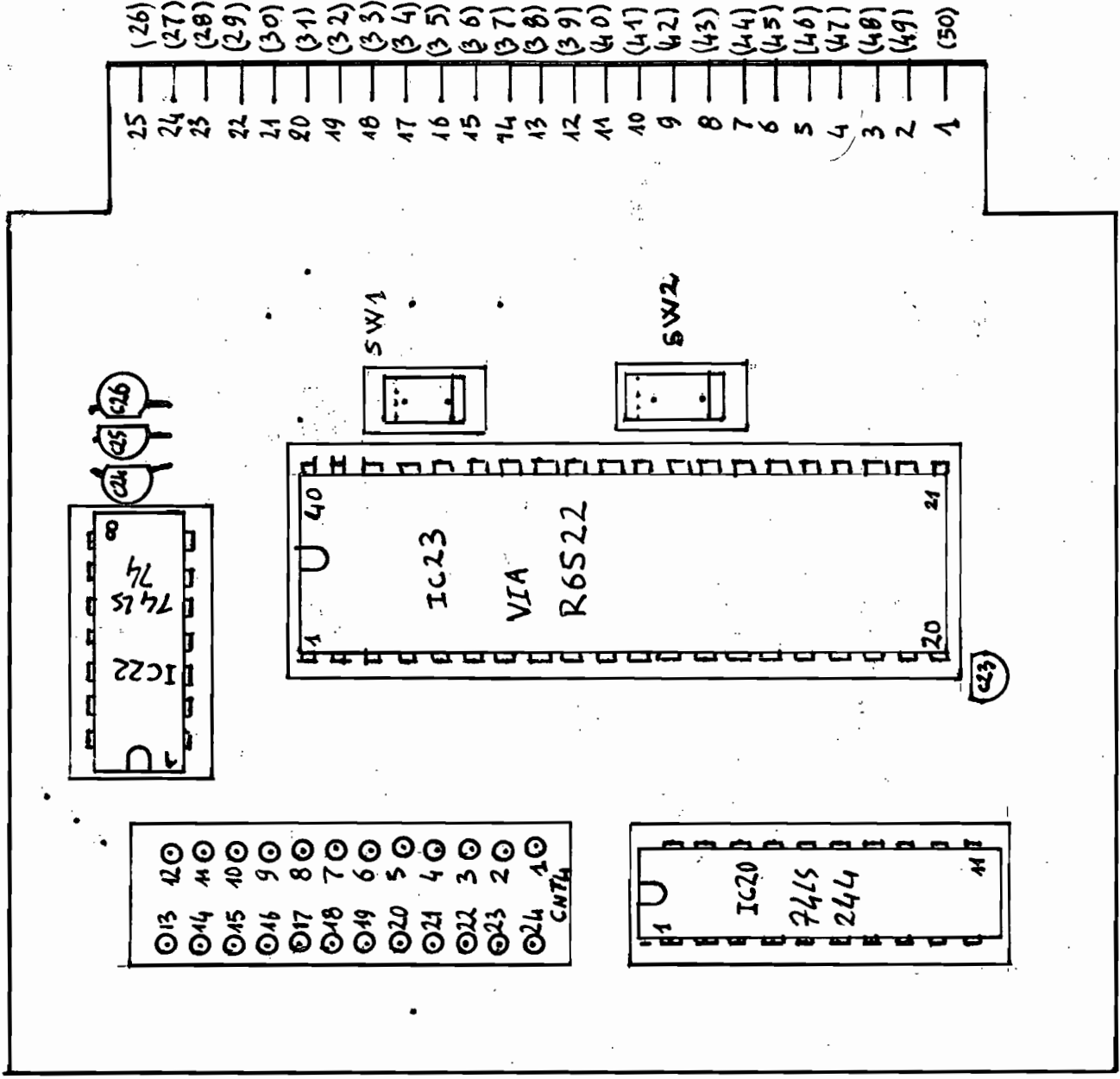
§LOAD DEM
§LIST

```
23  VTAB 16: HTAB 6: FLASH : PRINT " 7 ";; NORMAL : PRINT " TRAITEMENT:M
    ODE MULTI-VOIE"
80  LET D$ = CHR$ (4): PRINT D$;"MAXFILES16"
90  PRINT D$;"NOMON C,I,0"
100 HOME : FOR J = 1 TO 39: PRINT "€";: NEXT J
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "€": NEXT J
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "€": NEXT J
130 VTAB 22: FOR J = 1 TO 39: PRINT "€";: NEXT J
135 PRINT D$;" NOMONC,I,0": VTAB PEEK (37): CALL - 958
140 POKE 32,1: POKE 33,37: POKE 34,1: POKE 35,21
145 VTAB 24:D$ = CHR$ (4)
150 PRINT D$;"NOMON C,I 0": VTAB PEEK (37): CALL - 958
160 PRINT D$;"BLOAD UNIV."
165 PRINT D$;"BLOAD MULTIV."
170 VTAB 4: HTAB 6: FLASH : PRINT " 1 ";; NORMAL : PRINT " INFORMATION
    (INFO)
180 VTAB 6: HTAB 6: FLASH : PRINT " 2 ";; NORMAL : PRINT " ENTREE AUTOM
    ATIQUE (ENTA)"
190 VTAB 8: HTAB 6: FLASH : PRINT " 3 ";; NORMAL : PRINT " MODIFICATION
    (MODIF)"
200 VTAB 10: HTAB 6: FLASH : PRINT " 4 ";; NORMAL : PRINT " ACQUISITION
    ;MODE UNI-VOIE"
210 VTAB 12: HTAB 6: FLASH : PRINT " 5 ";; NORMAL : PRINT " TRAITEMENT:
    MODE-UNIVOIE"
220 VTAB 14: HTAB 6: FLASH : PRINT " 6 ";; NORMAL : PRINT " ACQUISITION
    ;MODE MULTI-VOIE"
230 VTAB 16: HTAB 6: FLASH : PRINT " 7 ";; NORMAL : PRINT " TRAITEMENT:
    MODE MULTI-VOIE"
240 VTAB 19: FLASH : PRINT "=>";: NORMAL : PRINT " ENTREZ LE NU
    MERO"
250 VTAB 20: PRINT " CORRESPONDANT A VOTRE CHOIX"
260 LET Z = PEEK ( - 16384): POKE - 16368,0
265 LET D$ = CHR$ (4)
270 IF Z = 177 THEN PRINT D$;"RUN INFO"
280 IF Z = 178 THEN PRINT D$;"RUN ENTA"
290 IF Z = 179 THEN PRINT D$;"RUN MODIF"
300 IF Z = 180 THEN PRINT D$;"RUNUNI-VOIE"
310 IF Z = 181 THEN PRINT D$;"RUN TRAITUNI"
320 IF Z = 182 THEN PRINT D$;"RUN MULTI-VOIE".
330 IF Z < > 183 THEN 260
340 PRINT D$;"RUN TRAITMULTI"
1000 END
```

PLAN 4 IMPLANTATION - VIA 6522

24	PA3	13	PA3
23	PA2	14	PA2
22	PA1	15	PA1
21	PA0	16	PA0
20	CA1	17	CA1
19	CA2	18	CA2
18	CB2	19	CB2
17	CB1	20	CB1
16	PB6	21	PB6
15	PB7	22	PB7
14	PB5	23	PB5
13	PB4	24	PB4
12	PB3	25	PB3
11	PB0	26	PB0
10	PB1	27	PB1
9	RES	28	RES
8	GND	29	GND
7	+5V	30	+5V
6	IC22	31	IC22
5	74LS74	32	74LS74
4	IC23	33	IC23
3	SW1	34	SW1
2	SW2	35	SW2
1	CA3	36	CA3

Détail
connecteur 4(CNT4)



1	SD	26	25 + 5V
2	D0 RS0	27	
3	M RS1	28	
4	D2 RS2	29	
5	D3 RS3	30	IRG30
6	D4 RS4	31	
7	D5 RS5	32	RES31
8	D6 RS6	33	
9	D7 RS7	34	
10	B7 RS8	35	
11	B6 RS9	36	
12	B5 RS10	37	
13	B4 RS11	38	
14	B3 RS12	39	
15	B2 RS13	40	
16	B1 RS14	41	
17	B0 RS15	42	
18	D3 RS16	43	
19	D4 RS17	44	
20	D5 RS18	45	
21	D6 RS19	46	
22	D7 RS20	47	CS1
23	B7 RS21	48	RAW
24	B6 RS22	49	
25	B5 RS23	50	

§LOAD UNI-VOIE
§LIST

```
80 LET D$ = CHR$(4): PRINT D$;"MAXFILES16"  
90 PRINT D$;"MONI,0"  
100 HOME : FOR J = 1 TO 39: PRINT "€";: NEXT J  
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "€": NEXT J  
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "€": NEXT J  
130 VTAB 22: FOR J = 1 TO 39: PRINT "€";: NEXT J  
140 POKE 32,1: POKE 33,37: POKE 34,1: POKE 35,21  
150 HOME : VTAB 2: HTAB 11: INVERSE : PRINT " . MODE UNI-VOIE " ;: NORMAL  
  
160 POKE 34,2  
200 HOME : VTAB 10: HTAB 4: PRINT "ENTRER LE NO.DU CANAL:1<=NO.<=64"  
210 VTAB 12: HTAB 17: INPUT I  
220 IF I < 1 OR I > 64 THEN 200  
225 LET D$ = CHR$(4)  
230 POKE 249,127 + I  
231 PRINT D$;"OPEN GAINI,L2": PRINT D$;"READ GAINI,R";I: INPUT G1$:G1 =  
VAL (G1$): PRINT D$;"CLOSE GAINI"  
233 PRINT D$;"OPEN GAINO,L4": PRINT D$;"READ GAINO,R";I: INPUT G0$:G0 =  
VAL (G0$): PRINT D$;"CLOSE GAINO"  
235 PRINT D$;"OPEN SI,L14": PRINT D$;"READ SI,R";I: INPUT S1$:S1 = VAL  
(S1$): PRINT D$;"CLOSE SI"  
237 PRINT D$;"OPEN SII,L14": PRINT D$;"READ SII,R";I: INPUT S2$:S2 = VAL  
(S2$): PRINT D$;"CLOSE SII"  
239 PRINT D$;"OPEN NOM,L50": PRINT D$;"READ NOM,R";I: INPUT N$: PRINT D  
$;"CLOSE NOM"  
240 HOME : VTAB 10: HTAB 3: PRINT "ENTER LA FREQUENCE D'ACQUISITION": VTAB  
12: HTAB 11: PRINT "7HZ<=F<=15000"  
250 HTAB 17: VTAB 14: INPUT F  
260 IF F < 7 OR F > 15000 THEN 240  
270 LET T = (1 / F) * 1E6 - 46.0779:A = ( - 27 + SQR (209 + 40 * T)) /  
10  
280 IF A > INT (A) + .5 THEN A = INT (A) + 1: GOTO 300  
290 LET A = INT (A)  
300 POKE 9,A  
305 LET D$ = CHR$(4)  
320 POKE 255,G1  
330 HOME : HTAB 12: VTAB 12: FLASH : PRINT " ACQUISITION " ;: NORMAL  
  
340 CALL 24576  
345 REM  
350 HOME : HTAB 13: VTAB 12: PRINT "FIN ACQUISITION"  
390 D$ = CHR$(4)  
400 PRINT D$;"IN€6"  
1000 END
```

SLOAD TRAITMULTI
SLIST

```
80 LET D$ = CHR$(4): PRINT D$;"MAXFILES16"  
90 PRINT D$;"MONI,0"  
92 REM DIMENSIONNEMENT TABLEAUX  
95 DIM N$(64),G0(64),S1(64),S2(64)  
97 DIM M(64)  
100 HOME : FOR J = 1 TO 39: PRINT "E";: NEXT J  
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "E": NEXT J  
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "E": NEXT J  
130 VTAB 22: FOR J = 1 TO 39: PRINT "E";: NEXT J  
140 POKE 32,1: POKE 33,37: POKE 34,1: POKE 35,21  
150 HOME : VTAB 2: HTAB 9: INVERSE : PRINT " MODE MULTI-VOIE ";: NORMAL  
  
155 POKE 34,2  
160 LET D$ = CHR$(4)  
165 VTAB 4: PRINT D$;"NOMONC,I,0": VTAB PEEK(37): CALL - 958  
167 REM LECTURE DES PARAMETRES CANAUX  
168 PRINT D$;"CLOSENOM"  
169 PRINT D$;"NOMONC,I,0"  
170 PRINT D$;" OPEN NOM,L50"  
180 FOR I = 1 TO 64: PRINT D$;"READ NOM,R";I: INPUT N$: LET N$(I) = N$:  
NEXT I  
190 PRINT D$;"CLOSE NOM"  
200 PRINT D$;"OPEN S1,L14"  
210 FOR I = 1 TO 64: PRINT D$;"READ S1,R";I: INPUT S1$: LET S1 = VAL(  
S1$): LET S1(I) = S1: NEXT I  
220 PRINT D$;"CLOSE S1"  
230 PRINT D$;"OPEN SII,L14"  
240 FOR I = 1 TO 64: PRINT D$;"READ SII,R";I: INPUT S2$: LET S2 = VAL  
(S1$): LET S2(I) = -S2: NEXT I  
250 PRINT D$;"CLOSE SII"  
260 PRINT D$;"OPEN GAIN0,L4"  
270 FOR I = 1 TO 64: PRINT D$;"READ GAIN0,R";I: INPUT G0$: LET G0 = VAL  
(G0$): LET G0(I) = G0: NEXT I  
280 PRINT D$;"CLOSE GAIN0"  
285 HOME : LET D$ = CHR$(4)  
290 LET N = 8  
295 LSB = .07813:P = PEEK(254)  
300 FOR I = 1 TO N  
305 C = 27776 - I  
310 G0 = G0(I):S1 = S1(I):S2 = S2(I):E = PEEK(C)  
320 E = 127 - E:R = - 10 + (.5 + E) * LSB  
340 S = R / G0:M = (S - S2) / S1:M(I) = M:M$ = STR$(M)  
350 VTAB 2 * I + 1: HTAB 4: PRINT "CANAL ";I;: HTAB 15: PRINT M  
352 PRINT D$;"OPEN MES";I;";L16"  
355 PRINT D$;"WRITE MES";I;";.R";P: PRINT M$  
360 PRINT D$;"CLOSE MES";I  
370 NEXT I  
380 P = P + 1: POKE 254,P  
1000 END
```

§LOAD INFORMATION

§LIST

```
80 LET D$ = CHR$(4): PRINT D$;"MAXFILES16"  
90 PRINT D$;"MONI,0"  
100 HOME : FOR J = 1 TO 39: PRINT "€";: NEXT J  
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "€": NEXT J  
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "€": NEXT J  
130 VTAB 22: FOR J = 1 TO 39: PRINT "€";: NEXT J  
140 POKE 32,1: POKE 33,37: POKE 34,1: POKE 35,21  
160 POKE 34,2  
1000 END
```

§LOAD MULTI-VOIE

§LIST

```
80 LET D$ = CHR$(4): PRINT D$;"MAXFILES16"  
100 HOME : FOR J = 1 TO 39: PRINT "€";: NEXT J  
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "€": NEXT J  
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "€": NEXT J  
130 VTAB 22: FOR J = 1 TO 39: PRINT "€";: NEXT J  
140 POKE 32,1: POKE 33,37: POKE 34,1: POKE 35,21  
150 HOME : VTAB 2: HTAB 9: INVERSE : PRINT " MODE MULTI-VOIE ";: NORMAL  
  
155 VTAB 3  
160 POKE 34,2  
165 LET D$ = CHR$(4)  
167 REM LECTURE DES PARAMETRES CANAUX  
270 PRINT D$;"NOMONC,I,0": VTAB PEEK(37): CALL - 958  
275 PRINT D$;"BLOAD MULTIV."  
285 PRINT D$;"CLOSE GAIN1"  
290 PRINT D$;"OPEN GAIN1,L2"  
295 REM LECTURE ET RANGEMENT DU CODE GAIN  
300 FOR I = 1 TO 64: PRINT D$;"READ GAIN1,R";I: INPUT G1$: LET G1 = VAL  
    (G1$): POKE 27712 - I,G1: NEXT I  
305 LET D$ = CHR$(4)  
310 PRINT D$;"CLOSE GAIN1"  
320 CALL 24736  
330 PRINT D$;"IN€6"  
1000 END
```

§LOAD AUTRE

§LIST

```
80 LET D$ = CHR$(4): PRINT D$;"MAXFILES16"  
90 PRINT D$;"MONI,0"  
100 HOME : FOR J = 1 TO 39: PRINT "€";: NEXT J  
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "€": NEXT J  
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "€": NEXT J  
130 VTAB 22: FOR J = 1 TO 39: PRINT "€";: NEXT J  
140 POKE 32,1: POKE 33,37: POKE 34,1: POKE 35,21  
160 POKE 34,2  
1000 END
```

§LOAD INFO

§LIST

```
80 LET D$ = CHR$(4); PRINT D$;"MAXFILES16"
90 PRINT D$;"BLOAD UNIV."; PRINT D$;"BLOAD MULTIV."
100 HOME : FOR J = 1 TO 39: PRINT "€";: NEXT J
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "€": NEXT J
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "€": NEXT J
130 VTAB 22: FOR J = 1 TO 39: PRINT "€";: NEXT J
140 POKE 32,1: POKE 33,37: POKE 34,1: POKE 35,21
160 POKE 34,2
170 HOME : VTAB 4: HTAB 6: FLASH : PRINT " 1 ";: NORMAL : PRINT " INFOR
MATIONS (INFO)"
180 VTAB 6: HTAB 6: FLASH : PRINT " 2 ";: NORMAL : PRINT " ENTREE AUTOM
ATIQUE (ENTA)"
190 VTAB 8: HTAB 6: FLASH : PRINT " 3 ";: NORMAL : PRINT " MODIFICATION
(MODIF)"
200 VTAB 10: HTAB 6: FLASH : PRINT " 4 ";: NORMAL : PRINT " MODE UNI-VO
IE"
210 VTAB 12: HTAB 6: FLASH : PRINT " 5 ";: NORMAL : PRINT " MODE MULTI-
VOIE"
220 VTAB 14: HTAB 6: FLASH : PRINT " 6 ";: NORMAL : PRINT " TRAITEMENT
UNI-VOIE"
230 VTAB 16: HTAB 6: FLASH : PRINT " 7 ";: NORMAL : PRINT " TRAITEMENT
MULTI-VOIE"
240 VTAB 19: HTAB 2: PRINT "=>      ENTREZ LE NUMERO": VTAB 20: HTAB 6:
PRINT "CORRESPONDANT A VOTRE CHOIX"
250 LET Z = PEEK ( - 16384): POKE - 16368,0
260 IF Z = 177 THEN PRINT D$;"RUN INFO"
270 IF Z = 178 THEN PRINT D$;"RUN ENTA"
280 IF Z = 179 THEN PRINT D$;"RUN MODIF"
290 IF Z = 180 THEN PRINT D$;"RUN UNI-VOIE"
300 IF Z = 181 THEN PRINT D$;"RUN MULTI-VOIE"
310 IF Z = 182 THEN PRINT D$;"RUN TRAITUNI"
320 IF Z < > 183 THEN 250
330 PRINT D$;"RUN TRAITMULTI"
1000 END
```

PRINT TEST1

0

SLIST

```
80 LET D$ = CHR$(4): PRINT D$;"MAXFILES16"
90 PRINT D$;"MONI,0"
95 PRINT D$;"BLOAD UNIV."
100 HOME : FOR J = 1 TO 39: PRINT "E";: NEXT J
110 HTAB 1: FOR J = 1 TO 22: VTAB J: PRINT "E": NEXT J
120 FOR J = 1 TO 22: VTAB J: HTAB 39: PRINT "E": NEXT J
130 VTAB 22: FOR J = 1 TO 39: PRINT "E";: NEXT J
140 POKE 32,1: POKE 33,37: POKE 34,1: POKE 35,21
150 HOME : VTAB 2: HTAB 11: INVERSE : PRINT " MODE UNI-VOIE ";: NORMAL

160 POKE 34,2
200 HOME : VTAB 10: HTAB 4: PRINT "ETREER LE NO.DU CANAL:1<=NO.<=64"
210 VTAB 12: HTAB 17: INPUT I
220 IF I < 1 OR I > 64 THEN 200
225 LET D$ = CHR$(4)
230 POKE 249,127 + I
231 PRINT D$;"OPEN GAIN1,L2": PRINT D$;"READ GAIN1,R";I: INPUT G1$:G1 =
VAL (G1$): PRINT D$;"CLOSE GAIN1"
233 PRINT D$;"OPEN GAIN0,L4": PRINT D$;"READ GAIN0,R";I: INPUT G0$:G0 =
VAL (G0$): PRINT D$;"CLOSE GAIN0"
235 PRINT D$;"OPEN SI,L14": PRINT D$;"READ SI,R";I: INPUT S1$:S1 = VAL
(S1$): PRINT D$;"CLOSE SI"
237 PRINT D$;"OPEN SII,L14": PRINT D$;"READ SII,R";I: INPUT S2$:S2 = VAL
(S2$): PRINT D$;"CLOSE SII"
239 PRINT D$;"OPEN NOM,L50": PRINT D$;"READ NOM,R";I: INPUT N$: PRINT D
$;"CLOSE NOM"
240 HOME : VTAB 10: HTAB 3: PRINT "ENTRER LA FREQUENCE D,ACQUISITION": VTAB
12: HTAB 11: PRINT "7<=F<=16900"
250 HTAB 17: VTAB 14: INPUT F
260 IF F < 7 OR F > 16900 THEN 240
270 LET T = (1 / F) * 1E6 - 46.0779:A = ( - 27 + SQR (209 + 40 * T)) /
10
280 IF A > INT (A) + .5 THEN A = INT (A) + 1: GOTO 300
290 LET A = INT (A)
300 POKE 9,A
305 LET D$ = CHR$(4)
320 POKE 255,G1
330 HOME : HTAB 12: VTAB 12: PRINT " ACQUISITION"
340 CALL 24576
345 REM
350 HOME : HTAB 13: VTAB 12: PRINT "FIN ACQUISITION"
352 COLOR= 12
354 HGR
356 FOR X = 0 TO 279: HPLLOT X,75: NEXT X
358 FOR X = 0 TO 150: HPLLOT 0,X: NEXT X
360 LET Q = 38144
365 LET LSB = .07813
367 FOR K = 1 TO 39
370 FOR J = 0 TO 255: LET B = Q - J:E = PEEK (B)
375 GOTO 425
380 IF E > 127 THEN E = E - 128:R = 10 - (3 / 2 + E) * LSB: GOTO 420
390 E = 127 - E:R = - 10 + (.5 + E) * LSB
420 S = R / G0:M = (S - S2) / S1
422 PRINT E;: HTAB 18: PRINT M
425 LET W = ((9984 - B + 28160) / 9984) * 279
430 IF E > 127 THEN Y = 75 - (255 - E) / 1.76: HPLLOT W,Y: GOTO 450
440 Y = 75 + E / 1.706: HPLLOT W,Y
450 NEXT J
460 Q = Q - 256
470 NEXT K
480 CALL 976
1000 END
```